

# รายงานฉบับสมบูรณ์

โครงการขอรับการส่งเสริมและสนับสนุนจากเงินกองทุนวิจัยและพัฒนากิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคม เพื่อประโยชน์สาธารณะ

โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการ สอนและการ์ดเร่งความเร็วสำหรับโครงข่าย O-RAN Development of the channel decoding in 5G standard for education tool and accelerator card for O-RAN

เวธิต ภาคย์พิสุทธิ์

กรกฎาคม 2567

กองทุนวิจัยและพัฒนากิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคม เพื่อประโยชน์สาธารณะ (สำนักงาน กสทช.)

#### รายงานฉบับสมบูรณ์

## ทุนส่งเสริมและสนับสนุนการวิจัยและพัฒนา สัญญารับทุนเลขที่ D66-1-(2)-001

โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการ์ดเร่งความเร็วสำหรับ โครงข่าย O-RAN Development of the channel decoding in 5G standard for education tool and accelerator card for O-RAN

นักวิจัย

1. เวธิต ภาคย์พิสุทธิ์

2. กฤษณะพงศ์ พันธ์ศรี

หัวหน้าโครงการ นักวิจัยร่วม

ได้รับทุนอุดหนุนจาก กองทุนวิจัยและพัฒนากิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคม เพื่อประโยชน์สาธารณะ (สำนักงาน กสทช.)

กรกฎาคม 2567

# บทสรุปผู้บริหาร

## โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการ์ดเร่งความเร็ว สำหรับโครงข่าย O-RAN กรกฎาคม 2567

โครงการนี้ นักวิจัยมีเป้าหมาย 2 มิติ ได้แก่ มิติด้านการศึกษาวิศวกรรมโทรคมนาคม และมิติ ของการพัฒนาอุปกรณ์โทรคมนาคม โดยมิติด้านการศึกษานั้น ทีมวิจัยนี้ได้เล็งเห็นปัญหาสำคัญของ ระบบการศึกษาทั่วโลก ที่เทคโนโลยีการสื่อสารปัจจุบันมีความซับซ้อนมากกว่าเนื้อหาในวิชาเรียน ดังนั้น ทีมวิจัยจึงต้องการพัฒนาอุปกรณ์ที่ทันสมัยสามารถสนับสนุนการเรียนรู้ของนักศึกษาสาขาวิชา วิศวกรรมโทรคมนาคมหรือสาขาอื่น ๆ ที่เกี่ยวข้อง โดยอุปกรณ์ประกอบด้วยซอฟต์แวร์และฮาร์ดแวร์ ซึ่งซอฟต์แวร์สามารถแสดงให้เห็นถึงขั้นตอนและผลลัพธ์ของแต่ละขั้นตอนของระบบสื่อสารไร้สาย มาตรฐาน 5G เพื่อให้นักศึกษามีความรู้ความเข้าใจ อีกทั้ง ซอฟต์แวร์ดังกล่าวสามารถเชื่อมต่อกับ ฮาร์ดแวร์ที่พัฒนาบนอุปกรณ์ FPGA เพื่อให้สามารถนำไปใช้ต่อยอดเชิงพาณิชย์ได้

นักวิจัยได้ดำเนินการจัดทำ "โครงการพัฒนาอุปกรณ์เข้ารหัสซ่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการต่อยอดเชิงพาณิชย์" โดยได้รับทุนสนับสนุนจากกองทุนวิจัยและพัฒนา กิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคมเพื่อประโยชน์สาธารณะ (กทปส.) ปี พ.ศ. 2563 อย่างไรก็ตาม โครงการก่อนหน้าจะมุ่งเน้นเฉพาะการพัฒนาซอฟต์แวร์และฮาร์ดแวร์การ เข้ารหัสช่องสัญญาณมาตรฐาน 5G เท่านั้น มิได้พัฒนาการถอดรหัสช่องสัญญาณ เนื่องจากองค์กร 3GPP ไม่ได้มีการกำหนดว่าการถอดรหัสจะต้องมีขั้นตอนอย่างไร

การพัฒนาการถอดรหัสช่องสัญญาณนั้น จะต้องใช้องค์ความรู้เฉพาะของผู้พัฒนา จึงเป็นที่มา ของข้อเสนอโครงการนี้ ส่วนที่ 1 จะมุ่งเน้นการพัฒนาซอฟต์แวร์และฮาร์ดแวร์การถอดรหัส ช่องสัญญาณมาตรฐาน 5G เมื่อพัฒนาส่วนดังกล่าวเสร็จสิ้น ผู้วิจัยจะดำเนินการ ส่วนที่ 2 พัฒนาชุด การเรียนรู้การถอดรหัสช่องสัญญาณในมาตรฐาน 5G และ ส่วนที่ 3 พัฒนาชุดทดสอบสมรรถนะการ เข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย โดยงานส่วนที่ 1 และ 2 นี้ จะทำให้ได้ ซอฟต์แวร์และฮาร์ดแวร์ของรหัสช่องสัญญาณที่สมบูรณ์ สามารถนำไปใช้งานเชิงพาณิชย์และใช้เป็น สื่อการสอนในวิชาการสื่อสารไร้สายได้ นอกจากนี้ ส่วนที่ 4 จะมุ่งเน้นการพัฒนาฮาร์ดแวร์การเข้ารหัส และถอดรหัสช่องสัญญาณในรูปแบบของการ์ดเร่งความเร็ว FEC ซึ่งองค์กร O-RAN Alliance ได้ กำหนดให้การ์ดเร่งเป็นส่วนหนึ่งในมาตรฐาน O-RAN

## โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการ์ดเร่ง ความเร็วสำหรับโครงข่าย O-RAN เวธิต ภาคย์พิสุทธิ์ กรกฎาคม 2567

เทคโนโลยีการสื่อสารไร้สายยุค 5G มีความสามารถในการส่งข้อมูลความเร็วสูง ความหน่วงต่ำ และ รองรับการส่งข้อมูลปริมาณมากในพื้นที่จำกัด นอกจากนี้ เทคโนโลยี 5G เรียกร้องความน่าเชื่อถือใน การส่งข้อมูลในระดับอัตราเฟรมผิดพลาดน้อยกว่า 10<sup>-5</sup> ด้วยเหตุนี้ เทคโนโลยี 5G จึงใช้งานรหัส ช่องสัญญาณที่มีประสิทธิภาพสูงเพื่อตอบสนองระดับความผิดพลาดดังกล่าว ปัจจุบัน การศึกษาใน ระดับอุดมศึกษาที่เกี่ยวข้องกับวิศวกรรมการสื่อสารยังมีข้อจำกัด เรื่องการจัดการเรียนการสอนที่ สอดคล้องกับเทคโนโลยีสมัยใหม่ เช่น เทคโนโลยีรหัสช่องสัญญาณมาตรฐาน 5G ทำให้โครงการวิจัยนี้ จึงนำเสนอการพัฒนาอุปกรณ์เข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยมีเป้าหมายเพื่อใช้ เป็นสื่อการสอนในด้านวิศวกรรมโทรคมนาคม อีกทั้งสามารถนำไปต่อยอดเชิงพาณิชย์ได้ โครงการจะ ประกอบไปด้วยการพัฒนาชุดซอฟต์แวร์และชุดอุปกรณ์ FPGA เพื่อใช้เข้ารหัสและถอดรหัส ช่องสัญญาณมาตรฐาน 5G ซึ่งมีการออกแบบส่วนประสานกับผู้ใช้ให้มีความง่ายและเป็นมิตรต่อ ผู้ใช้งาน

### Development of the channel decoding in 5G standard for education tool and accelerator card for O-RAN Watid Phakphisut July 2024

5 G wireless communication technology has the capability of high-speed data transmission, low latency, and supporting large data transfers in confined areas. Moreover, 5 G technology demands high reliability in data transmission with a frame error rate of less than 10<sup>-5</sup>. Therefore, 5G technology employs highly efficient channel coding to meet these error rate requirements. Currently, higher education studies related to communication engineering still have limitations in teaching methods that align with modern technology, such as 5G standard channel coding technology. This research project thus proposes the development of encoding and decoding devices for 5 G standard channels with the goal of being used as teaching tools in telecommunications engineering and having commercial application potential. The project will include the development of software and FPGA hardware kits to encode and decode 5G standard channels, designed with user-friendly interfaces.

# สารบัญ

	หน้า
บทสรุปผู้บริหาร	ก
บทคัดย่อภาษาไทย	ข
บทคัดย่อภาษาอังกฤษ	ค
สารบัญตาราง	ଖ
สารบัญภาพ	ណ
บทที่ 1 บทนำ	1
1.1 ที่มา และความสำคัญของโครงการ	1
1.2 วัตถุประสงค์	2
1.3 ขอบเขตของโครงการ	2
1.4 ประโยชน์ที่คาดว่าจะได้รับ	5
บทที่ 2 ทฤษฎี และงานวิจัยที่เกี่ยวข้อง	6
2.1 พื้นฐานสัญญาณสุ่มและช่องสัญญาณสื่อสาร	6
2.2 พื้นฐานรหัสช่องสัญญาณ	11
2.3 การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G	24
2.4 การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G	32
2.5 กระบวนทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PDSCH/PUSCH/PSSCH	37
2.6 กระบวนทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PUCCH/PDCCH/PBCH/PSCCH/PSF	-CH/
PSBCH	53
2.7 โครงข่าย O-RAN และการ์ดเร่งความเร็ว	72
2.8 มาตรฐาน O-RAN Working Group 6 เรื่อง Acceleration Abstraction Laye	r
General Aspects and Principles และ FEC Profiles	76
บทที่ 3 ระเบียบวิธีวิจัย	102
3.1 การออกแบบชุดการเรียนรู้	102
3.2 การออกแบบชุดทดสอบสมรรถนะ	123
3.3 การออกแบบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์	130
3.4 การออกแบบการ์ดเร่งความเร็ว FEC	133
3.5 การออกแบบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์	134
3.6 รายละเอียดการสร้างข้อมูลอินพุตแบบสุ่ม	140
3.7 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ AWGN	142
3.8 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ Fading	147
3.9 รายละเอียดการสร้างการมอดูเลชันมาตรฐาน 5G	148
3.10 รายละเอียดการสร้างการดีมอดูเลชันมาตรฐาน 5G	152

3.11 รา	ยละเอียดการสร้างการเข้ารหัสช่องสัญญาณมาตรฐาน 5G	163
3.12 รา	ยละเอียดการสร้างการถอดรหัสช่องสัญญาณมาตรฐาน 5G	165
บทที่ 4 ผลการวิ	จัย และการวิจารณ์ผล	168
4.1 ผลก	ารทดสอบการทำงานของซอฟต์แวร์ GUI	168
4.2 ผลก	ารทดสอบการทำงานของซอฟต์แวร์ Module	251
4.3 ผลก	ารทดสอบการทำงานของอุปกรณ์ FPGA	274
4.4 ผลก	ารทดสอบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์	295
4.5 ผลก	ารทดสอบการทำงานของการ์ดเร่งความเร็ว FEC	297
4.6 ผลก	ารทดสอบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์	299
4.7 ผลก	ารทดสอบเว็บไซต์เผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสาร	
มาตรฐา	u 5G	300
4.8 ผลก	กรเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสารมาตรฐาน 5G ใน	
มหาวิทย	าลัย	308
4.9 ผลก	ารเผยแพร่ข้อมูลการออกแบบการ์ดเร่งความเร็วในโครงข่าย O-RAN ใน	
บริษัทเอ	- กชน	314
บทที่ 5 สรุปผลก	บทที่ 5 สรุปผลการวิจัย และข้อเสนอแนะ	
บรรณานุกรม		316
ภาคผนวก		320
ภาคผนว	ก ก เอกสารประกอบการเผยแพร่ในมหาวิทยาลัย ภาคทฤษฎี	321
ภาคผนว	ก ข เอกสารประกอบการเผยแพร่ในมหาวิทยาลัย ภาคปฏิบัติ	356
ภาคผนว	ก ค เอกสารประกอบการเผยแพร่ในบริษัทเอกชน	378
ภาคผนว	ก ง ผลการดำเนินงานฉบับย่อสำหรับตีพิมพ์ในวารสารสำนักงาน กสทช.	384

# สารบัญรูป

รูปที่ 1.1 ตัวอย่าง ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G	3
รูปที่ 1.2 ตัวอย่าง ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้ส	าย4
รูปที่ 1.3 ตัวอย่าง การ์ดเร่งความเร็ว FEC สำหรับรหัสช่องสัญญาณในโครงข่าย O-RAN	4
รูปที่ 1.4 ช่องทางการ download ชุดการเรียนรู้และชุดทดสอบ ผ่านทางเว็บไซต์	4
รูปที่ 2.1 ความน่าจะเป็นของค่าสุ่ม 0 และ 1 เมื่อถูกสุ่มมาจำนวนหลายค่า	6
รูปที่ 2.2 แผนภาพการกระจายสองมิติ (2D scatter plot) ของผลลัพธ์คู่เลขสุ่ม $\left(u_{i},u_{i+1} ight)$ ลั	าดับ
ติดต่อกันจาก (ก) วงจร LFSR (ข) วงจร CTG [1]	7
รูปที่ 2.3 ความน่าจะเป็นของค่าสุ่มของการกระจายแบบปกติ	8
รูปที่ 2.4 แบบจำลองช่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวก	9
รูปที่ 2.5 ฟังก์ชันความหนาแน่นสเปกตรัมแบบเกาส์เซียน	. 10
รูปที่ 2.6 ตัวอย่างเมทริกซ์พาริตีเซ็ก	. 12
รูปที่ 2.7 กราฟแทนเนอร์ของเมทริกซ์พาริตีเช็ก	. 13
รูปที่ 2.8 เมทริกซ์ฐาน 1	. 14
รูปที่ 2.9 เมทริกซ์ฐาน 2	. 15
รูปที่ 2.10 ช่องสัญญาณที่เกิดจากกระบวนการเข้ารหัสและถอดรหัสโพลาร์	. 20
รูปที่ 2.11 บิตข้อมูลส่งผ่านช่องสัญญาณดิบ	. 21
รูปที่ 2.12 ช่องสัญญาณดิบจำนวน $N$ ช่อง	. 22
รูปที่ 2.13 การรวมช่องสัญญาณ $W$ เพื่อสร้างช่องสัญญาณ $W_{ m 2}$	. 23
รูปที่ 2.14 การรวมช่องสัญญาณ $W_{_2}$ เพื่อสร้างช่องสัญญาณ $W_{_4}$	. 23
รูปที่ 2.15 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ <b>π</b> /2-BPSK	. 24
รูปที่ 2.16 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ BPSK	. 25
รูปที่ 2.17 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ QPSK	. 26
รูปที่ 2.18 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 16QAM	. 27
รูปที่ 2.19 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 64QAM	. 28
รูปที่ 2.20 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 256QAM	. 29
รูปที่ 2.21 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 1024QAM	. 30
รูปที่ 2.22 การแสดงเมทริกซ์พาริตีเช็คในรูปแบบกราฟแทนเนอร์	. 33
รูปที่ 2.23 (ก) การส่งผ่านค่า LLR เข้ามาในกราฟแทนเนอร์	. 34
รูปที่ 2.24 ตัวอย่างการคำนวณค่า LLR ที่โหนดเช็ค	. 35
รูปที่ 2.25 แผนภาพบล็อกการเข้ารหัส CRC	. 38
รูปที่ 2.26 แผนภาพบล็อกการเลือกกราฟฐาน	. 39
รูปที่ 2.27 แผนภาพบล็อกการกำหนดค่าความยาวบล็อกรหัส	. 40
รูปที่ 2.28 แผนภาพบล็อกการคำนวณจำนวนบล็อกย่อย	. 40
รูปที่ 2.29 แผนภาพบล็อกการกำหนดจำนวนบิตข้อมูลของแต่ละบล็อกรหัส	. 41

รูปที่ 2.30 แผนภาพบล็อกการคำนวณอัตราการขยายขนาดของเมทริกซ์ฐาน	42
รูปที่ 2.31 แผนภาพบล็อกการแบ่งย่อยบล็อกข้อมูล	43
รูปที่ 2.32 แผนภาพบล็อกการเข้ารหัส CRC ของบล็อกรหัส	44
รูปที่ 2.33 แผนภาพบล็อกการกำหนดความยาวคำรหัส	45
รูปที่ 2.34 แผนภาพบล็อกการสร้างเมทริกซ์พาริตีเซ็ก <b>H</b>	45
รูปที่ 2.35 แผนภาพบล็อกการเติมบิตข้อมูลในบล็อกรหัส	46
รูปที่ 2.36 แผนภาพบล็อกการเข้ารหัส LDPC	47
รูปที่ 2.37 แผนภาพบล็อกการกำหนดความยาวคำรหัสของบล็อกรหัส	48
รูปที่ 2.38 แผนภาพบล็อกการคำนวณข้อมูลการส่งกลุ่มของบล็อกรหัส ( <i>CBGTI</i> )	49
รูปที่ 2.39 แผนภาพบล็อกการคำนวณความยาวข้อมูลเอาต์พุตของกระบวนการปรับอัตรารหั	۴ 50
รูปที่ 2.40 แผนภาพบล็อกการเลือกบิตเพื่อส่ง	51
รูปที่ 2.41 แผนภาพบล็อกการแทรกสลับบิต	52
รูปที่ 2.42 แผนภาพบล็อกการต่อเรียงบล็อกรหัส	53
รูปที่ 2.43 แผนผังการทำงานการแบ่งย่อยบล็อกรหัส	54
รูปที่ 2.44 แผนผังการทำงานการเชื่อมบิต CRC ท้ายข้อมูล	55
รูปที่ 2.45 แผนผังการทำงานการสแครมบลิง CRC	56
รูปที่ 2.46 แผนผังการทำงานการแทรกสลับ CRC	57
รูปที่ 2.47 แผนผังการทำงานการสร้างลำดับการแทรกสลับ CRC	58
รูปที่ 2.48 แผนผังการทำงานการเข้ารหัส CRC	59
รูปที่ 2.49 แผนผังการทำงานการหาความยาวคำรหัสแม่	61
รูปที่ 2.50 แผนผังการทำงานการลำดับช่องสัญญาณย่อย	63
รูปที่ 2.51 แผนผังการทำงานการลำดับช่องสัญญาณย่อย (ต่อ)	64
รูปที่ 2.52 แผนผังการทำงานการคำนวณบิตพาริตี	65
รูปที่ 2.53 แผนผังการทำงานการเข้ารหัสโพลาร์	66
รูปที่ 2.54 แผนผังการทำงานการแทรกสลับบล็อกย่อย	67
รูปที่ 2.55 แผนผังการทำงานการสร้างลำดับการแทรกสลับบล็อกย่อย	68
รูปที่ 2.56 แผนผังการทำงานการปรับอัตรารหัส	69
รูปที่ 2.57 แผนผังการทำงานการแทรกสลับบิตรหัส	70
รูปที่ 2.58 แผนผังการทำงานการสร้างลำดับการแทรกสลับบิตรหัส	71
รูปที่ 2.59 แผนผังการทำงานการต่อบล็อกรหัส	72
รูปที่ 3.1 โครงร่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G	102
รูปที่ 3.2 ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G เชื่อมต่อกับซอฟต์แวร์	i 107
รูปที่ 3.3 ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G เชื่อมต่อกับอุปกรถ	น์ FPGA
	107
รูปที่ 3.4 โครงร่างชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G	108
รูปที่ 3.5 ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G เชื่อมต่อกับซอ	เฟต์แวร์
	114

รูปที่ 3.6 ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G เชื่อมต่อ	วกับอุปกรณ์ 
FPGA	
รูปที่ 3.7 เคริงรางชุดการเรยนรูกระบวนการทางานพลศลเลเยอรลาดบสูงมาตรฐาน 5G	115 ເສື່ອນຫ່ວວັນ
รูบท 3.8 ชุดการเรยนรูกระบานการทำงานพลศลเลเยอรลาดบสูงมาตรฐาน 5G ซอฟต์แวร์	
รูปที่ 3.9 ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G เชื่อมต่	อกับอุปกรณ์
FPGA	122
รูปที่ 3.10 โครงร่างชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้ส	สาย 124
รูปที่ 3.11 ชุดทดสอบสมรรถนะการมอดูเลชั่นและดีมอดูเลชั่นในระบบสื่อสารไร้สาย	เชื่อมต่อกับ
ซอฟต์แวร์	
รูปที่ 3.12 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้ส	เาย เชื่อมต่อ
กับอุปกรณ์ FPGA	125
รูปที่ 3.13 โครงร่างชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสในระบบสื่อสารไร้สาย .	125
รูปที่ 3.14 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อ	วสารไร้สาย
เชื่อมต่อกับซอฟต์แวร์	
รูปที่ 3.15 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้ส	เาย เชื่อมต่อ
กับอุปกรณ์ FPGA	127
รูปที่ 3.16 โครงร่างกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื่อสารไร้สาย	
รูปที่ 3.17 ชุดทดสอบสมรรถนะกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื	อสารไร้สาย
เชื่อมต่อกับซอฟต์แวร์	
รูปที่ 3.18 ชุดทดสอบสมรรถนะกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื	อสารไร้สาย
เชื่อมต่อกับอุปกรณ์ FPGA	130
รูปที่ 3.19 ชุดบิตข้อมูลการสื่อสารภายไต้โพรโทคอล UART	130
รูปที่ 3.20 การใช้งานการัดเร่งความเร็ว FEC แบบ PDSCH_FEC	133
รูปที่ 3.21 การใช้งานการ์ดเร่งความเร็ว FEC แบบ PUSCH_FEC	134
รูปที่ 3.22 การ์ดเร่งความเร็ว FEC แบบ AAL_PDSCH_FEC ด้วยอุปกรณ์ FPGA	135
รูปที่ 3.23 การเชื่อมต่อระหว่างการ์ดเร่งความเร็วกับระบบปฏิบัติการ	135
รูปที่ 3.24 TB CRC attachment	
รูปที่ 3.25 CB segmentation + CB CRC attachment	
รูปที่ 3.26 LDPC encoding	136
รูปที่ 3.27 Rate Matching	137
รูปที่ 3.28 CB concatenation	137
รูปที่ 3.29 การัดเร่งความเร็ว FEC แบบ AAL_PUSCH_FEC ด้วยอุปกรณ์ FPGA	
รูปท 3.30 CB deconcatenation	138
รูปที่ 3.31 Rate dematching	
รูปที่ 3.32 LDPC decoding	
รูปที่ 3.33 CB CRC + CB desegmentation	140

รูปที่ 3.34 TB CRC check	40
รูปที่ 3.35 แผนภาพวงจร CTG 3 ส่วนประกอบที่ใช้งานบนอุปกรณ์ FPGA1	41
รูปที่ 3.36 แผนภาพการสร้างสัญญาณรบกวนเกาส์เซียนขาวแบบบวกบนอุปกรณ์ FPGA	42
รูปที่ 3.37 ค่า MSE ของการคำนวณฟังก์ชันทางคณิตศาสตร์ประเมินค่าด้วยโปรแกรม MATLAB (	(ก)
้ คำนวณลอการิทึมธรรมชาติด้วยการประมาณค่าด้วยพหุนาม (ข) คำนวณรากที่สองโดยใช้อัลกอริเ	ทึม
CORDIC	45
รูปที่ 3.38 วงจรคำนวณฟังก์ชันคณิตศาสตร์โดยอัลกอริทึม CORDIC1	46
้รูปที่ 3.39 แผนภาพการออกแบบสัญญาณการเฟดบนอุปกรณ์ FPGA1	47
รูปที่ 3.40 ตัวอย่างการสร้าง QPSK ด้วย FPGA1	49
รูปที่ 3.41 ตัวอย่างการสร้าง 16QAM ด้วย FPGA1	50
รูปที่ 3.42 ตัวอย่างการหาค่าในตารางสำหรับค่า $\mu_0$ และ $\mu_1$ ที่มีการมอดูเลชันแบบ 8PAM 1.	54
รูปที่ 3.43 อัลกอริทึมการดีมอดูเลชันสัญญาณตามมาตรฐาน 5G บนอุปกรณ์ FPGA โดยมีตัวอย่	่าง
LUT0 และ LUT1 ประกอบ	55
รูปที่ 3.44 โครงสร้างตัวถอดรหัส LDPC1	65
รูปที่ 3.45 ส่วนหน่วยประมวลผล 1 ตัว1	67
้รูปที่ 4.1 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดุ	ູງເລ
ชั้นและดีมอดูเลชั้นมาตรฐาน 5G	68
รูปที่ 4.2 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าแ	ละ
ถอดรหัสมาตรฐาน 5G1	69
รูปที่ 4.3 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนก	าาร
ทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G1	69
รูปที่ 4.4 กราฟของสัญญาณข้อมูลอินพุตแบบสุ่มที่สร้างโดยใช้ซอฟต์แวร์1	70
รูปที่ 4.5 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การ:	มอ
ดูเลชั้นและดีมอดูเลชั้นมาตรฐาน 5G1	70
รูปที่ 4.6 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเ	,ข้า
และถอดรหัสมาตรฐาน 5G1	71
รูปที่ 4.7 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรีย	นรู້
กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G1	71
รูปที่ 4.8 กราฟของสัญญาณข้อมูลอินพุตแบบสุ่มที่สร้างโดยใช้อุปกรณ์ FPGA	72
รูปที่ 4.9 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้ซอฟต์แวร์ บนหน้าต่	่าง
ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G1	73
รูปที่ 4.10 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้ซอฟต์แวร์ บนหน้าต่	่าง
ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G1	73
รูปที่ 4.11 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้ซอฟต์แวร์ เ	บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G1	74
รูปที่ 4.12 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้ซอฟต์แวร์ เ	บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G1	74

รูปที่ 4.13 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้ซอฟต์แวร์ บนหน้าต่าง
ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G175
รูปที่ 4.14 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้
ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G5G
รูปที่ 4.15 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้
ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G5G
รูปที่ 4.16 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้
ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G5G
รูปที่ 4.17 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้
ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G5G
รูปที่ 4.18 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้ซอฟต์แวร์
บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G177
รูปที่ 4.19 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้อุปกรณ์ FPGA บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G178
รูปที่ 4.20 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้อุปกรณ์ FPGA บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.21 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้อุปกรณ์ FPGA บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G179
รูปที่ 4.22 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้อุปกรณ์ FPGA บน
หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G180
รูปที่ 4.23 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้อุปกรณ์ FPGA บน
์หน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.24 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.25 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.26 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.27 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.28 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.29 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้ซอฟต์แวร์บนหน้าต่าง
ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G5G
รูปที่ 4.30 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้ซอฟต์แวร์บนหน้าต่าง
ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

รูปที่ 4.31 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้ซอฟต์แวร์บนหน้าต่าง รูปที่ 4.32 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้ซอฟต์แวร์บนหน้าต่าง รูปที่ 4.33 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้ซอฟต์แวร์บนหน้าต่าง รูปที่ 4.34 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G...... 186 รูปที่ 4.35 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.36 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.37 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.38 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G...... 188 รูปที่ 4.39 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้อุปกรณ์ FPGA บน รูปที่ 4.40 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้อุปกรณ์ FPGA บน รูปที่ 4.41 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้อุปกรณ์ FPGA บน รูปที่ 4.42 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้อุปกรณ์ FPGA บน รูปที่ 4.43 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้อุปกรณ์ FPGA บน รูปที่ 4.44 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้อุปกรณ์ รูปที่ 4.45 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้อุปกรณ์ รูปที่ 4.46 กราฟของสัญญาณที่ได้จากการเข้ารหัสซ่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์ รูปที่ 4.47 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้อุปกรณ์ รูปที่ 4.48 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้อุปกรณ์ 

รูปที่ 4.49 ผลลัพธ์การสแครมมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการ
ทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G194
รูปที่ 4.50 กราฟของสัญญาณสแครมที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการ
ทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G
รูปที่ 4.51 ผลลัพธ์การสแครมมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G195
รูปที่ 4.52 กราฟของสัญญาณที่ได้จากการสแครมที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G195
รูปที่ 4.53 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ $\pi$ /2-BPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุด
การเรียนรู้การมอดูเลซันและดีมอดูเลซันมาตรฐาน 5G196
รูปที่ 4.54 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ BPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G197
รูปที่ 4.55 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ QPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G197
รูปที่ 4.56 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 16QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G198
รูปที่ 4.57 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 64QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G198
รูปที่ 4.58 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 256QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G199
รูปที่ 4.59 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 1024QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G199
รูปที่ 4.60 กราฟของสัญญาณมอดูเลชั่นแบบ $\pi$ /2-BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ
เรียนรู้การมอดเลชันและดีมอดเลชั้นมาตรฐาน 5G
યું યું અનુ
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

รูปที่ 4.67 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ  $\pi$  /2-BPSK ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.68 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์บน รูปที่ 4.69 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้ซอฟต์แวร์บน รูปที่ 4.70 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้ซอฟต์แวร์บน รูปที่ 4.71 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้ซอฟต์แวร์บน รูปที่ 4.72 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.73 แผนภาพคอนสเตลเลชั่นของสัญญาณมอดูเลชั่นแบบ 1024QAM ที่สร้างโดยใช้ซอฟต์แวร์ รูปที่ 4.74 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ  $\pi$  /2-BPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง รูปที่ 4.75 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ BPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ รูปที่ 4.76 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ QPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุด รูปที่ 4.77 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 16QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุด รูปที่ 4.78 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 64QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุด รูปที่ 4.79 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 256QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุด รูปที่ 4.80 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 1024QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง รูปที่ 4.81 กราฟของสัญญาณมอดูเลชันแบบ  $\pi$  /2-BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง รูปที่ 4.82 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการ รูปที่ 4.83 กราฟของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการ รูปที่ 4.84 กราฟของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุด 

รูปที่ 4.85 กราฟของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุด
การเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G213
รูปที่ 4.86 กราฟของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุด
การเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.87 กราฟของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง
์ ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.88 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ $\pi$ /2-BPSK ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.89 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA
้บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชั้นมาตรฐาน 5G5G
รูปที่ 4.90 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้อุปกรณ์ FPGA
บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G5G
รูปที่ 4.91 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.92 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.93 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.94 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้อุปกรณ์
FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.95 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้า
และถอดรหัสมาตรฐาน 5G
รูปที่ 4.96 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและ
ถอดรหัสมาตรฐาน 5G
รูปที่ 4.97 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุด
การเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G219
รูปที่ 4.98 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การ
เข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.99 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การ
เข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.100 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง
ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.101 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.102 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

รูปที่ 4.103 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุด
์ การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ล่ำดับสูงมาตรฐาน 5G
รูปที่ 4.104 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้
้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.105 กราฟของสัญญาณมอดูเลชั้นที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.106 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง
์ ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.107 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้
การมอดูเลชั่นและดีมอดูเลชั่นมาตรฐาน 5G
รูปที่ 4.108 ผลลัพธ์ทดสอบผลของชื่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้
การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.109 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้
้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.110 กราฟของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์
้รูปที่ 4.111 แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์ 229
รูปที่ 4.112 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ
เรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.113 ผ <sup>ู้</sup> ลลัพธ์ทดสอบผ <sup>ู้</sup> ลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ
เรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
รูปที่ 4.114 ผลลัพธ์ทดสอบผล <sup>ข</sup> องช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.115 กราฟของสัญญาณที่ผ่านช่องสัญญ <sup>้</sup> าณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง231
รูปที่ 4.116 แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA
รูปที่ 4.117 ผลลัพธ์ของการดีมอดูเลชันโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและ
ดีมอดูเลชันมาตรฐาน 5G
รูปที่ 4.118 ผลลัพธ์ของการดีมอดูเลซันโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและ
ถอดรหัสมาตรฐาน 5G
รูปที่ 4.119 ผลลัพธ์การดีมอดูเลชันโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้กระบวนการทำงาน ฟิสิ
คัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.120 กราฟของสัญญาณที่ผ่านการดีมอดูเลชันโดยใช้ซอฟต์แวร์
รูปที่ 4.121 ผลลัพธ์ของการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเล
รูปที่ 4.122 ผลลัพธ์ของการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและ
ถอดรหัสมาตรฐาน 5G

รูปที่ 4.123 ผลลัพธ์การดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้ กระบวนการ
์ทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
รูปที่ 4.124 กราฟของสัญญาณที่ผ่านการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA
รูปที่ 4.125 ผลลัพธ์การดีสแครมมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้
้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G
รูปที่ 4.126 กราฟของสัญญาณดีสแครมที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G238
รูปที่ 4.127 ผลลัพธ์การดีสแครมมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้
กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G239
รูปที่ 4.128 กราฟของสัญญาณที่ได้จากการดีสแครมที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G239
รูปที่ 4.129 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการ
เรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G240
รูปที่ 4.130 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้ซอฟต์แวร์
รูปที่ 4.131 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุด
การเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G242
รูปที่ 4.132 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้อุปกรณ์ FPGA
รูปที่ 4.133 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G243
รูปที่ 4.134 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G244
รูปที่ 4.135 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุด
การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G245
รูปที่ 4.136 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการ
เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G245
รูปที่ 4.137 ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G โดยใช้
ซอฟต์แวร์
รูปที่ 4.138 ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชั่นและดีมอดูเลชั่นมาตรฐาน 5G โดยใช้
อุปกรณ์ FPGA
รูปที่ 4.139 ผลการทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G โดยใช้ซอฟต์แวร์ 
รูปที่ 4.140 ผลการทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G โดยใช้อุปกรณ์
FFUA
ู มาที่ 4.141 ผลกาาวพิตสอบอตว่าบิติผิตพลาตของกระบานการทางานพิสิตสิเสเยอริสาดปลึง มากระวง EC โดยใช้ตามต์แกร์
ม แม่ง 142 และออระนอสอนอัตรณ์ คนิอาเอออเอออระนอนอระน่อนอระนอนอีสิรัฐอาเอยอร์สรรณ์
จูบท 4.142 ผสการทิตสอบอตราบติผิดพลาตของกระบวนการทางานพลิศลเลิเยอริสาดปลูง
มาตรฐาน 5G เดยเซอุบกรณ FPGA

รูปที่ 4.144 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH .... 254 รูปที่ 4.145 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้การเข้าและ รูปที่ 4.146 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้ รูปที่ 4.147 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้กระบวนการฟิ รูปที่ 4.148 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้กระบวนการฟิ รูปที่ 4.149 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้กระบวนการฟิ สิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH ...... 261 รูปที่ 4.152 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงการมอดูเลชันมาตรฐาน 5G.263 รูปที่ 4.153 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลของช่องสัญญาณสื่อสาร..264 รูปที่ 4.154 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลการดีมอดูเลชันมาตรฐาน 5G รูปที่ 4.155 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและ

ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH .... 266 รูปที่ 4.156 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและ รูปที่ 4.157 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ รูปที่ 4.158 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ รูปที่ 4.159 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการ รูปที่ 4.160 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการ 

รูปที่ 4.167 ผลการทดสอบ timing diagram ของระบบย่อย Simulator controller	284
รูปที่ 4.168 รายละเอียดระบบย่อย Random input generator	284
รูปที่ 4.169 ผลการทดสอบ timing diagram ของระบบย่อย Random input generator	285
รูปที่ 4.170 รายละเอียดระบบย่อย LDPC encoder	285
รูปที่ 4.171 ผลการทดสอบ timing diagram ของระบบย่อย LDPC encoder	286
รูปที่ 4.172 รายละเอียดระบบย่อย Polar encoder	286
รูปที่ 4.173 ผลการทดสอบ timing diagram ของระบบย่อย Polar encoder	287
รูปที่ 4.174 รายละเอียดระบบย่อย Modulator	287
รูปที่ 4.175 ผลการทดสอบ timing diagram ของระบบย่อย Modulator	288
รูปที่ 4.176 รายละเอียดระบบย่อย Noise generator	288
รูปที่ 4.177 ผลการทดสอบ timing diagram ของระบบย่อย Noise generator	289
รูปที่ 4.178 รายละเอียดระบบย่อย Demodulator	289
รูปที่ 4.179 ผลการทดสอบ timing diagram ของระบบย่อย Demodulator	290
รูปที่ 4.180 รายละเอียดระบบย่อย LDPC decoder	290
รูปที่ 4.181 ผลการทดสอบ timing diagram ของระบบย่อย LDPC decoder	291
รูปที่ 4.182 รายละเอียดระบบย่อย Polar decoder	292
รูปที่ 4.183 ผลการทดสอบ timing diagram ของระบบย่อย Polar decoder	292
รูปที่ 4.184 รายละเอียดระบบย่อย Transmitter buffer	293
รูปที่ 4.185 ผลการทดสอบ timing diagram ของระบบย่อย Transmitter buffer	293
รูปที่ 4.186 รายละเอียดระบบย่อย Serial transmitter	294
รูปที่ 4.187 ผลการทดสอบ timing diagram ของระบบย่อย Serial transmitter	295
รูปที่ 4.188 ชุดข้อมูลที่ส่งไปยังคอมพิวเตอร์	296
รูปที่ 4.189 ชุดข้อมูลที่รับมาจากอุปกรณ์ FPGA	297
รูปที่ 4.190 ผลการทดสอบการ์ดเร่งความเร็ว FEC แบบ AAL_PDSCH_FEC	298
รูปที่ 4.191 ผลการทดสอบการ์ดเร่งความเร็ว FEC แบบ AAL_PUSCH_FEC	298
รูปที่ 4.192 ผลการทดสอบฮาร์ดแวร์หลังการจัดเตรียม	299
รูปที่ 4.193 ผลการทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilir	ıx 299
รูปที่ 4.194 ผลการทดสอบเว็บไซต์หน้าต่างหน้าแรก	300
รูปที่ 4.195 ผลการทดสอบเว็บไซต์ตัวเลือกเนื้อหาในแถบรหัสช่องสัญญาณ	302
รูปที่ 4.196 ผลการทดสอบเว็บไซต์หน้าต่างช่องสัญญาณคืออะไร	302
รูปที่ 4.197 ผลการทดสอบเว็บไซต์หน้าต่างการมอดูเลชัน	303
รูปที่ 4.198 ผลการทดสอบเว็บไซต์หน้าต่างช่องสัญญาณ AWGN	304
รูปที่ 4.199 ผลการทดสอบเว็บไซต์หน้าต่างชุดการเรียนรู้และทดสอบกรณีใช้งานบนคอมพิวเต	າວร໌ 305
รูปที่ 4.200 ผลการทดสอบเว็บไซต์หน้าต่างชุดการเรียนรู้และทดสอบ กรณีใช้งานบนคอม	พิวเตอร์
ร่วมกับอุปกรณ์ FPGA	305
รูปที่ 4.201 ส่วนสำหรับดาวน์โหลดซอฟต์แวร์ GUI และเอกสารประกอบ บนหน้าต่างชุดกา	รเรียนรู้
และทดสอบ	306

รูปที่ 4.202 แสดงวิดีโอสาธิตการใช้งานซอฟต์แวร์ GUI บนหน้าต่างชุดการเรียนรู้และทดสอบ 306
รูปที่ 4.203 ผลการทดสอบเว็บไซต์หน้าต่างเกี่ยวกับเรา
รูปที่ 4.204 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร
ลาดกระบัง
รูปที่ 4.205 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยราชมงคลอีสาน วิทยาเขต
นครราชสีมา
รูปที่ 4.206 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตขอนแก่น
รูปที่ 4.207 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยขอนแก่น
รูปที่ 4.208 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่จุฬาลงกรณ์มหาวิทยาลัย

# สารบัญตาราง

ตารางที่ 2.1 รายละเอียดเมทริกซ์ฐาน	15
ตารางที่ 2.2 ความสัมพันธ์ระหว่างเซตของการเลื่อนค่า (Shift-value set) และขนาดการยกระด์	จับ (
Z ) สำหรับรหัส LDPC ที่ใช้ใน 5G NR [10]	16
ตารางที่ 2.3 รายละเอียดค่า V <sub>i,j</sub> สำหรับเมทริกซ์ฐาน 1 ของรหัส LDPC [10]	17
ตารางที่ 2.4 รายละเอียดค่า V <sub>i,j</sub> สำหรับเมทริกซ์ฐาน 2 ของรหัส LDPC [10]	19
ตารางที่ 3.1 ประเภทและความยาวของสัญญาณจำแนกระหว่างคอมพิวเตอร์และอุปกรณ์ FPGA	131
ตารางที่ 3.2 ค่าสัมประสิทธิ์สมการพหุนามของช่วงการประมาณ 7 ช่วง	144
ตารางที่ 3.3 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ $\pi/2$ -BPSK	149
ตารางที่ 3.4 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ BPSK	149
ตารางที่ 3.5 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ QPSK (2PAM)	150
ตารางที่ 3.6 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 16QAM (4PAM)	150
ตารางที่ 3.7 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 64QAM (8PAM)	151
ตารางที่ 3.8 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 256QAM (16PAM)	151
ตารางที่ 3.9 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 1024QAM (32PAM)	151
ตารางที่ 3.10 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ $y$ ที่สุดสำหรับ $\pi/2$ -BPSK	155
ตารางที่ 3.11 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ $y$ ที่สุดสำหรับ $\pi/2$ -BPSK	155
ตารางที่ 3.12 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ $ y $ ที่สุดสำหรับ BPSK	156
ตารางที่ 3.13 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ $y$ ที่สุดสำหรับ BPSK	156
ตารางที่ 3.14 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ у ที่สุดสำหรับ QPSK (2PAM)	156
ตารางที่ 3.15 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ QPSK (2PAM)	156
ตารางที่ 3.16 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 16QAM (4PAM)	156
ตารางที่ 3.17 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 16QAM (4PAM)	157
ตารางที่ 3.18 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 64QAM (8PAM)	157
ตารางที่ 3.19 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 64QAM (8PAM)	157
ตารางที่ 3.20 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 256QAM (16PAM)	158
ตารางที่ 3.21 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 256QAM (16PAM)	159
ตารางที่ 3.22 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 1024QAM (32PAM)	159
ตารางที่ 3.23 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 1024QAM (32PAM)	161
ตารางที่ 3.24 ทรัพยากรของหน่วยความจำ	166
ตารางที่ 4.1 ซอฟต์แวร์ชุดคำสั่งของระบบย่อย	275
ตารางที่ 4.2 ประเภทและความยาวของสัญญาณจำแนกโดยระบบย่อย Receiver buffer	280

บทที่ 1 บทนำ

#### 1.1 ที่มา และความสำคัญของโครงการ

ปัจจุบัน ประเทศไทยมีอุตสาหกรรมด้านการพัฒนาอุปกรณ์โทรคมนาคมอย่างจำกัด เนื่องจากอุปกรณ์โทรคมนาคมเกี่ยวข้องกับเทคโนโลยีที่มีความซับซ้อนสูง จำเป็นต้องใช้บุคคลากรที่มี ความรู้ความสามารถระดับโลกเพื่อพัฒนาอุปกรณ์ให้สามารถแข่งขันกับต่างประเทศได้ จากปัญหา ดังกล่าว ทำให้ บริษัทที่ดำเนินธุรกิจด้านโทรคมนาคมของประเทศไทย ส่วนใหญ่จะดำเนินธุรกิจใน รูปแบบของการให้บริการลูกค้า ปราศจากการพัฒนาอุปกรณ์ของต้นเอง ซึ่งในอดีตที่ผ่านมา บริษัท ของไทยสามารถดำเนินธุรกิจการให้บริการอย่างราบรื่น สามารถซื้ออุปกรณ์ของต่างประเทศและนำ อุปกรณ์มาให้บริการแต่ลูกค้ารายย่อย อย่างไรก็ตาม สถานการณ์การดำเนินธุรกิจในปัจจุบัน เปลี่ยนแปลงไปมาก การดำเนินธุรกิจด้านเทคโนโลยีเป็นแบบไม่มีพรมแดน บริษัทผู้ผลิตอุปกรณ์จาก ต่างประเทศต้องการมาดำเนินกรให้บริการลูกค้าด้วยตัวเอง ไม่เช่นนั้น การซื้ออุปกรณ์จาก ต่างประเทศจะมีมูลค่าที่สูงมากขึ้นเนื่องจากบริษัทในประเทศไทยไม่สามารถหลีกเลี่ยงการให้งาน อุปกรณ์ของบริษัทต่างชาติได้ ปัญหาดังกล่าว มิได้เกิดขึ้นแค่ในประเทศไทย แต่เกิดขึ้นทั่วโลก ทำให้ ประเทศต่าง ๆ เช่น สหรัฐอเมริกา เริ่มมีการลงทุนกับอุตสาหกรรมที่เกี่ยวข้องกับเทคโนโลยีเพื่อ อนาคตของประเทศ

จากปัญหาดังกล่าว ผู้วิจัยจึงมีแนวความคิดที่การนำความเชียวชาญด้านเทคโนโลยีการเข้ารหัส ช่องสัญญาณมาพัฒนาบนอุปกรณ์ FPGA ที่สามารถต่อยอดเชิงพาณิชย์ได้ แม้ว่าผู้วิจัยสนใจพัฒนา อุปกรณ์ FPGA แต่ผู้วิจัยยังคงให้ความสำคัญกับการพัฒนาบุคคลากรและสร้างแรงจูงใจกับนักศึกษา รุ่นใหม่ควบคู่ไปด้วย ทำให้ผู้วิจัยจึงดำเนินการจัดทำ "โครงการพัฒนาอุปกรณ์เข้ารหัสช่องสัญญาณ มาตรฐาน 5G สำหรับสื่อการสอนและการต่อยอดเชิงพาณิชย์" โดยได้รับทุนสนับสนุนจากกองทุนวิจัย และพัฒนากิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคมเพื่อประโยชน์สาธารณะ (กทปส.) ปี พ.ศ. 2563 อย่างไรก็ตาม โครงการก่อนหน้าจะมุ่งเน้นเฉพาะการพัฒนาซอฟต์แวร์และ ฮาร์ดแวร์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G เท่านั้น มิได้พัฒนาการถอดรหัสช่องสัญญาณ เนื่องจากองค์กร 3GPP ไม่ได้มีการกำหนดว่าการถอดรหัสจะต้องมีขั้นตอนอย่างไร

การพัฒนาการถอดรหัสช่องสัญญาณนั้น จะต้องใช้องค์ความรู้เฉพาะของผู้พัฒนา จึงเป็นที่มา ของข้อเสนอโครงการนี้ ส่วนที่ 1 จะมุ่งเน้นการพัฒนาซอฟต์แวร์และฮาร์ดแวร์การถอดรหัส ช่องสัญญาณมาตรฐาน 5G เมื่อพัฒนาส่วนดังกล่าวเสร็จสิ้น ผู้วิจัยจะดำเนินการ ส่วนที่ 2 พัฒนาชุด การเรียนรู้การถอดรหัสช่องสัญญาณในมาตรฐาน 5G และ ส่วนที่ 3 พัฒนาชุดทดสอบสมรรถนะการ เข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย โดยงานส่วนที่ 1 และ 2 นี้ จะทำให้ได้ ซอฟต์แวร์และฮาร์ดแวร์ของรหัสช่องสัญญาณที่สมบูรณ์ สามารถนำไปใช้งานเชิงพาณิชย์และใช้เป็น สื่อการสอนในวิชาการสื่อสารไร้สายได้ นอกจากนี้ ผู้วิจัยได้ศึกษามาตรฐาน O-RAN ซึ่งเป็นแนว ทางการใช้ชุดฮาร์ดแวร์และซอฟต์แวร์ที่มีลักษณะแบบเปิด ซึ่งโอเปอร์เรเตอร์ทั่วโลกให้ความสนใจ อย่างมาก เนื่องจากสามารถหลีกเลี่ยงการซื้ออุปกรณ์โทรคมนาคมจากบริษัทผู้ผลิตอุปกรณ์ โทรคมนาคมได้ ทำให้ ส่วนที่ 4 จะมุ่งเน้นการพัฒนาฮาร์ดแวร์การเข้ารหัสและถอดรหัสช่องสัญญาณ ในรูปแบบของการ์ดเร่งความเร็ว FEC ซึ่งองค์กร O-RAN Alliance ได้กำหนดให้การ์ดเร่งเป็นส่วน หนึ่งในมาตรฐาน O-RAN

#### 1.2 วัตถุประสงค์

- 1) เพื่อพัฒนาซอฟต์แวร์และฮาร์ดแวร์การถอดรหัสช่องสัญญาณมาตรฐาน 5G
- 2) เพื่อพัฒนาชุดการเรียนรู้การถอดรหัสช่องสัญญาณในมาตรฐาน 5G
- 3) เพื่อพัฒนาชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย
- 4) เพื่อพัฒนาการ์ดเร่งความเร็ว FEC สำหรับรหัสช่องสัญญาณในโครงข่าย O-RAN

#### 1.3 ขอบเขตของโครงการ

โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการ์ดเร่ง ความเร็วสำหรับโครงข่าย O-RAN ประกอบไปด้วย 5 ส่วน

ส่วนที่ 1 พัฒนาการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G การเข้ารหัสและถอดรหัส ช่องสัญญาณมาตรฐาน 5G ช่องสัญญาณสื่อสารแบบ AWGN Channel และ Fading Channel ด้วย ภาษา Python อีกทั้ง ยังพัฒนาซอฟต์แวร์ดังกล่าวด้วยภาษา VHDL เพื่อให้ทำงานบนอุปกรณ์ ประเภท FPGA ได้

ส่วนที่ 2 พัฒนาชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G และชุดการเรียนรู้ การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G ในลักษณะของซอฟต์แวร์ GUI เพื่อให้ผู้ใช้งาน สามารถใช้งานได้สะดวก ดังรูปที่ 1.1 ผู้ใช้งานสามารถเห็นขั้นตอนการนำข้อมูลมาเข้ารหัส ช่องสัญญาณมาตรฐาน 5G การมอดูเลซันมาตรฐาน 5G การเพิ่มสัญญาณรบกวน การดีมอดูเลชัน และการถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยผู้ใช้งานสามารถดูผลลัพธ์ ณ จุดต่าง ๆ รวมถึง สามารถเรียกดูแผนภาพคอนสเตลเลชัน (Constellation Diagrams) ของการมอดูเลชันมาตรฐาน 5G ได้โดยง่าย

ส่วนที่ 3 พัฒนาชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G และชุด ทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G ในระบบสื่อสารไร้สาย ผู้ใช้งาน สามารถเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel หรือ Fading Channel เพื่อทดลองหา สมรรถนะอัตราบิตผิดพลาด (Bit Error Rate) ณ จุดต่าง ๆ ของระบบได้ ดังรูปที่ 1.2

ส่วนที่ 4 พัฒนาการ์ดเร่งความเร็ว FEC ดังรูปที่ 1.3 ซึ่งองค์กร O-RAN Alliance ได้ กำหนดให้การ์ดเร่งเป็นส่วนหนึ่งในมาตรฐาน O-RAN โดยลักษณะการใช้งานแบบ AAL\_PDSCH\_FEC Profile และ AAL\_PUSCH\_FEC Profile

ส่วนที่ 5 การเผยแพร่ชุดการเรียนรู้ ชุดทดสอบ และการ์ดเร่งความเร็ว FEC ให้แก่ มหาวิทยาลัยต่าง ๆ เพื่อใช้ประกอบการเรียนในรายวิชาที่เกี่ยวข้อง และเผยแพร่ให้บริษัทเอกชน ทราบถึงแนวทางการพัฒนาอุปกรณ์ FPGA สำหรับงานด้านโทรคมนาคม <u>หมายเหตุ</u> ชุดการเรียนรู้และชุดทดสอบ สามารถ download ได้ 3 ช่องทาง

1) Link: https://drive.google.com/file/d/16kuaMyXVoqCacankrETCwCCcPOMciTWV/view

2) Website: <u>https://www.channelcoding.com</u> โดยเลือกหัวข้อ "ชุดการเรียนรู้และชุด

ทดสอบ" และ "ใช้งานบนคอมพิวเตอร์" ดังรูปที่ 1.4

3) QR code:



State of the second						
5G Modulation 5G	Channel Coding 5G High Physical Layer 5G	Simulation About				
<b>หระเจอมเกล้าอาดกระบัง</b>	مرتبع المرتبع	เข้ารหัสและถอดรหัสข่อ t: Channel coding in อทุณิรัยและทัฒนาริการกระ ported by The International	งสัญญาณในมาตรฐาน 5G 5G standard กระสึยง กิจกรโทรทัศน์ และกิจก Broadcastine and Telecomm	i ารโทรคมนาคม เพื่อประโยชม์สาธ .nication Commission (NBTC)	ารณะ (สำนักงาน กล่างข.)	
Input	Encoding	Modulation	Noisy Channel	Demodulation	Decoding	Output
Inside	Inside	Inside	Inside	Inside	Inside	Inside
Binary Number Generator	→ Polar Sequencing → Encoding →	Modulation -	Noisy Channel	Demodulation	→ Polar Decoding → Polar Desequencing	→
Configuration	Configuration Configuration		Configuration	Configuration	Configuration	Configuration
Random V	PUCCH V	BPSK V	AWGN -	BPSK 🔍	PUCCH V	
Input Length	Codeword Length		SNR (dB)	Max-Log $\forall$	Successive Cancellation $ au$	
Software OFPGA	Software OFPGA	● Software ○FPGA	● Software ○ FPGA	Software OFPGA	Software OFPSA	
Run Clear	Run Clear	Run Clear	Run Clear	Run Clear	Run Clear	Clear
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 1.1 ตัวอย่าง ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G



รูปที่ 1.2 ตัวอย่าง ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย



รูปที่ 1.3 ตัวอย่าง การ์ดเร่งความเร็ว FEC สำหรับรหัสช่องสัญญาณในโครงข่าย O-RAN



รูปที่ 1.4 ช่องทางการ download ชุดการเรียนรู้และชุดทดสอบ ผ่านทางเว็บไซต์

# 1.4 ประโยชน์ที่คาดว่าจะได้รับ

- มหาวิทยาลัยที่จัดการเรียนการสอนด้านวิศวกรรมโทรคมนาคม ได้รับชุดเรียนรู้รหัสช่องสัญญาณในระบบสื่อสารไร้สายที่ทันสมัยและตรงตามมาตรฐาน 5G
- ผู้ประกอบการ ด้านอุปกรณ์การสอน
   ได้เห็นแนวทางการพัฒนาอุปกรณ์การสอนที่สอดคล้องกับความต้องการของมหาวิทยาลัย
- ผู้ประกอบการด้านอุปกรณ์โทรคมนาคม
   ได้เห็นแนวทางการพัฒนาการ์ดเร่งความเร็วที่ใช้งานในโครงข่าย O-RAN

บทที่ 2 ทฤษฎี และงานวิจัยที่เกี่ยวข้อง

### 2.1 พื้นฐานสัญญาณสุ่มและช่องสัญญาณสื่อสาร

# 2.1.1 สัญญาณสุ่มที่มีการกระจายตัวแบบสม่ำเสมอ

สัญญาณสุ่มนี้จัดเป็นข้อมูลที่มีการกระจายตัวแบบสม่ำเสมอ (Uniform Distribution) โดย ความน่าจะเป็นของค่าสุ่มที่เป็นไปได้ทั้งหมดจะมีโอกาสถูกสุ่มขึ้นเท่ากัน ในกรณีนี้ค่าสุ่มที่เป็นไปได้คือ 0 และ 1 ซึ่งแสดงฟังก์ชันความหนาแน่นความน่าจะเป็นดังรูปที่ 2.1



รูปที่ 2.1 ความน่าจะเป็นของค่าสุ่ม 0 และ 1 เมื่อถูกสุ่มมาจำนวนหลายค่า

ข้อมูลที่มีการกระจายตัวแบบสม่ำเสมอจะถูกนำมาใช้งานเป็นข้อมูลอินพุตสำหรับระบบการ สื่อสาร สำหรับการสร้างข้อมูลอินพุตแบบสุ่มที่มีการกระจายคงที่ สามารถทำได้ด้วยวงจร Shift Register เช่น วงจร Linear-Feedback Shift Register หรือ LFSR และวงจร Tausworthe generator การสร้างข้อมูลสุ่มที่ดี ข้อมูลที่สุ่มออกมาต้องมีความสุ่มเทียม (Pseudorandomness) สูง หรือมีค่าสหสัมพันธ์ (Cross-Correlation) ต่ำ กล่าวคือค่าที่สุ่มออกมาควรดูเหมือนมีความสุ่มสูง ทั้งที่ ถูกสร้างออกมาจากกระบวนการ Deterministic และทำซ้ำได้ รูปที่ 2.2 เปรียบเทียบผลลัพธ์การสุ่ม ค่าของวงจร 2 ประเภท (ก) จากวงจร LFSR และ (ข) จากวงจร Tausworthe generator แบบรวม (Combined Tausworthe Generator) หรือ CTG ซึ่งจะสังเกตได้ว่าวงจร LFSR ให้ผลลัพธ์ที่ดูเป็น โครงสร้างมากกว่าวงจร CTG ซึ่งถือว่าไม่เหมาะสมสำหรับการสุ่ม ผลลัพธ์ที่เป็นโครงสร้างนี้บ่งบอกถึง การมีสหสัมพันธ์ต่อกันหรือสามารถคาดเดาผลลัพธ์การสุ่มลำดับถัดไปได้ อีกหนึ่งตัวแปรที่สำคัญของ การสร้างข้อมูลสุ่มคือขนาดของคาบ (Period) ซึ่งบ่งบอกถึงจำนวนค่าสุ่มที่จะไม่เกิดลำดับที่ซ้ำกัน สำหรับวงจร LFSR มักจะมีขนาดคาบเท่ากับสองยกกำลังความยาวของวงจรสุ่ม ขณะที่วงจร CTG



รูปที่ 2.2 แผนภาพการกระจายสองมิติ (2D scatter plot) ของผลลัพธ์คู่เลขสุ่ม  $\left(u_{i},u_{i+1}
ight)$  ลำดับ ติดต่อกันจาก (ก) วงจร LFSR (ข) วงจร CTG [1]

#### 2.1.2 สัญญาณสุ่มที่มีการกระจายตัวแบบสม่ำเสมอ

สัญญาณสุ่มนี้จัดเป็นข้อมูลที่มีการกระจายตัวแบบปกติ (Normal Distribution) หรือการ กระจายเกาส์เซียน (Gaussian Distribution) โดยความน่าจะเป็นของค่าสุ่มที่เป็นไปได้ทั้งหมดจะมี โอกาสถูกสุ่มขึ้นไม่เท่ากัน โดยค่าที่มีโอกาสถูกสุ่มมากที่สุด จะเป็นค่าที่เทียบเท่ากับค่าเฉลี่ย (Mean) หรือ  $\mu$  ของการกระจายตัวดังกล่าว และค่าข้างเคียงของค่าเฉลี่ยจะมีโอกาสถูกสุ่มลดลงไปเรื่อย ๆ จนเข้าใกล้ค่าศูนย์ ลักษณะการถูกสุ่มที่ลดลงของค่าข้างเคียงค่าเฉลี่ย จะถูกควบคุมด้วยค่าเบี่ยงเบน มาตรฐาน (Standard Deviation) หรือ  $\sigma$  ของการกระจายตัวดังกล่าวอีกเช่นกัน ซึ่งแสดงฟังก์ชัน ความหนาแน่นความน่าจะเป็นดัง



รูปที่ 2.3 ความน่าจะเป็นของค่าสุ่มของการกระจายแบบปกติ

ข้อมูลที่มีการกระจายตัวแบบปกติจะถูกนำมาใช้งานเป็นสัญญาณสุ่มสำหรับระบบการสื่อสาร ภายใต้ช่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวก (Additive White Gaussian Noise) หรือ AWGN

#### 2.1.3 ช่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวก

ช่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวกคือรูปแบบช่องสัญญาณพื้นฐานตามทฤษฎี ข่าวสารเพื่ออธิบายถึงปรากฎการณ์ของกระบวนการสุ่มที่เกิดขึ้นในธรรมชาติ รวมถึงในระบบการ สื่อสาร สัญญาณรบกวนประเภทนี้มักใช้ในการอธิบายสัญญาณพื้นหลัง โดยอาจเกิดขึ้นจากธรรมชาติ หรืออุณหภูมิของอุปกรณ์ในระบบ เรียกว่าสัญญาณรบกวนเชิงความร้อนได้ และสัญญาณรบกวนที่ เกิดขึ้นในช่องสัญญาณนี้คือสัญญาณรบกวนเกาส์เซียน (Gaussian noise) โดยคำศัพท์ดังกล่าว ประกอบไปด้วยคำ 3 คำ ดังนี้

1) บวก (Additive) เนื่องจากสัญญาณประเภทนี้ถูกเพิ่มหรือบวกเข้าไปยังระบบหรือ ช่องสัญญาณ

2) ขาว (White) อ้างถึงความหนาแน่นกำลังเชิงสเปกตรัม (Power Spectral Density) ที่มี ลักษณะสม่ำเสมอในโดเมนความถี่ภายในระบบหรือช่องสัญญาณ ซึ่งลักษณะต่าง ๆ จะถูกแทนด้วยชื่อ สีและสีขาวจะมีลักษณะสม่ำเสมอ 3) เกาส์เซียน (Gaussian) อ้างอิงความหนาแน่น (Density) ที่มีลักษณะการกระจายปกติหรือ การกระจายเกาส์เซียนในโดเมนเวลาภายในระบบหรือช่องสัญญาณ

สำหรับช่องสัญญาณรบกวนดังกล่าวแสดงแบบจำลองดังรูปที่ 2.4 โดยกำหนดให้ y(t)เป็นเอาต์พุตช่องสัญญาณ ซึ่งเกิดจากสัญญาณที่ส่ง x(t) บวกกับสัญญาณรบกวนเกาส์เซียน n(t)เขียนความสัมพันธ์ของสัญญาณต่าง ๆ ได้ดังนี้

$$y(t) = x(t) + n(t)$$
(2.1)

และสามารถแทนสัญญาณรบกวนเกาส์เซียนได้ดังนี้

$$n(t) \sim C\mathcal{N}(0, \mathbf{K}) \tag{2.2}$$

โดยที่สัญญาณรบกวนเกาส์เซียน n(t) มีค่าเฉลี่ยเท่ากับ 0 และมีเมทริกซ์ความแปรปรวนร่วม (covariance matrix) เท่ากับ **K** 



รูปที่ 2.4 แบบจำลองช่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวก

หากกำหนดให้สัญญาณที่ส่งมีสัญญาณความถิ่เดียวหรือมีฟังก์ชันความหนาแน่นสเปกตรัม แบบอิมพัลส์ (impulse) เมื่อสัญญาณดังกล่าวผ่านช่องสัญญาณรบกวนนี้ สัญญาณที่ส่งจะถูกบวกกับ สัญญาณรบกวนเกาส์เซียนที่ช่วงเวลาต่าง ๆ ได้เอาต์พุตช่องสัญญาณที่มีการกระจายของฟังก์ชันความ หนาแน่นสเปกตรัมแบบเกาส์เซียนเช่นเดียวกับสัญญาณรบกวนเกาส์เซียน แสดงดังรูปที่ 2.5 และเขียน สมการฟังก์ชันความหนาแน่นแบบเกาส์เซียนได้ดังนี้

$$f(y) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{(y-\mu)^2}{2\sigma^2}}$$
(2.3)

โดย  $\mu$  คือค่าเฉลี่ยของการกระจาย (distribution)  $\sigma^2$  คือความแปรปรวน (variance) และ y คือ ตัวแปรสุ่ม ซึ่งสามารถแทนด้วยสัญญาณต่าง ๆ เช่น เอาต์พุตช่องสัญญาณ y(t) สัญญาณรบกวน เกาส์เซียน ณ เวลาต่าง ๆ จะมีคุณสมบัติการกระจายที่อิสระและเหมือนกัน (independent and identically distributed) โดยความจุช่องสัญญาณ C ของช่องสัญญาณรบกวนเกาส์เซียนขาวแบบ บวก

$$C = -\int_{-\infty}^{\infty} p(y) \log_2 p(y) dy - \frac{1}{2} \log_2 \left(2\pi e\sigma^2\right)$$
(2.4)



รูปที่ 2.5 ฟังก์ชันความหนาแน่นสเปกตรัมแบบเกาส์เซียน

โดยที่ 
$$p(y) = \frac{1}{\sqrt{8\pi\sigma^2}} \left( e^{-\frac{(y-1)^2}{2\sigma^2}} + e^{-\frac{(y+1)^2}{2\sigma^2}} \right)$$

การจำลองซ่องสัญญาณรบกวนเกาส์เซียนขาวแบบบวก สามารถทำได้โดยการสร้างสัญญาณ รบกวนเกาส์เซียน เพื่อนำมาบวกกับสัญญาณที่ส่ง การสร้างสัญญาณรบกวนเกาส์เซียนสามารถทำได้ โดยการสุ่มสัญญาณขึ้นมา โดยที่สัญญาณที่สุ่มทั้งหมดจะมีการกระจายเกาส์เซียนที่มีค่าเฉลี่ยเท่ากับ 0 และความแปรปรวนเท่ากับ 1 หรือ  $n(t) \sim \mathcal{N}(0,1)$  แต่ความเป็นจริงแล้ว ความแปรปรวนของ สัญญาณรบกวนเกาส์เซียนจะมีค่าขึ้นอยู่กับสภาพของช่องสัญญาณรบกวน เมื่อสภาพช่องสัญญาณ เปลี่ยนไปจะทำให้สัญญาณรบกวนเกาส์เซียนเปลี่ยนแปลงไปเช่นเดียวกัน ซึ่งสามารถปรับค่าความ แปรปรวนของได้โดย

$$C = -\int_{-\infty}^{\infty} p(y) \log_2 p(y) dy - \frac{1}{2} \log_2 \left(2\pi e\sigma^2\right)$$
(2.5)

## 2.2 พื้นฐานรหัสช่องสัญญาณ

รหัสช่องสัญญาณเป็นองค์ประกอบสำคัญในระบบสื่อสารดิจิทัลที่ขาดไม่ได้ เนื่องจากรหัส ช่องสัญญาณทำให้การรับส่งข้อมูลดิจิทัลปราศจากความผิดพลาด เทคโนโลยีเครือข่าย โทรศัพท์เคลื่อนที่ยุคที่ 4 หรือ 4G ได้ประยุกต์ใช้รหัสช่องสัญญาณที่เรียกว่า turbo codes ใน data channel และ tail-biting convolutional codes (TBCC) ใน control channel [2] รหัส ้ช่องสัญญาณ turbo codes เป็นรหัสช่องสัญญาณที่มีความน่าสนใจอย่างยิ่ง เนื่องจากเป็นรหัส ้ช่องสัญญาณชนิดแรกที่มีสรรมถนะเข้าใกล้ทฤษฎีความจุช่องสัญญาณ ซึ่งเป็นเหตุผลสำคัญที่ทำให้ turbo code ถูกประยุกต์ใช้ในมาตรฐาน 3G และ 4G (รหัสช่องสัญญาณ turbo codes ถูกคิดค้น โดย Claude Berrou Alain Glavieux และ รศ.ดร.ปัญญา ฐิติมัชฌิมา [3] ในปี ค.ศ. 1993) จากการ ้ค้นพบ turbo codes ทำให้นักวิจัยทั่วโลกทำการศึกษารหัสช่องสัญญาณอื่น ๆ ที่มีสมรรถนะที่ ใกล้เคียงหรือดีกว่า turbo codes จนกระทั่งค้นพบว่ารหัสช่องสัญญาณ low-density parity-check codes (LDPC codes) มีสมรรถนะเข้าใกล้ทฤษฎีความจุช่องสัญญาณเช่นเดียวกับ turbo codes ้ (รหัสช่องสัญญาณ LDPC codes ถูกคิดค้นโดย Robert Gallager [4] ตั้งแต่ปี ค.ศ. 1962 แต่ในช่วง เวลาดังกล่าวประสิทธิภาพของระบบคอมพิวเตอร์ยังไม่ดีเพียงพอสำหรับการจำลองหาสมรรถนะการ แก้ไขบิตผิดของ LDPC codes) แม้ว่า LDPC codes จะมีสรรมถนะเข้าใกล้ทฤษฎีความจุช่องสัญญาณ เช่นเดียวกับ turbo codes แต่การพัฒนาวงจรเข้ารหัสและถอดรหัสของ LDPC codes ให้มีความ ซับซ้อนที่เหมาะสมกับการประยุกต์ใช้งานยังเป็นโจทย์สำคัญที่ต้องได้รับการพัฒนาในช่วงเวลา ดังกล่าว ปัจจุบัน รหัสช่องสัญญาณ LDPC codes ได้รับการพัฒนาให้วงจรเข้ารหัสและถอดรหัสมี ้ความซับซ้อนต่ำ ทำให้ LDPC codes ถูกนำมาใช้งานในระบบสื่อสารมาตรฐานต่าง ๆ เช่น ระบบ ้เครือข่ายคอมพิวเตอร์ไร้สายมาตรฐาน IEEE 802.11 [5] ระบบโทรทัศน์ดิจิทัลมาตรฐาน DVB-S2 และ DVB-T2 [6] ทำให้ การออกแบบรหัสช่องสัญญาณในมาตรฐาน 5G รหัสช่องสัญญาณ LDPC codes จะถูกนำมาใช้หรือไม่ เป็นประเด็นที่ได้รับความสนใจจากนักวิจัยทั่วโลก นอกจากนี้ รหัส ้ช่องสัญญาณ polar codes ซึ่งเป็นรหัสช่องสัญญาณที่สามารถพิสูจน์ได้ว่ามีสรรมถนะเข้าใกล้ทฤษฎี ความจุช่องสัญญาณก็เป็นอีกตัวเลือกที่น่าสนใจสำหรับการประยุกต์ใช้ในมาตรฐาน 5G (รหัส ช่องสัญญาณ polar codes ถูกคิดค้นโดย Erdal Arıkan [7] ในปี ค.ศ. 2009 ได้รับความสนใจจาก ้นักวิจัยจำนวนมากเนื่องจากการวิธีการเข้ารหัส polar codes สามารถพิสูจน์ได้โดยตรงว่ามีสรรมถนะ เข้าใกล้ทฤษฎีความจุช่องสัญญาณ ต่างจาก turbo codes และ LDPC codes ที่ไม่สามารถพิสูจน์ได้ โดยตรงว่ามีสรรมถนะเข้าใกล้ทฤษฎีความจุช่องสัญญาณ

## 2.2.1 พื้นฐานรหัส LDPC

รหัสตรวจสอบภาวะหนาแน่นต่ำ หรือรหัส LDPC [4] เป็นรหัสแก้ไขความผิดพลาด (ECC: Error Correction Code) ประเภทหนึ่งซึ่งจัดเป็นรหัสบล็อกเชิงเส้น (Linear block code) โดยรหัส บล็อกเชิงเส้นแบบ (*N*,*K*) คือรหัสแก้ไขความผิดพลาดประเภทหนึ่งที่มีการแบ่งบิตข้อมูล (Message bit) ที่จะส่งออกเป็นบล็อกย่อย แต่ละบล็อกมีความยาว *K* บิต สามารถเขียนเป็นเวกเตอร์ได้ดังนี้  $\mathbf{m} = [m_1, m_2, ..., m_K]$ บิตข้อมูลที่ถูกแบ่งเป็นบล็อกจะถูกนำไปเข้ารหัสโดยการเติมบิตพาริตี (Parity

$$c_{1} + c_{2} + c_{3} + c_{4} = 0$$

$$c_{1} + c_{5} + c_{6} + c_{7} = 0$$

$$c_{2} + c_{5} + c_{8} + c_{9} = 0$$

$$c_{3} + c_{6} + c_{8} + c_{10} = 0$$

$$c_{4} + c_{7} + c_{9} + c_{10} = 0$$
(2.6)

bit) หรือเขียนรูปเวกเตอร์เป็น  $\mathbf{p} = [p_1, p_2, \dots p_{N-K}]$  เข้าไปทำให้ได้คำรหัส (Codeword) ที่มีความ ยาว N บิต ซึ่งสามารถเขียนเป็นเวกเตอร์ได้ดังนี้  $\mathbf{c} = [c_1, c_2, \dots, c_N]$  บิตพาริตีที่ถูกเพิ่มเข้าไปเป็น ส่วนที่ช่วยให้ภาครับสามารถตรวจหาบิตข้อมูลที่มีความผิดพลาดได้ และถ้ามีบิตพาริตีมากพอก็อาจจะ สามารถแก้ไขบิตที่ผิดพลาดให้ถูกต้องได้

ในการแบ่งบิตข้อมูลออกเป็นบล็อกย่อย ๆ นั้น ขนาดของบล็อกข้อมูลจะขึ้นอยู่กับแต่ละงาน ประยุกต์ ซึ่งสัดส่วนของบิตข้อมูลต่อบิตคำรหัสในแต่ละบล็อกจะเรียกว่าอัตรารหัส (Code rate) Rซึ่งนิยามโดย R = K / N เมื่อ  $0 \le R \le 1$  เสมอ

รหัสบล็อกเซิงเส้นแบบ (N, K) สามารถถูกกำหนดด้วยเมทริกซ์ตัวกำเนิด **G** ที่มีขนาด  $K \times N$  โดยเมทริกซ์ตัวกำเนิดจะสัมพันธ์กับเมทริกซ์พาริตีเซ็ก **H** ผ่านความสัมพันธ์  $\mathbf{GH}^T = \mathbf{0}$  และคำรหัสจะต้องสอดคล้องกับตามความสัมพันธ์  $\mathbf{Hc}^T = \mathbf{0}$  เสมอ นอกจากนี้สมาชิกในแนวแถว ของเมทริกซ์ คือสมการพาริตีเซ็ก (Parity check equation) ซึ่งเป็นตัวที่กำหนดความสัมพันธ์ของบิต ข้อมูลในแต่ละคำรหัส

	1	1	1	1	0	0	0	0	0	0
	1	0	0	0	1	1	1	0	0	0
$\mathbf{H} =$	0	1	0	0	1	0	0	1	1	0
	0	0	1	0	0	1	0	1	0	1
	0	0	0	1	0	0	1	0	1	1

รูปที่ 2.6 ตัวอย่างเมทริกซ์พาริตีเซ็ก

ตัวอย่างเมทริกซ์พาริตึในรูปที่ 2.6 ซึ่งเป็นรหัสบล็อกเชิงเส้นแบบ (10, 5) พบว่าเมทริกซ์พา ริตีเซ็กมีทั้งหมด 5 แถว สามารถเขียนสมการพาริตีเซ็กดังนี้ เมทริกซ์พาริตีเซ็ก **H** ของรหัสบล็อกเชิงเส้นสามารถแสดงในรูปของกราฟแทนเนอร์ (Tanner graph) [8]  $G(\mathbf{V}, \mathbf{C}, \mathbf{E})$  โดยที่กราฟแทนเนอร์เป็นกราฟแบบสองส่วน (Bipartite graph) ซึ่งประกอบด้วยเซตของโหนดตัวแปร **V** เมื่อ  $\mathbf{V} = [v_1, v_2, ..., v_N]$  คือเซตของโหนดตัวแปร (Variable node) และ  $\mathbf{C} = [c_1, c_2, ..., c_{N-K}]$  คือเซตของโหนดเซ็ก (Check node) และเซตของ เส้นเชื่อม (Edge) **E** ซึ่งเชื่อมต่อระหว่างโหนดตัวแปร  $v_j$  และโหนดเซ็ก  $c_i$  สามารถเขียนแทนด้วย  $(v_j, c_i)$  โดยที่  $(v_j, c_i) \in \mathbf{E}$  ก็ต่อเมื่อ  $h_{ji} \neq 0$  เมื่อ  $h_{ji} \in \mathbf{H}$ 

จากตัวอย่างในรูปที่ 2.6 จะได้ว่าเซตของโหนดตัวแปรคือ  $\mathbf{V} = [v_1, v_2, v_3, v_4, v_5, v_6, v_7, v_8, v_9, v_{10}]$  เซตของโหนดเซ็กคือ  $\mathbf{C} = [c_1, c_2, c_3, c_4, c_5]$  และเซตของเส้นเชื่อมคือ  $E = [(v_1, c_1), (v_1, c_2), (v_2, c_1), (v_2, c_3), (v_3, c_1), (v_3, c_4), (v_4, c_1), (v_4, c_5), (v_5, c_2), (v_5, c_3), (v_6, c_2), (v_6, c_4), (v_7, c_2), (v_7, c_8), (v_8, c_3), (v_8, c_4), (v_9, c_3), (v_9, c_5), (v_{10}, c_4), (v_{10}, c_5)]$ กราฟแทน เนอร์ของเมทริกซ์พาริตีเซ็ก **H** สามารถแสดงได้ดังรูปที่ 2.7



รูปที่ 2.7 กราฟแทนเนอร์ของเมทริกซ์พาริตีเซ็ก

สำหรับรหัส LDPC ที่ใช้ในมาตรฐาน 5G จะเป็นรหัส LDPC แบบ PBRL [9] ซึ่งจะใช้เมทริกซ์ ฐาน 2 แบบได้แก่ เมทริกซ์ฐาน 1 และเมทริกซ์ฐาน 2 เพื่อให้สามารถรองรับความยาวข้อมูลและอัตรา รหัสที่หลากหลาย เมทริกซ์ฐานที่ใช้ในมาตรฐาน 5G แสดงรูปที่ **2.8** และรูปที่ **2.9** รหัส LDPC สำหรับช่องสัญญาณข้อมูลในมาตรฐาน release 15 เริ่มต้นจากการพิจารณาค่า MCS (Modulation and coding scheme) เพื่อให้ทราบอัตรารหัสที่ต้องใช้ในการเข้ารหัส แล้วทำการเลือกเมทริกซ์ฐาน ของรหัส LDPC ซึ่งเมทริกซ์ฐาน 1 ใช้สำหรับบล็อกข้อมูลขนาดใหญ่ ( $44 \le K \le 8448$ ) และอัตรา รหัสสูงในช่วง ( $1/3 \le R \le 8/9$ ) ในขณะที่เมทริกซ์ฐาน 2 ใช้สำหรับบล็อกข้อมูลขนาดเล็ก ( $20 \le K \le 3840$ ) และอัตรารหัสที่ต่ำในช่วง ( $1/5 \le R \le 10/13$ ) โดยมีเงื่อนไขในการพิจารณา เลือกดังนี้

1) กรณีความยาวข้อมูลเท่ากับ  $K \leq 292$  บิต ใช้เมทริกซ์ฐาน 2

 2) กรณีอัตรารหัสเท่ากับ R ≤ 0.67 และความยาวข้อมูลเท่ากับ K ≤ 3824 บิต ใช้เมทริกซ์ ฐาน 2

- 3) กรณีอัตรารหัสเท่ากับ  $R \le 0.25$  ใช้เมทริกซ์ฐาน 2
- 4) กรณีอื่น ๆ ใช้ เมทริกซ์ฐาน 1

โครงสร้างของรหัส LDPC ในมาตรฐาน release 15 [10] หรือ มาตรฐาน 5G เฟส 1 แสดง ได้โดยใช้เมทริกซ์ **H** เมทริกซ์ฐาน 1 ดังรูปที่ 2.8 และเมทริกซ์ฐาน 2 ดังรูปที่ 2.9 ซึ่งมีรายละเอียด ของเมทริกซ์ฐานของทั้งเมทริกซ์ฐาน 1 และเมทริกซ์ฐาน 2 แสดงดังตารางที่ 2.1 โดยช่องสีขาวคือ เมทริกซ์ศูนย์ขนาด  $_{Z\times Z}$  และช่องสีอื่นๆ คือเมทริกซ์ที่มีการสลับเปลี่ยนแบบเวียนหนุน (Circular permutation matrix) ขนาด  $_{Z\times Z}$  การเลือกค่า  $_Z$  ต่ำสุดจากตารางที่ 2.2 โดยสอดคล้องกับ เงื่อนไข  $_{K_{\rho}Z \ge K'}$  และ  $_K = 22Z$  ในกรณีเมทริกซ์ฐาน 1 และ  $_K = 10Z$  ในกรณีเมทริกซ์ฐาน 2 เมื่อ  $_{K_{\rho}}$ คือความยาวบล็อกข้อมูล และ K' คือความยาวบล็อกข้อมูลที่มีการเติมบิตรหัส CRC (Cyclic redundancy check) ต่อท้าย เมื่อทราบค่า  $_Z$  แล้วจึงสามารถสร้างเมทริกซ์ที่มีการสลับเปลี่ยนแบบ เวียนหมุนได้จากการนำเมทริกซ์เอกลักษณ์มาดำเนินการหมุนแบบวนกลับ โดยจำนวนครั้งของการ หมุนสามารถหาได้จาก  $_{i,j} = V_{i,j} \oplus Z$  โดยค่า  $_{V_{i,j}}$ หาได้จากตารางที่ 2.3 และตารางที่ 2.4 โดยขึ้นอยู่ กับค่าดัชนีเซต (Set index) และเมทริกซ์ฐานของรหัส LDPC



รูปที่ 2.8 เมทริกซ์ฐาน 1


ตารางที่ 2.1 รายละเอียดเมทริกซ์ฐาน

รายละเอียดของเมทริกซ์ฐาน	เมทริกซ์ฐาน 1	เมทริกซ์ฐาน 2
อัตรารหัส ( <b>R</b> ) ต่ำสุด	1/3	1/5
ขนาดของเมทริกซ์	46×68	42x52
หลักที่เกี่ยวข้องกับบิตข้อมูล	1-22	1-10
หลักที่เกี่ยวข้องกับบิตพาริตี	23-68	11-52
หลักที่เกี่ยวข้องกับบิต	1-2	1-2
puncture	± £	± <i>L</i>

ดัชนีเซตของการเลื่อนค่า	ขนาดการยกระดับ ( $Z$ )
0	2, 4, 8, 16, 32, 64, 128, 256
1	3, 6, 12, 24, 48, 96, 192, 384
2	5, 10, 20, 40, 80, 160, 320
3	7, 14, 28, 56, 112, 224
4	9, 18, 36, 72, 144, 288
5	11, 22, 44, 88, 176, 352
6	13, 26, 52, 104, 208
7	15, 30, 60, 120, 140

ตารางที่ 2.2 ความสัมพันธ์ระหว่างเซตของการเลื่อนค่า (Shift-value set) และขนาดการยกระดับ ( Z ) สำหรับรหัส LDPC ที่ใช้ใน 5G NR [10]

H	I BG				V	i. i				H <sub>BG</sub> V <sub>i,j</sub>									
Row	Column				Set ind	ex i				Row	Column				Set ind	ex i			
index	index i	0	1	2	2	* <u>L</u> S	E	6	7	index	index	0	1	2	2	*LS	E	6	7
l	J 0	250	307	73	223	4	5 294	0	135	l	<i>J</i>	96	2	290	3 120	4	5 348	6	138
	1	69	19	15	16	198	118	0	227		10	65	210	60	131	183	15	81	220
	2	226	50	103	94	188	167	0	126	15	13	63	318	130	209	108	81	182	173
	3	159	369	240	91 74	186	330	0	134		18	75	269	184	209	68 64	176	53	142
	6	10	216	39	10	4	165	0	83		37	0	0	0	0	04	0	0	0
	9	59	317	15	0	29	243	0	53		1	64	13	69	154	270	190	88	78
	10	110	288	215	205	144	250	0	225		11	49	338 57	140	164	99	332	198	152 84
0	12	191	17	164	21	216	339	0 0	128	16	20	51	289	115	189	54	331	122	5
	13	9	357	133	215	115	201	0	75		22	154	57	300	101	0	114	182	205
	15	23	106	290	70	144	347	0	217		0	7	260	257	56	153	110	91	183
	18	190	242	113	141	95	304	0	220		14	164	303	147	110	137	228	184	112
	19	35	180	16	198	216	167	0	90	17	16	59	81	128	200	0	247	30	106
	20	31	346	32	81	261	188	0	137		21	144	375	228	4	162	190	155	129
	22	1	1	1	1	1	1	0	1		39	0	0	0	0	0	0	0	0
	23	0	0	303	0	179	0	22	0		1	42	130	260	199	161	286	1	183
	2	239	76	294	45	162	225	11	236	18	13	8	280	291	200	0	246	167	180
	3	117	73	27	151	223	96	124	136		18	155	132	141	143	241	181	68	143
	4	124	288	261	46	256	338	0	221		19	14/	4	295	186	144	/3	148	14
	7	222	331	133	157	76	112	0	92		0	60	145	64	8	0	87	12	179
	8	104	331	4	133	202	302	0	172		1	73	213	181	6	0	110	6	108
	9 11	220	295	129	206	109	167	16	50 11	19	8	127	242	270	103	144	258	184	138
1	12	102	342	300	93	15	253	60	189		10	224	197	41	8	0	204	191	196
	14	109	217	76	79	72	334	0	95		41	0	0	0	0	0	0	0	0
	16	142	354	72	118	152	257	30	153		3	186	206	162	210	81	65	12	187
	17	155	114	83	194	147	133	0	87	20	9	217	264	40	121	90	155	15	203
	19 21	255	331	260	31	156	9	168	216		22	4/	341	130	214	228	244	5 30	167
	22	0	0	0	0	0	0	105	0		42	0	0	0	0	0	0	0	0
	23	0	0	0	0	0	0	0	0		1	249	205	79	192	64	162	6	197
	24	106	205	0 68	207	258	226	132	189		5	121	328	1/5	220	266	264 346	86 96	215
	1	111	250	7	203	167	35	37	4	21	20	131	213	283	50	9	143	42	65
	2	185	328	80	31	220	213	21	225		21	171	97	103	106	18	109	199	216
	5	117	256	38	180	243	111	4	236		43	64	30	177	53	72	280	44	25
	6	93	161	227	186	202	265	149	117	22	12	142	11	20	0	189	157	58	47
	/ 8	229	267	202	95	218	128	48	92		13	188	233	316	3	257	236	130	126
	9	95	63	71	177	0	294	122	24		44	0	0	0	0	0	0	0	0
2	10	39	129	106	70	3	127	195	68		1	156	24	249	88	180	18	45	185
	13	225	200	295	214	229	286	28	101	23	10	147	61	133	168	0	181	132	127
	15	225	53	301	77	0	125	85	33		18	152	27	105	122	165	304	100	199
	17	245	131	184	198	216	131	47	96		45	0	0	299	0	0	0	0	0
	19	205	205	230	223	203	210	42	67		3	86	158	280	157	199	170	125	178
	20	117	13	276	90	234	7	66	230	24	4	236	235	110	64	0	249	191	2
	24	0	0	0	0	0	0	0	0		22	222	234	18/	193	266	288	28	156 58
	0	121	276	220	201	187	97	4	128		46	0	0	0	0	Ő	0	0	0
	1	89	87	208	18	145	94	6	23		1	23	72	172	1	205	279	4	27
	4	20	275	197	5	108	279	113	220	25	7	116	383	96	65	0	111	16	141
	6	150	199	61	45	82	139	49	43		14	182	312	46	81	183	54	28	181
	/ 8	243	153	1/5 79	142	132	91	21	186		4/	195	71	270	107	0	325	21	0 163
	10	136	132	281	34	41	106	151	1		2	243	81	110	176	0	326	142	131
	11	86	305	303	155	162	246	83	216	26	4	215	76	318	212	0	226	192	169
3	12	246	341	255	147	36	269	87	22		48	0	0	0	0	0	99	0	90
	14	211	212	53	69	115	185	5	167		1	25	194	210	208	45	91	98	165
	16	240	304	28	96	242	249	92	200	27	6	104	194	29	141	36	326	22	232
	18	244	271	77	99	0	143	120	235		49	0	0	0	0	0	0	0	0
	20	144	39	319	30	113	121	2	172		0	128	222	11	146	275	102	4	32
	21	12	357	68 1	158	108	121	142	219	28	4	165	19 244	293	217	0	1 40	1 40	200
	25	0	0	0	0	0	0	Ő	0	20	21	63	274	234	114	62	167	93	205
	0	157	332	233	170	246	42	24	64		50	0	0	0	0	0	0	0	0
4	26	0	181	205	10	235	256	204	211		1	236	252	308	150	180	2/3	92	32
	0	205	195	83	164	261	219	185	2	29	18	84	147	117	53	0	243	106	118
E	1	236	14	292	59	181	130	100	171		25	6	78	29	68	42	107	6	103
5	12	231	115	50 318	80 80	283	251 322	65	4/		51	216	159	91	34	0	171	2	170
	16	28	241	201	182	254	295	207	210	30	10	73	229	23	130	90	16	88	199

ตารางที่ 2.3 รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 1 ของรหัส LDPC [10]

H	I BG				V	i. i				$\mathbf{H}_{\mathrm{BG}}$ $V_{i,j}$									
Row	Column				Set ind	ex i <sub>LS</sub>				Row	Column				Set ind	ex i <sub>LS</sub>			
i	j	0	1	2	3	4	5	6	7	i	j	0	1	2	3	4	5	6	7
	21	123	51	267	130	79	258	161	180		13	120	260	105	210	252	95	112	26
	27	0	0	0	0	0	203	0	0		52	0	0	0	0	0	0	0	0
	0	183	278	289	158	80	294	6	199		1	95	100	222	175	144	101	4	73
	10	22	1	293	113	169	330	163	22	31	22	172	258	66	177	166	279	125	175
c	11	67	351	13	21	90	99	50	100		25	61	256	162	128	19	222	194	108
0	17	11	253	302	51	177	150	24	207		0	221	102	210	192	0	351	6	103
	18	157	18	138	136	151	284	38	52	22	12	112	201	22	209	211	265	126	110
	20	0	0	235	0	0	0	0	0	32	24	121	287	2/1 217	30	162	83	20	211
	0	220	9	12	17	169	3	145	77		54	0	0	0	0	0	0	0	0
	4	44	316	207	104	189	224	112	209		2	187	323	20	114 49	0	304	30	199
7	7	31	333	50	100	184	297	153	32	33	11	41	361	140	161	76	141	6	172
	8	167	290	25	150	104	215	159 76	166		21	211	105	33	13/	18	101	92	65
	29	0	0	0	0	0	0	0	0		0	127	230	187	82	197	60	4	161
	0	112	307	295	33	54	348	172	181	34	7	167	202	296	186	0	320	153	237
	3	7	165	130	4	252	22	131	141		17	159	312	44	150	0	54	155	180
	12	211	18	231	217	41	312	141	223		56	0	0	0	0	0	0	0	0
8	10	164	224	110	39	46	17	90	145		6	197	335	158	192	278	210	4	174
	21	109	368	269	58	15	59	101	199	35	12	207	2	55	26	0	195	168	145
	22	241	67	245	201	230	314 244	35	153 38		57	103	266	285	187	205	268	185	100
	30	0	0	0	0	0	0	0	0		0	37	210	259	222	216	135	6	11
	0	103	366 232	189 244	9 37	162	156 88	6 10	169	36	14	105	313 297	179	<u>157</u> 0	16	35	200	207
	10	109	321	36	213	93	293	145	206		18	120	21	160	6	Ő	188	43	100
0	11	21	133	286	105	134	92	53 201	221		58	0	269	298	0 81	0	319	82	0
	17	14	303	267	185	132	152	4	212	37	13	220	82	15	195	144	236	2	204
	18	61	63	135	109	76	23	164	92		23	122	115	115	138	0	85	135	161
	31	0	02	0	0	0	0	0	0		0	167	185	151	123	190	164	91	121
	1	98	101	14	82	178	175	126	116	38	9	151	177	179	90	0	196	64	90
	4	167	274	211	174	28	255	156	70		10	163	209	181	10	0	209	100	140
10	7	160	111	75	19	267	231	16	230		60	0	0	0	0	0	0	0	0
	14	49 58	383	161 311	194	234	49 267	12	115 84		1	1/3	258 93	102	12	153	236	28	115
	32	0	0	0	0	0	0	0	0	39	7	149	346	192	49	165	37	109	168
	0	41	48	16	52	23	322	184	45		19 61	0	297	208	114	11/	2/2	188	52
	12	83	8	290	2	274	200	123	134		0	157	175	32	67	216	304	10	4
11	16	182	47	289	35	181	351	16	1	40	8	137	37	80	45 96	144	237	84	103
	22	252	334	43	84	39	338	109	165		62	0	0	0	0	0	0	0	0
	23	22 0	115 0	280 0	201	26	192 0	124	107		1	167	52 314	154 47	23	0	123	2	53 189
	0	160	77	229	142	225	123	6	186	41	9	139	139	124	60	Ő	25	142	215
	1	42	186	235	175	162	217	20	215		18	151	288	207	167	183	272	128	24
12	11	32	232	48	3	151	142	153	124		0	149	113	226	114	27	288	163	222
	13	234	50	105	28	238	176	104	98	42	4	157	14	65	91	0	83	10	170
	34	0	0	52	182	243	0	207	0		64	0	218	0	/8 0	35	0	0	0
	0	177	313	39	81	231	311	52	220		1	151	113	228	206	52	210	1	22
	7	248	266	302	56	216	251	14/	185	43	16 18	163	132	69 176	134	243	53	163 99	127
13	20	185	115	160	217	47	94	16	178		25	139	168	102	161	270	167	98	125
	23	62	370	37	78	36	81	46	150		65	139	0	234	0	0	0	0	0
	0	206	142	78	14	0	22	1	124		7	157	78	227	4	0	244	6	211
	12	55	248	299	175	186	322	202	144	44	9	163	163	259	9	0	293	142	187
14	16	127	89	61	191	16	156	130	95		66	0	0	0	0	0	0	0	0
	17	16	347	179	51	0	66	1	72		1	149	135	101	184	168	82	181	177
	36	0	0	25ŏ 0	43	0	0	2	0	45	10	167	149	126	29	144	235	45	93
15	0	40	241	229	90	170	176	173	39		67	0	0	0	0	0	0	0	0

ตารางที่ 2.3 (ต่อ) รายละเอียดค่า  $V_{_{i,j}}$  สำหรับเมทริกซ์ฐาน 1 ของรหัส LDPC [10]

H	I BG				V	6.4				H <sub>BG</sub> V <sub>i,i</sub>									
Row	Column				Set ind	ex <i>i</i>				Row	Column				Set ind	ex <i>i</i>			
index	index i	0	1	2	3	4	5	6	7	index	index i	0	1	2	3	4	5	6	7
	0	9	174	0	72	3	156	143	145	16	26	0	0	0	0	0	0	0	0
	1	117 204	97	0	110	26	143	19	131		1	254	158	0	48	120 43	134	57 201	196
0	3	26	66	0	181	35	3	165	21	17	11	114	9	109	206	65	62	142	195
Ŭ	6	189 205	71	0	95	115	40	196 13	23		27	64	6	18	2	42 0	163	35	218
	10	0	0	0	1	0	0	0	1		0	220	186	0	68	17	173	129	128
	0	167	27	137	53	0 19	17	18	0 142	18	6	194 50	6 46	18 86	16	106	31 22	203	211 210
	3	166	36	124	156	94	65	27	174		28	0	0	0	0	0	0	0	0
	5	1253	48 92	0	115	66	63	102	27	10	1	20	42	158	138	28	13	110	39 84
1	6	226	31	88	115	84	55	185	96	19	10	185	156	154	86	41	145	52	88
	8	224	185	0	200	69	171	14	9		1	26	76	0	6	2	128	196	117
	9	252	3	55	31	50	133	180	167	20	4	105	61	148	20	103	52	35	227
	12	0	0	0	0	0	0	0	0		30	0	0	0	0	0	0	0	0
	0	81	25	20	152	95 106	98	126	74		0	76	157	0	80	91 75	156	10	238
	3	44	117	99	46	92	107	47	3	21	13	210	67	33	81	81	40	23	11
2	4	52 240	110	9 108	191 91	110	82	183	53 155		31	222	0 20	0	0 49	0 54	0	0	0
	10	1	1	1	0	1	1	1	0	22	2	63	52	4	1	132	163	126	44
	12	0	0	0	0	0	0	0	0		32	23	0 106	0	0 156	68	110	0 52	0 5
	1	8	136	38	185	120	53	36	239	23	3	235	86	75	54	115	132	170	94
	4	эö 158	113	102	36	22	174	4ŏ 18	95		33	238	92	0	0	90 0	0	0	0
	5	104	72	146	124	4	127	111	110		1	46	182	0	153	30	113	113	81
3	7	54	118	57	110	49	89	3	199	24	9	8	64	87	63	101	61	88	130
	8	18	28	53	156	128	17	191	43	<u> </u>	34	0	0	0	0	0	0	0	0
	10	0	0	40	1	0	0	0	1	25	5	156	21	65	94	63	136	194	95
	13	0	0	0	200	0 42	0	0 43	0 29	<u> </u>	35	0 29	0	0	0	0	0	0	0
4	1	214	74	136	16	24	67	27	140		7	143	137	100	6	28	38	172	66
	11	71	29	157	101	51 0	83	117 0	180	26	12	160	55 85	13	221	100	53 145	49	190 86
	0	231	10	0	185	40	79	136	121	<u> </u>	36	0	0	0	0	0	0	0	0
5	5	194	121	142	170	84	35	49 36	169	27	6	151	50	32	118	10	42	193	181
5	7	159	80	141	219	137	103	132	88		37	0	0	0	0	0	0	0	0
	15	0	0	04	0	0	0	02	0		2	101	111	126	210	77	24	186	144
	0	155 228	129 92	0	123	109 87	47	34	137	20	5 38	135	168	110	193	43	149	46	16
6	7	45	100	99	31	107	10	198	172		0	18	110	0	108	133	139	50	25
_	9	28	49	45 148	222	133	155 29	168	124 56	29	4 39	28	1/	154	61 0	25	161	0	57
	16	0	0	0	0	0	0	0	0		2	71	120	0	106	87	84	70	37
	5	129	186	45	103	135	40	78	186	30	7	9	52	51	185	104	93	50	221
7	7	140	16	148	105	35	24	143	87		9	84	56	134	176	70	29	6	17
	13	116	143	78	181	65	55	58	154	<u> </u>	1	106	3	0	147	80	117	115	201
	17	0	0	0	0	0	0	0	0	31	13 41	1	170	20	182	139	148	189	46
8	1	94	70	65	43	69	31	177	169		0	242	84	0	108	32	116	110	179
	12	230	152	87	152	88	161	0	225	32	5	44	8	120	21	89 71	/3 142	0 163	14 116
	1	203	28	0	2	97	104	186	167		42	0	0	0	0	0	0	0	0
9	10	61	132	51	184	24	99	205	∠38 48	22	7	164	105	88	12	6	137	173	46
	11	247	178	85	83	49	64	81	68	33	10	235	124	13	109	2	29	179	106
	0	11	59	0	174	46	111	125	38		45	147	173	0	29	37	11	197	184
10	1	185	104	17	150	41	25	60	217	34	12	85	177	19	201	25	41	191	135
	7	117	52	20	56	96	23	51	232		44	0	0	0	0	0	0	0	0
	20	0	0	0	0	0	91	0	0		1	57	77	0	91	60 137	126	157	85
	7	236	92	7	138	30	175	29	214	35	11	63	18	6	55	93	172	181	175
11	9	210 56	174	4	110 99	116 64	24	35 8	168 51		45	0	25	0	0	0	73	0	0
	21	0	0	0	0	0	0	0	0	36	2	38	151	63	175	129	154	167	112
	1	63 111	39 93	113	46 217	33	122	18 155	124		46	154	1/0	82	83	26	129	1/9	106
12	11	14	11	48	109	131	4	49	72	27	10	219	37	0	40	97	167	181	154
	0	83	49	0	37	76	29	32	U 48	3/	47	0	31 0	0	0	56 0	- <u>58</u> - 0	0	0
13	1	2	125	112	113	37	91	53	57	38	1	31	84	0	37	1	112	157	42
	0	പ	1.00	102	143	02	21	30	107		5	00	101	1 22	31	10	1	113	41

ตารางที่ 2.4 รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 2 ของรหัส LDPC [10]

H <sub>BG</sub> V <sub>i,j</sub>								H	I <sub>BG</sub>	$_{\rm BG}$ $V_{i,j}$										
Row index	Column index				Set ind	ex i <sub>LS</sub>				Row index	Column index	Set index i <sub>LS</sub>								
i	j	0	1	2	3	4	5	6	7	i	j	0	1	2	3	4	5	6	7	
	13	222	166	26	140	47	127	186	219		11	38	190	19	46	1	19	191	105	
	23	0	0	0	0	0	0	0	0		48	0	0	0	0	0	0	0	0	
	1	115	19	0	36	143	11	91	82		0	239	93	0	106	119	109	181	167	
	6	145	118	138	95	51	145	20	232	39	7	172	132	24	181	32	6	157	45	
14	11	3	21	57	40	130	8	52	204		12	34	57	138	154	142	105	173	189	
	13	232	163	27	116	97	166	109	162		49	0	0	0	0	0	0	0	0	
	24	0	0	0	0	0	0	0	0		2	0	103	0	98	6	160	193	78	
	0	51	68	0	116	139	137	174	38	40	10	75	107	36	35	73	156	163	67	
15	10	175	63	73	200	96	103	108	217	40	13	120	163	143	36	102	82	179	180	
15	11	213	81	99	110	128	40	102	157		50	0	0	0	0	0	0	0	0	
	25	0	0	0	0	0	0	0	0		1	129	147	0	120	48	132	191	53	
	1	203	87	0	75	48	78	125	170	41	5	229	7	2	101	47	6	197	215	
16	9	142	177	79	158	9	158	31	23	41	11	118	60	55	81	19	8	167	230	
10	11	8	135	111	134	28	17	54	175		51	0	0	0	0	0	0	0	0	
	12	242	64	143	97	8	165	176	202											

ตารางที่ 2.4 (ต่อ) รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 2 ของรหัส LDPC [10]

### 2.2.2 พื้นฐานรหัส Polar

รหัสโพลาร์เป็นรหัสช่องสัญญาณที่พิสูจน์ถึงความสามารถของความจุที่เข้าใกล้ความจุ ช่องสัญญาณได้ ปัจจุบัน รหัสโพลาร์ถูกนำมาประยุกต์ใช้งานในระบบสื่อสารไร้สายยุคที่ 5 กรณีการ สื่อสารในช่องสัญญาณควบคุม รหัสโพลาร์ประยุกต์ใช้ทฤษฎีการโพลาไรซ์ช่องสัญญาณ โดยจะทำการ สังเคราะห์ช่องสัญญาณ ซึ่งประกอบไปด้วยกระบวนการรวมช่องสัญญาณ (channel combining) ที่ เกิดขึ้นเมื่อทำกระบวนการเข้ารหัสโพลาร์ และการแยกช่องสัญญาณ (channel splitting) ที่จะ เกิดขึ้นเมื่อดำเนินการถอดรหัสเสร็จสิ้น ความสัมพันธ์ของกระบวนการเข้ารหัสและถอดรหัสโพลาร์กับ ทฤษฎีการโพลาไรซ์ช่องสัญญาณสามารถแสดงได้ดังรูปที่ 2.10



รูปที่ 2.10 ช่องสัญญาณที่เกิดจากกระบวนการเข้ารหัสและถอดรหัสโพลาร์

การโพลาไรซ์ช่องสัญญาณ (channel polarization) เป็นการทำให้ช่องสัญญาณรบกวนใด ๆ สามารถพิจารณาได้เป็นช่องสัญญาณรบกวนที่ประกอบไปด้วยช่องสัญญาณย่อยจำนวนมาก โดย ช่องสัญญาณย่อยจะมีคุณสมบัติที่แตกต่างกัน ช่องสัญญาณย่อยบางช่องสัญญาณจะมีสัญญาณรบกวน ต่ำ (noiseless subchannel) หรือมีค่าข่าวสารร่วมสูง และช่องสัญญาณย่อยบางช่องสัญญาณจะมี สัญญาณรบกวนสูง (noisy subchannel) หรือมีค่าข่าวสารร่วมต่ำ

กำหนดให้ช่องสัญญาณรบกวนแทนด้วยสัญลักษณ์  $W: X \to Y$  ในที่นี้จะเรียกช่องสัญญาณ ดังกล่าวว่า ช่องสัญญาณดิบ (raw channel) ดังรูปที่ 2.11 โดยสัญญาณ x ที่ถูกส่งผ่านช่องสัญญาณ ดิบแทนด้วยตัวแปรสุ่ม X และสัญญาณ y ที่ได้รับแทนด้วยตัวแปรสุ่ม Y กำหนดให้ความน่าจะ เป็นการเปลี่ยนผ่าน (transition probability) ของช่องสัญญาณ W เขียนแทนด้วยสัญลักษณ์ W(y|x)



รูปที่ 2.11 บิตข้อมูลส่งผ่านช่องสัญญาณดิบ

สำหรับช่องสัญญาณดิบที่มีช่องสัญญาณจำนวน N ช่อง แสดงดังรูปที่ 2.12 ทั้งนี้ สามารถ เขียนช่วยสัญญาณจำนวน N ช่อง ด้วยสัญลักษณ์  $W^N: X^N \to Y^N$  โดยสัญญาณ  $x_1^N$  จำนวน Nชุด ที่ถูกส่งผ่านช่องสัญญาณดิบ N ช่อง แทนด้วยตัวแปรสุ่ม  $X^N$  และสัญญาณ  $\mathbf{y}_1^N$  จำนวน Nชุด ที่ได้รับแทนด้วยตัวแปรสุ่ม  $Y^N$  กำหนดให้ความน่าจะเป็นการเปลี่ยนผ่านของช่องสัญญาณ  $W^N$ เขียนแทนด้วยสัญลักษณ์  $W^N\left(y_1^N \middle| x_1^N\right)$ 



รูปที่ 2.12 ช่องสัญญาณดิบจำนวน N ช่อง

การรวมช่องสัญญาณดิบ W จำนวน N ช่องสัญญาณ สามารถดำเนินการในรูปแบบรีคลู ซีฟ (recursive) โดยที่ N ต้องมีค่าเท่ากับสองยกกำลังด้วยจำนวนเต็มบวกใด ๆ โดยผลการรวม ช่องสัญญาณจะสร้างช่องสัญญาณที่ถูกสังเคราะห์มาดังนี้

$$W_N: X^N \to Y^N \tag{2.7}$$

โดยสามารถเขียนความน่าจะเป็นการเปลี่ยนผ่านของช่องสัญญาณดิบ N ช่อง ได้โดย

$$W_{N}\left(y_{1}^{N}\left|u_{1}^{N}\right.\right) = W^{N}\left(y_{1}^{N}\left|x_{1}^{N}\right.\right)$$
$$= W^{N}\left(y_{1}^{N}\left|u_{1}^{N}G_{N}\right.\right)$$
(2.8)

จะสังเกตได้ว่าช่องสัญญาณ  $W_N$  ที่ได้จากการรวมช่องสัญญาณ  $W^N$  จะมีการนำสัญญาณ  $u_1^N$  มาดำเนินการกับเมทริกซ์  $G_N$  ตัวอย่างเช่น การส่งข้อมูล  $u_1^N$  ผ่านช่องสัญญาณรบกวนในรูปที่ 2.13 ซึ่งเป็นการรวมช่องสัญญาณ W ที่เป็นอิสระกัน 2 ช่องเข้าด้วยกันเป็นช่องสัญญาณ  $W_2$  กรณี นำช่องสัญญาณ  $W_2$  จำนวน 2 ช่องสัญญาณรวมกันเพื่อสร้างช่องสัญญาณที่มีจำนวนอินพุตเท่ากับ 4 หรือ N = 4 จะได้ช่องสัญญาณ  $W_4$  ดังรูปที่ 2.14 ทั้งนี้ จะต้องมีกระบวนการเรียงสับเปลี่ยน  $R_4$  เพื่อรวมช่องสัญญาณ  $W_2$ 

จากตัวอย่างการสร้างช่องสัญญาณ  $W_2$  และ  $W_4$  จะสังเกตได้ว่าโครงสร้างช่องสัญญาณ  $W_N$ ที่มีจำนวน N>2 ขึ้นไป สามารถสร้างได้จากการรวมช่องสัญญาณ  $W_{_{N/2}}$  จำนวน 2 ช่องสัญญาณ โดยการแปลง  $u_N$  เป็น  $x_N$  สามารถแสดงด้วยเมทริกซ์กำเนิด  $G_N$  ร่วมกับเมทริกซ์การเรียง สับเปลี่ยน  $R_N$ 



รูปที่ 2.13 การรวมช่องสัญญาณ W เพื่อสร้างช่องสัญญาณ  $W_2$ 



รูปที่ 2.14 การรวมช่องสัญญาณ  $W_2$  เพื่อสร้างช่องสัญญาณ  $W_4$ 

การแยกช่องสัญญาณจะเป็นการพิจารณา ช่องสัญญาณ  $W_{_N}$  ออกเป็นช่องสัญญาณย่อย $W_{_N}^{(i)}$  จำนวน N ช่องสัญญาณ โดยช่องสัญญาณย่อย  $W_{_N}^{(i)}$  นิยามได้ดังนี้

$$W_N^{(i)}: X \to Y^N \times X^{i-1} \tag{2.9}$$

ทั้งนี้ สามารถเขียนความน่าจะเป็นการเปลี่ยนผ่านของช่องสัญญาณย่อยลำดับที่ *i* ได้ดังนี้

$$W_{N}^{(i)}\left(y_{1}^{N},u_{1}^{i-1}|u_{i}\right) \triangleq \sum_{u_{i+1}^{N} \in X^{N-i}} \frac{1}{2^{N-1}} W_{N}\left(y_{1}^{N}|u_{1}^{N}\right)$$
(2.10)

D66-1-(2)-001

ช่องสัญญาณ  $W_{\scriptscriptstyle N}^{(i)}$  สามารถพิจารณาได้เป็นช่องสัญญาณใหม่ของบิตลำดับที่ i โดยการ ตัดสินใจบิตลำดับที่ i จะนำสัญญาณที่ได้รับจากช่องสัญญาณทั้งหมดและบิตข้อมูล  $u_1^{i-1}$  หรือบิต ข้อมูลลำดับก่อนหน้าของบิตข้อมูลลำดับที่ i ทั้งหมด

## 2.3 การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G2.3.1 การมอดูเลชันมาตรฐาน 5G

การมอดูเลซัน (Modulation) เป็นการแมปสัญญาณข่าวสารที่เป็นบิต '0' หรือ '1' ให้อยู่ใน รูปของสัญญาณสัญญาณส่ง โดยในมาตรฐาน 5G กำหนดรูปแบบการมอดูเลชันไว้ 7 รูปแบบ [10] ดังนี้

#### 2.3.1.1 การมอดูเลชั่นแบบ π/2-BPSK

กำหนดให้ *b*(i) แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d*(i) ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ π/2-BPSK สามารถหาได้จาก

$$d(i) = \frac{e^{j\frac{\pi}{2}(i \mod 2)}}{\sqrt{2}} \left[ (1 - 2b(2i)) + j(1 - 2b(2i)) \right]$$
(2.11)

แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ  $\pi/2$ -BPSK แสดงดังรูปที่ 2.15 โดยหนึ่งจุดบน คอนสเตลเลชั่น แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 1 บิต และ  $n_m = \frac{1}{\sqrt{2}}$  แทน ตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชั่นแบบ  $\pi/2$ -BPSK



รูปที่ 2.15 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ π/2-BPSK

#### 2.3.1.2 การมอดูเลชั่นแบบ BPSK

กำหนดให้ *b(i)* แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d(i)* ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ BPSK สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{2}} \left[ (1 - 2b(2i)) + j(1 - 2b(2i)) \right]$$
(2.12)

แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ BPSK แสดงดังรูปที่ 2.16 โดยหนึ่งจุดบน คอนสเตลเลชัน แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 1 บิต และ  $n_m = \frac{1}{\sqrt{2}}$  แทน ตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชันแบบ BPSK



รูปที่ 2.16 แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ BPSK

#### 2.3.1.3 การมอดูเลชั่นแบบ QPSK

กำหนดให้ *b*(*i*) แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d*(*i*) ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ QPSK สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{2}} \left[ (1 - 2b(2i)) + j(1 - 2b(2i + 1)) \right]$$
(2.13)

แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ QPSK แสดงดังรูปที่รูปที่ 2.17 โดยหนึ่ง จุดบนคอนสเตลเลชัน แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 2 บิต และ  $n_m = \frac{1}{\sqrt{2}}$ แทนตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชันแบบ QPSK



รูปที่ 2.17 แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ QPSK

#### 2.3.1.4 การมอดูเลชั่นแบบ 16QAM

กำหนดให้ *b(i)* แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d(i)* ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ 16QAM สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{10}} \left\{ (1 - 2b(4i)) \left[ 2 - (1 - 2b(4i + 2)) \right] + j(1 - 2b(4i + 1)) \left[ 2 - (1 - 2b(4i + 3)) \right] \right\}^{(2.14)}$$

แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ 16QAM แสดงดังรูปที่ 2.18 โดยหนึ่งจุด บนคอนสเตลเลชันแทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 4 บิต และ  $n_m = \frac{1}{\sqrt{10}}$ แทนตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชันแบบ 16QAM



รูปที่ 2.18 แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 16QAM

### 2.3.1.5 การมอดูเลชั่นแบบ 64QAM

กำหนดให้ *b(i)* แทนบ<sup>ิ</sup>ตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d(i)* ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ 64QAM สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{42}} \left\{ (1 - 2b(6i)) \left[ 4 - (1 - 2b(6i + 2)) \left[ 2 - (1 - 2b(6i + 4)) \right] \right] + j(1 - 2b(6i + 1)) \left[ 4 - (1 - 2b(6i + 3)) \left[ 2 - (1 - 2b(6i + 5)) \right] \right] \right\}$$
(2.15)

แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 64QAM แสดงดังรูปที่ 2.19 โดยหนึ่งจุดบน คอนสเตลเลชั่นแทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 6 บิต และ  $n_m = \frac{1}{\sqrt{42}}$  แทน ตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชั่นแบบ 64QAM



รูปที่ 2.19 แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ 64QAM

## 2.3.1.6 การมอดูเลชั่นแบบ 256QAM

กำหนดให้ *b(i)* แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d(i)* ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ 256QAM สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{170}} \Big\{ (1 - 2b(8i)) \Big[ 8 - (1 - 2b(8i + 2)) \Big[ 4 - (1 - 2b(8i + 4)) \Big[ 2 - (1 - 2b(8i + 6)) \Big] \Big] \Big]$$

$$+ j(1 - 2b(8i + 1)) \Big[ 8 - (1 - 2b(8i + 3)) \Big[ 4 - (1 - 2b(8i + 5)) \Big[ 2 - (1 - 2b(8i + 7)) \Big] \Big] \Big\}$$
(2.16)

แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 256QAM แสดงดังรูปที่ 2.20 โดยหนึ่งจุดบน คอนสเตลเลชั่นแทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 8 บิต และ  $n_m = rac{1}{\sqrt{170}}$ แทนตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชั่นแบบ 256QAM





#### 2.3.1.7 การมอดูเลชั่นแบบ 1024QAM

กำหนดให้ *b(i)* แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *d(i)* ใน สัญญาณส่งเมื่อมีการมอดูเลชันแบบ 1024QAM สามารถหาได้จาก

$$d(i) = \frac{1}{\sqrt{682}} \left\{ (1 - 2b(10i)) \left[ 16 - (1 - 2b(10i + 2)) \left[ 8 - (1 - 2b(10i + 4)) \left[ 4 - (1 - 2b(10i + 6)) \left[ 2 - (1 - 2b(10i + 8)) \right] \right] \right] \right\} + j(1 - 2b(10i + 1)) \left[ 16 - (1 - 2b(10i + 3)) \left[ 8 - (1 - 2b(10i + 5)) \left[ 4 - (1 - 2b(10i + 7)) \left[ 2 - (1 - 2b(10i + 9)) \right] \right] \right] \right\}$$
(2.17)

แผนภาพคอนสเตลเลชั่นของการมอดูเลชั่นแบบ 1024QAM แสดงดังรูปที่ 2.21 โดยหนึ่ง จุดบนคอนสเตลเลชันแทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้้อมูล 10 บิต และ  $n_m = \frac{1}{\sqrt{682}}$  แทนตัวปรับมาตรฐาน (Normalization Factor) สำหรับการมอดูเลชันแบบ 1024QAM 1024QAM Constellation 31 29 27 25 23 2' 19 17 13 Qadrature (n<sub>m</sub>) -15 -17 -19 -21 -23 -25 -27 -29 -31 11 13 15 17 19 21 -31 -29 -27 -25 -23 -21 -19 -17 -15 -13 -11 -9 -7 -101 3 5 7 9 23 25 27 29 -5 Inphase (n\_\_)

รูปที่ 2.21 แผนภาพคอนสเตลเลชันของการมอดูเลชันแบบ 1024QAM

#### 2.3.2 การดีมอดูเลชันมาตรฐาน 5G

การดีมอดูเลชันจะสอดคล้องกับสัญญาณที่ถูกมอดูเลชันแต่ละแบบ สำหรับมาตรฐาน 5G เอาต์พุตที่ได้จากการดีมอดูเลชันจะถูกนำไปใช้สำหรับถอดรหัส LDPC (Low-density parity-check code) ซึ่งการถอดรหัส LDPC นั้นจำเป็นจะต้องใช้ค่า LLR (Log-likelihood ratio) *L*(*y*) ซึ่งคำนวณ ได้จาก

$$L(y) = \log\left(\frac{p(y \mid x = 1)}{p(y \mid x = 0)}\right)$$
(2.18)

เมื่อ y คือเอาต์พุตช่องสัญญาณ x คือ อินพุตบิต และ p(y|x) คือ ความน่าจะเป็นของเอาต์พุต y เมื่อทราบอินพุต x

จากสมการ (2.18) สามารถคำนวณค่า LLR สำหรับการมอดูเลชันแบบไบนารี เช่น BPSK และ *π* / 2-BPSK ในกรณีที่มีการมอดูเลชันแบบนอนไปนารี เช่น QPSK 16QAM 64QAM 256QAM และ 1024QAM การคำนวณค่า LLR จะสามารถคำนวณได้ดังนี้

$$L_{b_i}(y) = \log\left(\frac{\sum_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} p(y | b_i = s)}{\sum_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} p(y | b_i = s)}\right)$$
(2.19)

เมื่อ b, คือบิตที่ i ในสัญลักษณ์ s

ตัวอย่างของการคำนวณค่า LLR ของการมอดูเลชันแบบ 16QAM โดยจะมองเป็นการมอดูเล ชันแบบ 4PAM (Pulse amplitude modulation) ของค่าจำนวนจริง และการมอดูเลชันแบบ 4PAM ของจำนวนจินตภาพ ดังนั้นการคำนวณค่า LLR ของ 16QAM (4 บิตต่อ 1 สัญลักษณ์) สามารถ คำนวณได้จาก 4PAM (2 บิตต่อ 1 สัญลักษณ์) ของจำนวนจริงและ 4PAM (2 บิตต่อ 1 สัญลักษณ์) ของจำนวนจินตภาพรวมเป็น 4 บิตของ 16QAM การคำนวณค่า LLR บิตที่ 1 และบิตที่ 2 ของ 4PAM สามารถคำนวณได้จาก

$$L_{b_{1}}(y) = \log\left(\frac{p(y|b_{1} = s_{10}) + p(y|b_{1} = s_{11})}{p(y|b_{1} = s_{00}) + p(y|b_{1} = s_{01})}\right)$$
(2.20)

และ

$$L_{b_2}(y) = \log\left(\frac{p(y|b_2 = s_{11}) + p(y|b_2 = s_{01})}{p(y|b_2 = s_{00}) + p(y|b_2 = s_{10})}\right)$$
(2.21)

การคำนวณค่า LLR ของการมอดูเลชันแบบนอนไบนารีจากตัวอย่างจะพบว่าต้องใช้ผลรวม ของความน่าจะเป็นที่บิตที่ *i* ของสัญลักษณ์เป็น 1 และ 0 ความน่าจะเป็นของสัญลักษณ์ที่อยู่ห่างจาก ค่า *y* จะมีค่าน้อยมาก ดังนั้นจึงสามารถประมาณค่า LLR จากค่าความน่าจะเป็นของสัญลักษณ์ที่ใกล้ ค่า *y* ที่สุดได้ ซึ่งแนวคิดในการเลือกสัญลักษณ์ที่ใกล้ค่า *y* ที่สุดมาคำนวณ คือดูจากค่าความน่าจะ เป็นของแต่ละสัญลักษณ์ สัญลักษณ์ที่ใกล้ค่า *y* มากที่สุดจะมีค่าความน่าจะเป็นมากที่สุดเรียกว่าการ ดีมอดูเลชันค่า LLR สูงสุด (Max-LLR demodulation) [11] ดังนั้นจากสมการ (2.20) จะได้

$$L_{b_{i}}(y) = \log\left(\frac{\max_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=1\}} p(y \mid b_{i} = s)}{\max_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=0\}} p(y \mid b_{i} = s)}\right)$$
(2.22)

## 2.4 การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G

#### 2.4.1 การเข้ารหัส LDPC

กระบวนการเข้ารหัส LDPC ทำได้โดยการนำบิตข้อมูล **u** มาคูณเข้ากับเมทริกซ์ *G* ดัง สมการที่ (2.23) โดยเมทริกซ์ *G* คือเมทริกซ์กำเนิดสำหรับการเข้ารหัสซึ่งแบ่งออกเป็น 2 ส่วน จาก สมการ (2.24) จะเห็นว่าส่วนแรกคือเมทริกซ์เอกลักษณ์และส่วนที่ 2 คือเมทริกซ์พาริตี ตัวอย่างการ เข้ารหัส LDPC เป็นดังสมการที่ (2.25)

$$\mathbf{c} = \mathbf{u}G \tag{2.23}$$

$$G = IP = \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 1 & 1 & 1 \\ 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix}$$
(2.24)

$$\mathbf{c} = \mathbf{u}G = \begin{bmatrix} 1 & 0 & 1 & 1 \end{bmatrix}G = \begin{bmatrix} 1 & 0 & 1 & 1 & 1 & 0 & 1 & 0 \end{bmatrix}$$
(2.25)

อัตราส่วนของบิตข้อมูลกับจานวนบิตทั้งหมดในคารหัสนั้นเรียกว่า "อัตรารหัส" (Code Rate: R ) นิยามได้ดังสมการที่ (4)

#### 2.4.2 การเข้ารหัส Polar

การเข้ารหัสโพลาร์สามารถดำเนินการทางคณิตศาสตร์ได้ดังนี้

$$\mathbf{x} = \mathbf{u}\mathbf{G}_n \tag{2.26}$$

โดยที่ x คือคำรหัส u คือบิตแช่แข็งและบิตข้อมูลที่เรียงตามลำดับความน่าเชื่อถือ ซึ่งจะกล่าวต่อไป

$$\mathbf{G}_{n}$$
คือเมทริกซ์กำเนิด โดยที่ 
$$\mathbf{G}_{2} = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$$
 และ 
$$\mathbf{G}_{4} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$$
 และเวกเตอร์ **x** และ **u**

มีความยาวได้เพียงสองยกกำลังใด ๆ เท่านั้น หรือ  $N=2^n$  อัตราส่วนระหว่างความยาวบิตข้อมูลและ คำรหัสเขียนได้ดังนี้

$$R = K/N \tag{2.27}$$

เรียกว่าอัตรารหัส โดยที่ K คือความยาวบิตข้อมูล ดังนั้น ความยาวบิตแช่แข็งจะเท่ากับ N-K

# 2.4.3 การถอดรดรหัสแบบการกระจายความเชื่อมั่น (BP: Belief-propagation decoder)

การถอดรหัส LDPC และรหัสโพลาร์ต้องใช้ค่า LLR ในการถอดรหัสซึ่งการคำนวณค่า LLR จากช่องสัญญาณได้อธิบายไปแล้วในหัวข้อการออกแบบการดีมอดูเลชันในมาตรฐาน 5G ซึ่งค่า LLR  $L_{b_i}(y)$  จะถูกนำมาใช้ในการถอดรหัส LDPC และรหัสโพลาร์ เพื่อให้เห็นภาพการทำงานของการ ถอดรหัสอย่างชัดเจน กระบวนการถอดรหัส LDPC และรหัสโพลาร์ทั้งหมดจะแสดงในรูปกราฟแทน เนอร์ (Tanner graph) [7] อย่างที่กล่าวถึงไปแล้วว่ารหัส LDPC และรหัสโพลาร์สัโพลาร์สามารถแทนด้วย เมทริกซ์พาริตีเซ็ค (Parity check matrix) **H** ซึ่งสามารถขียนในอยู่ในรูปของกราฟแทนเนอร์ได้ โดย ที่และแถวของ **H** คือโหนดเช็ค (Check node) และแต่ละหลักของ **H** คือโหนดตัวแปร (Variable node) และเลข 1 ใน **H** แทนเส้นเชื่อมระหว่างโหนดเช็คและโหนดตัวแปร (Edge) ดังแสดงในรูปที่ 2.22



รูปที่ 2.22 การแสดงเมทริกซ์พาริตีเช็คในรูปแบบกราฟแทนเนอร์

ในขั้นตอนที่ 1 ค่า LLR  $\mathbf{L} = \{L_1, L_2, ..., L_N\}$  จะถูกส่งมาคำนวณที่โหนดตัวแปรดังรูปที่ 2.23 (ก) เมื่อ N คือจำนวนโหนดตัวแปร กำหนดให้  $L_{v_j \to c_i}^{(l)}$  คือค่า LLR ที่ส่งจากโหนดตัวแปร  $v_j$ ไปยังโหนดเซ็ค  $c_i$  ในการถอดรหัสรอบที่ l และ  $L_{c_i \to v_j}^{(l)}$  คือค่า LLR ที่ส่งจากโหนดเซ็ค  $c_i$  ไปยังโหนด ตัวแปร  $v_j$  การคำนวณค่า LLR เอาต์พุตของโหนดตัวแปรจะได้จากผลรวมของค่า LLR อินพุตทั้งหมด ที่เข้ามายังโหนดตัวแปรยกเว้นเส้นเชื่อมที่เป็นเอาต์พุตของโหนดตัวแปร และการคำนวณค่า LLR เอาต์พุตของโหนดตัวแปรจะต้องคำนวณทุกเส้นที่เชื่อมกับโหนดเซ็ค ตัวอย่างการคำนวณแสดงในรูปที่ 2.23 (ข) การคำนวณ LLR เอาต์พุตของโหนดตัวแปร  $v_1$  ซึ่งโหนดตัวแปรเชื่อมกับ 2 โหนดเช็คและ มีอินพุต LLR จากช่องสัญญาณ การคำนวณค่า LLR เอาต์พุตจะต้องคำนวณ 2 ค่า ค่าแรกคือ  $L_{\nu_1 \to c_1}^{(l)}$ สามารถคำนวณได้จากผลรวมของ LLR อินพุตทั้งหมด ได้แก่  $L_1$  และ  $L_{c_2 \to \nu_1}^{(l-1)}$  ค่าที่ 2 คือ  $L_{\nu_1 \to c_2}^{(l)}$ สามารถคำนวณได้จากผลรวมของ LLR อินพุตทั้งหมด ได้แก่  $L_1$  และ  $L_{c_1 \to \nu_1}^{(l-1)}$  สำหรับโหนดตัวแปรอื่น ๆ ก็คำนวณในทำนองเดียวกัน สมการการคำนวณค่า LLR เอาต์พุตสามารถเขียนให้อยู่ในรูปทั่วไปได้ เป็น

$$L_{\nu_{j}\to c_{i}}^{(l)} = L_{j} + \sum_{c_{i}'\in\mathcal{N}(\nu_{j})\setminus c_{i}} L_{c_{i}'\to\nu_{j}}^{(l-1)}$$
(2.28)

เมื่อ  $\mathcal{N}(v_j) \setminus c_i$  คือเซตของโหนดเช็คทั้งหมดที่เชื่อมกับโหนดตัวแปร  $v_j$  ยกเว้นโหนดเช็ค  $c_i$ สำหรับการถอดรหัสในรอบที่ 1 ยังไม่มีค่า LLR จากโหนดเช็คดังนั้นจะได้  $L_{v_j \to c_i}^{(l)} = L_j$ 



รูปที่ 2.23 (ก) การส่งผ่านค่า LLR เข้ามาในกราฟแทนเนอร์ (ข) ตัวอย่างการคำนวณค่า LLR ที่โหนดตัวแปร

ขั้นตอนที่ 2 การคำนวณค่า LLR ที่โหนดเซ็ค การคำนวณค่า LLR เอาต์พุตของโหนดเซ็คจะ ได้จากการทำโอเปอเรชันของโหนดเซ็คของค่า LLR อินพุตทั้งหมดที่เข้ามายังโหนดเซ็คยกเว้นเส้น เชื่อมที่เป็นเอาต์พุตของโหนดเซ็ค และการคำนวณค่า LLR เอาต์พุตของโหนดเซ็คจะต้องคำนวณทุก เส้นที่เชื่อมกับโหนดตัวแปร ตัวอย่างการคำนวณแสดงในรูปที่ 2.24 การคำนวณ LLR เอาต์พุตของ โหนดเซ็ค  $c_1$  ซึ่งโหนดเซ็คเชื่อมกับ 4 โหนดตัวแปร การคำนวณค่า LLR เอาต์พุตจะต้องคำนวณ 4 ค่า ค่าแรกคือ  $L_{c_1 \to v_1}^{(I)}$  สามารถคำนวณได้จากการทำโอเปอเรชันของโหนดเซ็คของ LLR อินพุตทั้งหมด ได้แก่  $L_{v_3 \to c_1}^{(I)}$   $L_{v_5 \to c_1}^{(I)}$  และ  $L_{v_6 \to c_1}^{(I)}$  ค่าที่ 2 คือ  $L_{c_1 \to v_3}^{(I)}$  สามารถคำนวณได้จากการทำโอเปอเรชันของ โหนดเซ็คของ LLR อินพุตทั้งหมด ได้แก่  $L_{v_1 \to c_1}^{(I)}$   $L_{v_5 \to c_1}^{(I)}$  และ  $L_{v_6 \to c_1}^{(I)}$  ค่าที่ 3 คือ  $L_{c_1 \to v_5}^{(I)}$  สามารถ คำนวณได้จากการทำโอเปอเรชันของโหนดเซ็คของ LLR อินพุตทั้งหมด ได้แก่  $L_{v_1 \to c_1}^{(I)}$   $L_{v_3 \to c_1}^{(I)}$  และ  $L_{v_6 \to c_1}^{(I)}$  ค่าที่ 4 คือ  $L_{c_1 \to v_5}^{(I)}$  สามารถคำนวณได้จากการทำโอเปอเรชันของ LLR อินพุต ทั้งหมด ได้แก่  $L_{v_1 \to c_1}^{(I)}$   $L_{v_3 \to c_1}^{(I)}$  และ  $L_{v_5 \to c_1}^{(I)}$  สำหรับโหนดเซ็คอื่น ๆ ก็คำนวณในทำนองเดียวกัน สมการการคำนวณค่า LLR เอาต์พุตสามารถเขียนให้อยู่ในรูปทั่วไปได้เป็น

$$L_{c_i \to v_j}^{(l)} = -2 \tanh^{-1} \left( \prod_{v_j' \in \mathcal{M}(c_i) \setminus v_j} \tanh\left(L_{v_j' \to c_i}^{(l)} / 2\right) \right)$$
(2.29)

เมื่อ  $\mathcal{M}(c_i) \setminus v_j$  คือเซตของโหนดตัวแปรทั้งหมดที่เชื่อมกับโหนดเช็ค  $c_i$  ยกเว้นโหนดตัวแปร  $v_j$ 



รูปที่ 2.24 ตัวอย่างการคำนวณค่า LLR ที่โหนดเซ็ค

ขั้นตอนที่ 3 จะมีการคำนวณค่า LLR กลับไปกลับมาระหว่างโหนดตัวแปรและโหนดเช็คโดย ใช้สมการที่ (2.28) และ (2.29) จนไม่พบบิตผิดพลาด หรือถึงจำนวนรอบการถอดรหัสที่ตั้งไว้ก็จะหยุด การถอดรหัส ขั้นตอนที่ 4 จะเป็นการคำนวณค่า LLR ที่โหนดตัวแปรเนื่องจากในการถอดรหัสรอบสุดท้าย จะไม่มีการส่งค่า LLR ไปยังโหนดเช็คดังนั้นค่า LLR สุดท้าย *L<sub>v</sub>* จะเป็นผลรวมของ LLR อินพุต ทั้งหมด นั่นคือ

$$L_{v_j} = L_j + \sum_{c_i \in \mathcal{N}(v_j)} L_{c_i \to v_j}^{(l_{\max} - 1)}$$
(2.30)

เมื่อ  $\mathcal{N}(v_j)$  คือเซตของโหนดเซ็คทั้งหมดที่เชื่อมกับโหนดตัวแปร  $v_j$ ขั้นตอนที่ 5 บิตข้อมูล  $\hat{x}_j$  จะถูกประมาณจากค่า LLR สุดท้าย  $L_{v_j}$  ดังนี้

$$\hat{x}_{j} = \begin{cases} 0, & \text{if } L_{v_{j}} < 0\\ 1, & \text{otherwise} \end{cases}$$
(2.31)

### 2.4.4 การถอดรหัสแบบผลรวมค่าต่ำสุด (MS: Min-sum decoder)

การถอดรหัสแบบผลรวมค่าต่ำสุดจะมีขั้นตอนการถอดรหัสแบบเดียวกันกับการถอดรหัสแบบ การกระจายความเชื่อมั่น แต่จะมีความแตกต่างกันของโอเปอเรชันโหนดเช็ค โดยการถอดรหัสแบบ ผลรวมค่าต่ำสุดจะคำนวณค่า LLR เอาต์พุตของโหนดเช็คจากค่า LLR ต่ำสุดของอินพุตทั้งหมด นั่นคือ

$$L_{c_i \to v_j}^{(l)} = -\operatorname{sign}\left(\prod_{v_j' \in \mathcal{M}(c_i) \setminus v_j} L_{v_j' \to c_i}^{(l)}\right) \min_{v_j' \in \mathcal{M}(c_i) \setminus v_j} \left(|L_{v_j' \to c_i}^{(l)}|\right)$$
(2.32)

เมื่อ

$$\operatorname{sign}(x) = \begin{cases} -1, & \text{if } x < 0\\ 1, & \text{otherwise} \end{cases}$$
(2.33)

# 2.4.5 การถอดรหัสแบบผลรวมค่าต่ำสุดที่ถูกนอมัลไลซ์ (NMS: Normalized min-sum decoder)

การถอดรหัสแบบผลรวมค่าต่ำสุดที่ถูกนอมัลไลซ์จะมีขั้นตอนการถอดรหัสแบบเดียวกันกับ การถอดรหัสแบบการกระจายความเชื่อมั่น แต่จะมีความแตกต่างกันของโอเปอเรชันโหนดเช็ค สมการ คำนวณค่า LLR เอาต์พุตของโหนดเช็คจะคล้ายกับการถอดรหัสแบบผลรวมค่าต่ำสุด แต่จะมีการคูณ ค่าคงที่ α เข้าไปเพื่อนอมัลไลซ์ค่า LLR ต่ำสุดของอินพุตทั้งหมด นั่นคือ

$$L_{c_i \to v_j}^{(l)} = -\operatorname{sign}\left(\prod_{v_j' \in \mathcal{M}(c_i) \setminus v_j} L_{v_j' \to c_i}^{(l)}\right) \min_{v_j' \in \mathcal{M}(c_i) \setminus v_j} \left(|L_{v_j' \to c_i}^{(l)}|\right) \alpha$$
(2.34)

เมื่อ 0 < lpha < 1 สำหรับค่า lpha จะต้องมีการออปติไมซ์ให้เหมาะกับการถอดรหัส

# 2.4.6 การถอดรหัสแบบผลรวมค่าต่ำสุดที่ถูกออฟเซต (OMS: Offset min-sum decoder)

การถอดรหัสแบบผลรวมค่าต่ำสุดที่ถูกออฟเซตจะมีขั้นตอนการถอดรหัสแบบเดียวกันกับการ ถอดรหัสแบบการกระจายความเชื่อมั่น แต่จะมีความแตกต่างกันของโอเปอเรชันโหนดเซ็ค สมการ คำนวณค่า LLR เอาต์พุตของโหนดเช็คจะคล้ายกับการถอดรหัสแบบผลรวมค่าต่ำสุด แต่จะมีการลบ ค่าคงที่ β เข้าไปเพื่อออฟเซตค่า LLR ต่ำสุดของอินพุตทั้งหมด นั่นคือ

$$L_{c_i \to v_j}^{(l)} = -\operatorname{sign}\left(\prod_{v_j' \in \mathcal{M}(c_i) \setminus v_j} L_{v_j' \to c_i}^{(l)}\right) \max\left(\min_{v_j' \in \mathcal{M}(c_i) \setminus v_j} \left(|L_{v_j' \to c_i}^{(l)}|\right) - \beta, 0\right)$$
(2.35)

เมื่อ  $0 < \beta < 1$  สำหรับค่า  $\beta$  จะต้องมีการออปติไมซ์ให้เหมาะกับการถอดรหัส

#### 2.5 กระบวนทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PDSCH/PUSCH/PSSCH

กระบวนการทำงานทำงานพิสิคัลเลเยอร์ลำดับสูง กรณี PDSCH/PUSCH/PSSCH ประกอบด้วยโมดูลที่สำคัญทั้งหมด 7 ส่วน ภายในโมดูลหลักจะมีโมดูลย่อยที่ทำหน้าที่ประมวลผล ค่าพารามิเตอร์ที่สำคัญอยู่ภายใน รายละเอียดดังนี้

#### 2.5.1 การเข้ารหัส CRC

ในส่วนของโมดูลหลักการเข้ารหัส CRC ประกอบด้วยโมดูลย่อย 2 โมดูลได้แก่ การเข้ารหัส CRC และการเลือกกราฟฐาน (Base graph) รูปที่ 2.25 แสดงแผนภาพการทำงานของซอฟต์แวร์ เริ่มต้นจากรับบิตข้อมูล **a** ในรูปแบบเวกเตอร์ แล้วทำการคำนวณค่าความยาวของข้อมูล (A) หลังจากนั้นจะมีการตัดสินใจว่าจะเลือกใช้โพลิโนเมียลความยาว 24 ( $g_{CRC24A}(D)$ ) หรือ 16 บิต ( $g_{CRC16A}(D)$ ) โดยพิจารณาจากความยาวข้อมูล (A) ที่เข้ามา ถ้ามากกว่า 3824 บิต จะใช้โพลิโน เมียลความยาว 24 บิต แต่ถ้าน้อยกว่าหรือเท่ากับ 3824 บิต จะใช้โพลิโน เมียลความยาว 24 บิต แต่ถ้าน้อยกว่าหรือเท่ากับ 3824 บิต จะใช้โพลิโนเมียลความยาว 16 บิต ถัด มาก็จะมีการเข้ารหัส CRC โดยใช้โพลิโนเมียลที่ตรงตามเงื่อนไขคำรหัสที่ได้จะแทนด้วยเวกเตอร์ **b** 







รูปที่ 2.26 แผนภาพบล็อกการเลือกกราฟฐาน

รูปที่ 2.26 แสดงแผนภาพการทำงานของซอฟต์แวร์ เริ่มจากรับค่าความยาวข้อมูล (A) ที่ ได้จากแผนภาพในรูปที่ 1 และรับค่าอัตรารหัส (R) หลังจากนั้นจะตัดสินใจเลือกกราฟฐาน (BG) โดยพิจารณาจากความยาวข้อมูลและอัตรารหัสโดยมีเงื่อนไขดังนี้ ถ้าความยาวข้อมูลน้อยกว่าหรือ เท่ากับ 292 บิต หรือ ความยาวข้อมูลน้อยกว่า 3824 บิต และอัตรารหัสน้อยกว่าหรือเท่ากับ 0.67 หรือ อัตรารหัสน้อยกว่าหรือเท่ากับ 0.25 จะเลือกใช้กราฟฐาน 2 ส่วนกรณีอื่นจะเลือกใช้กราฟฐาน 1

#### 2.5.2 การแบ่งย่อยบล็อกข้อมูล

โมดูลหลักการแบ่งย่อยปรกอบด้วย 5 โมดูลย่อยได้แก่ การกำหนดค่าความยาวบล็อกรหัส การคำนวณจำนวนบล็อกย่อย การกำหนดจำนวนบิตข้อมูลของแต่ละบล็อกรหัส การคำนวณอัตรา การขยายขนาดของเมทริกซ์ฐาน และการแบ่งย่อยบล็อกข้อมูล รูปที่ 2.27 แสดงแผนภาพบล็อกการ กำหนดค่าความยาวบล็อกรหัส การทำงานเริ่มจากรับค่ากราฟฐาน (BG) ที่ได้จากรูปที่ 2.26หลังจากนั้นจะกำหนดจำนวนบิตข้อมูลในแต่ละบล็อกรหัส ( $K_{cb}$ ) โดยพิจารณาจากกราฟฐาน (BG) ถ้ากราฟฐานเท่ากับ 1 จะกำหนด  $K_{cb}$  เป็น 8448 บิต ถ้าเป็นกราฟฐานเป็น 2 จะกำหนด  $K_{cb}$  เป็น 3840 บิต







รูปที่ 2.28 แผนภาพบล็อกการคำนวณจำนวนบล็อกย่อย

รูปที่ 2.28 แสดงแผนภาพบล็อกการคำนวณจำนวนบล็อกย่อย การทำงานเริ่มจากรับค่า ความยาวคำรหัส (B) ที่ได้จากรูปที่ 2.25 และจำนวนบิตข้อมูลในแต่ละบล็อกรหัส ( $K_{cb}$ ) ที่ได้จาก รูปที่ 2.27 ถ้าความยาวคำรหัส (B) น้อยกว่าหรือเท่ากับจำนวนบิตข้อมูลในแต่ละบล็อกรหัส ( $K_{cb}$ ) ที่กำหนดไว้ จำนวนบล็อกรหัส (C) จะมีบล็อกรหัสเพียง 1 บล็อก จำนวนบิตพาริตีของ CRC (L) จะ เท่ากับ 0 บิต และจำนวนบิตข้อมูลทั้งหมด (B') จะเท่าความยาวคำรหัส (B) แต่ถ้าความยาวคำรหัส (B) มากกว่าจำนวนบิตข้อมูลในแต่ละบล็อกรหัส ( $K_{cb}$ ) ที่กำหนดไว้ จำนวนบล็อกรหัส (C) จะถูก คำนวณโดย  $\left\lceil B / (K_{cb} - L) \right\rceil$  จำนวนบิตพาริตีของ CRC (L) จะเท่ากับ 24 บิต ส่งผลให้จำนวนบิต ข้อมูลทั้งหมด (B') จะเท่ากับ (B + C \* L)



รูปที่ 2.29 แผนภาพบล็อกการกำหนดจำนวนบิตข้อมูลของแต่ละบล็อกรหัส

รูปที่ 2.29 แสดงแผนภาพบล็อกการกำหนดจำนวนบิตข้อมูลของแต่ละบล็อกรหัส การ ทำงานเริ่มจากรับค่าความยาวคำรหัส (*B*) ที่ได้จากรูปที่ 2.25 และจำนวนบล็อกรหัส (*C*) ที่ได้จาก รูปที่ 2.28 จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) จะพิจารณาจากเงื่อนไขดังนี้ ถ้า เลือกใช้กราฟฐาน (*BG*) 1 จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 22 บิต ถ้าความ ยาวคำรหัส (*B*) มากกว่า 640 บิต จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 22 บิต ถ้าความ ยาวคำรหัส (*B*) มากกว่า 560 บิต จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 10 บิต ถ้าความยาวคำรหัส (*B*) มากกว่า 560 บิต จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 10 บิต ถ้าความยาวคำรหัส (*B*) มากกว่า 560 บิต จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 9 บิต ถ้าความยาวคำรหัส (*B*) มากกว่า 192 บิต จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 8 บิต และถ้านอกเหนือจากเงื่อนไขเหล่านี้ จำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส (*K<sub>b</sub>*) คือ 6 บิต



รูปที่ 2.30 แผนภาพบล็อกการคำนวณอัตราการขยายขนาดของเมทริกซ์ฐาน

รูปที่ 2.30 แสดงแผนภาพบล็อกการคำนวณอัตราการขยายขนาดของเมทริกซ์ฐาน การ ทำงานเริ่มจากรับค่าจำนวนบิตข้อมูลที่ต้องการในแต่ละบล็อกรหัส ( $K_b$ ) จำนวนบิตข้อมูลจริงแต่ละ บล็อกรหัส (K') จากรูปที่ 2.29 และกราฟฐาน (BG) ที่ได้จากรูปที่ 2.26 ถัดมาคำนวณหาค่า อัตราการขยายขนาดของเมทริกซ์ฐาน ( $Z_c$ ) โดยได้จากการหาค่าต่ำสุดของอัตราการขยายขนาดของ เมทริกซ์ฐาน (Z) ในตารางที่ 2.2 โดยต้องสอดคล้องกับเงื่อนไขบังคับ  $K_b \cdot Z_c \ge K'$  หลังจากนั้น ตรวจสอบค่า  $i_{LS}$  ของอัตราการขยายขนาดของเมทริกซ์ฐาน ( $Z_c$ ) ที่ได้ ถัดมาจะพิจารณาค่าความ ยาวบิตข้อมูลหลังการขยายขนาดเมทริกซ์ฐาน (K) ถ้าเลือกใช้กราฟฐาน 1 ค่าความยาวบิตข้อมูลหลัง การขยายขนาดเมทริกซ์ฐาน (K) คือ 10 $Z_c$  บิต



รูปที่ 2.31 แผนภาพบล็อกการแบ่งย่อยบล็อกข้อมูล

รูปที่ 2.31 แสดงแผนภาพบล็อกการแบ่งย่อยบล็อกข้อมูล การทำงานเริ่มจากรับค่า เวกเตอร์คำรหัส **b** จากโมดูลหลักการเข้ารหัส CRC จำนวนบล็อกรหัส (*C*) ความยาวบิตข้อมูลหลัง การขยายขนาดเมทริกซ์ฐาน (*K*) จำนวนบิตข้อมูลจริงแต่ละบล็อกรหัส (*K'*) และจำนวนบิตพาริตี ของ CRC (*L*) จากรูปที่ 2.28 หลังจากนั้นจะเป็นการนำบิตข้อมูลในเวกเตอร์ **b** ไปเก็บในแต่ละ บล็อกรหัสย่อย **b**, ในตำแหน่งที่ 0 ถึง *K'* – *L* – 1 ส่วนในตำแหน่งที่ *K'* – *L* ถึง *K* จะเป็นบิตว่าง <NULL>

#### 2.5.3 การเข้ารหัส CRC ของบล็อกรหัส

โมดูลการเข้ารหัส CRC ครั้งที่ 2 จะเป็นการเข้ารหัส CRC ให้กับบล็อกรหัส รูปที่ 2.32แสดงแผนภาพบล็อกการเข้ารหัส CRC ของบล็อกรหัส การทำงานเริ่มจากรับค่าเวกเตอร์บล็อกรหัส  $\mathbf{b}_{,}$  จำนวนบล็อกรหัส (C) ความยาวบิตข้อมูลหลังการขยายขนาดเมทริกซ์ฐาน (K) จำนวนบิต ข้อมูลจริงแต่ละบล็อกรหัส (K') และจำนวนบิตพาริตีของ CRC (L) ถัดมาจะพิจารณาเงื่อนไขการ เข้ารหัส CRC ของบล็อกรหัสดังนี้ ถ้าบล็อกรหัสย่อยมีเพียง 1 บล็อกจะไม่มีการเข้ารหัส CRC และ เวกเตอร์บล็อกรหัสอันใหม่  $\mathbf{c}_{,}$  จะกำหนดให้เท่ากับ  $\mathbf{b}_{,}$  ในกรณีที่จำนวนบล็อกรหัสย่อยมีมากกว่า 1 บล็อกจะทำการเข้ารหัส CRC ให้กับบล็อกรหัสทีละบล็อกจะได้เวกเตอร์  $\mathbf{p}_{,}$  หลังจากนั้นจะนำบิตพาริ ตีมาในตำแหน่ง K'-L ถึง K' เติมให้กับเวกเตอร์ **b**, ในตำแหน่งที่ K'-L ถึง K' และใน ขั้นตอนสุดท้ายเวกเตอร์บล็อกรหัสอันใหม่ **c**, จะกำหนดให้เท่ากับ **b**,



รูปที่ 2.32 แผนภาพบล็อกการเข้ารหัส CRC ของบล็อกรหัส

#### 2.5.4 การเข้ารหัส LDPC

โมดูลหลักการเข้ารหัส LDPC ประกอบไปด้วย 4 โมดูลย่อยได้แก่ การกำหนดความยาวคำ รหัส การสร้างเมทริกซ์พาริตีเช็ก *H* การเติมบิตข้อมูลในบล็อกรหัส และ การเข้ารหัส LDPC



รูปที่ 2.33 แผนภาพบล็อกการกำหนดความยาวคำรหัส

รูปที่ 2.33 แสดงแผนภาพบล็อกการกำหนดความยาวคำรหัส การทำงานเริ่มจากรับค่า Z<sub>c</sub> และ BG หลังจากนั้นจะพิจารณาเงื่อนไขดังนี้ ถ้าเลือกใช้กราฟฐาน 1 ความยาวคำรหัส N จะ เท่ากับ 66Z<sub>c</sub> บิต ถ้าเลือกใช้กราฟฐาน 2 ความยาวคำรหัส N จะเท่ากับ 50Z<sub>c</sub> บิต



รูปที่ 2.34 แผนภาพบล็อกการสร้างเมทริกซ์พาริตีเช็ก **H** 

รูปที่ 2.34 แสดงแผนภาพบล็อกการสร้างเมทริกซ์พาริตีเซ็ก **H** การทำงานเริ่มจากรับค่า  $BG Z_c$  และ  $i_{LS}$  ถัดมาเป็นการกำหนดขนาดขอมเมทริกซ์ **H** และการเลือกใช้ตารางการสร้าง **H** โดยพิจารณาจากเงื่อนไขดังนี้ ถ้าเลือกใช้กราฟฐาน 1 ขนาดของเมทริกซ์ **H** คือ 46×68 และ เลือกใช้ค่าในตารางที่ 2.3 ถ้าเลือกใช้กราฟฐาน 2 ขนาดของเมทริกซ์ **H** คือ 42×52 และเลือกใช้ ค่าในตารางที่ 2.4 หลังจากนั้นจะสร้างเมทริกซ์ **H** ให้มีค่า 0 ทั้งหมดโดยมีขนาดที่กำหนดตาม เงื่อนไขข้างต้น หลังจากนั้นจะสร้างเมทริกซ์ **H** ให้มีค่า 0 ทั้งหมดโดยมีขนาดที่กำหนดตาม เงื่อนไขข้างต้น หลังจากนั้นจะสร้างเมทริกซ์ **H** ให้มีค่า 0 ทั้งหมดโดยมีขนาดที่กำหนดตาม เงื่อนไขข้างต้น หลังจากนั้นทำการเติมค่าของเมทริกซ์ **H** ให้มีค่า 0 ทั้งหมดโดยมีขนาดที่กำหนดตาม เงื่อนไขข้างต้น หลังจากนั้นทำการเติมค่าของเมทริกซ์ในตำแหน่งที่กำหนดในตาราง โดยค่าจำนวนเต็ม ในตารางจะสอดคล้องกับ  $Z_c$  รูปที่ 2.35 แสดงแผนภาพบล็อกการเติมบิตข้อมูลในบล็อกรหัส การ ทำงานเริ่มจากรับค่าเวกเตอร์ **c**,  $Z_c C$  และ K ถัดมาเป็นการเติมบิตข้อมูล **c**, ลงไปในเวกเตอร์ **d**, ในตำแหน่งที่  $2Z_c$  ถึง K เนื่องจากข้อมูลใน 2 หลักแรกจะไม่ถูกส่งออกไป ขั้นตอนถัดมาจะเป็น การพิจารณาค่าในเวกเตอร์ **c**, ถ้าบิตในตำแหน่งดังกล่าวเป็นบิตว่าง <NULL> จะเติมบิต 0 ลงไป แทน



รูปที่ 2.35 แผนภาพบล็อกการเติมบิตข้อมูลในบล็อกรหัส



รูปที่ 2.36 แผนภาพบล็อกการเข้ารหัส LDPC

รูปที่ 2.36 แสดงแผนภาพบล็อกการเข้ารหัส LDPC การทำงานเริ่มจากรับค่าเวกเตอร์  $\mathbf{c}_r$ ,  $Z_c \ C \ N$  และ K ถัดมาเป็นกระบวนการเข้ารหัส LDPC แต่ละบล็อกรหัสจะได้คำรหัส  $\mathbf{w}$  และนำ บิตพาริตีในเวกเตอร์  $\mathbf{w}$  เติมในเวกเตอร์ในตำแหน่งที่ K ถึง  $N + 2Z_c$ 

#### 2.5.5 การปรับอัตรารหัส

โมดูลหลักการการปรับอัตรารหัส ประกอบไปด้วย 4 โมดูลย่อยได้แก่ การกำหนดความยาว คำรหัสของบล็อกรหัส การคำนวณข้อมูลการส่งกลุ่มของบล็อกรหัส (*CBGTI*) การคำนวณความยาว ข้อมูลเอาต์พุตของกระบวนการปรับอัตรารหัส และการเลือกบิตเพื่อส่ง



รูปที่ 2.37 แผนภาพบล็อกการกำหนดความยาวคำรหัสของบล็อกรหัส

รูปที่ 2.37 แสดงแผนภาพบล็อกการกำหนดความยาวคำรหัสของบล็อกรหัส การทำงานเริ่ม จากรับค่า  $I_{LBRM}$   $TBS_{LBRM}$  N C และ  $R_{LBRM}$  ถัดมาคำนวณ  $N_{ref}$  หลังจากนั้นพิจารณาเงื่อนไข ดรรชนีของบัฟเฟอร์ที่ถูกจำกัด ถ้า  $I_{LBRM}$  เท่ากับ 0 ความยาวคำรหัสของบล็อกรหัส ( $N_{cb}$ ) กำหนดให้เท่ากับความยาวคำรหัสของ LDPC (N) แต่ถ้า  $I_{LBRM}$  ไม่เท่ากับ 0 ความยาวคำรหัสของ บล็อกรหัส ( $N_{cb}$ ) กำหนดให้เท่ากับค่าต่ำสุดระหว่างความยาวคำรหัสของ LDPC (N) และ  $N_{ref}$ 



รูปที่ 2.38 แผนภาพบล็อกการคำนวณข้อมูลการส่งกลุ่มของบล็อกรหัส (*CBGTI* )

รูปที่ 2.38 แสดงแผนภาพบล็อกการคำนวณข้อมูลการส่งกลุ่มของบล็อกรหัส (*CBGTI*) การทำงานเริ่มจากรับค่า *C* ถัดมากำหนดให้ *CBGTI<sub>flags</sub>* แต่ละบล็อกรหัสมีค่า 1 และกำหนดให้ *CBGTI* เป็นเซตว่าง หลังจากนั้นเติมบิต 0 ให้กับ *CBGTI<sub>flags</sub>* ในตำแหน่งที่ *CBGTI* น้อยกว่า *C* สุดท้าย *C* คำนวณมาจากผลรวมของ *CBGTI<sub>flags</sub>* 



รูปที่ 2.39 แผนภาพบล็อกการคำนวณความยาวข้อมูลเอาต์พุตของกระบวนการปรับอัตรารหัส

รูปที่ 2.39 แสดงแผนภาพบล็อกการคำนวณความยาวข้อมูลเอาต์พุตของกระบวนการปรับ อัตรารหัส การทำงานเริ่มจากรับค่า *C CBGTI*<sub>*flags*</sub> *C' G N*<sub>*L*</sub> และ *Q*<sub>*m*</sub> ถัดมาจะพิจารณา เงื่อนไขแรก ถ้าค่า *CBGTI*<sub>*flags*</sub> ของบล็อกรหัสเท่ากับ 0 กำหนดให้ความยาวบล็อกรหัส *E*<sub>*r*</sub> เท่ากับ 0 ถ้าค่า *CBGTI*<sub>*flags*</sub> ของบล็อกรหัสไม่ใช่ค่า 0 จะพิจารณาเงื่อนไข  $j \leq C' - \text{mod}(G/N_L \cdot Q_m, C') - 1$ ถ้าเป็นไปตามเงื่อนไขจะคำนวณค่า *E*<sub>*r*</sub> ตามสมการที่ (11) ถ้าไม่เป็นไปตามเงื่อนไขจะคำนวณค่า *E*<sub>*r*</sub> ตามสมการที่ (12)


รูปที่ 2.40 แผนภาพบล็อกการเลือกบิตเพื่อส่ง

รูปที่ 2.40 แสดงแผนภาพบล็อกการเลือกบิตเพื่อส่ง การทำงานเริ่มจากรับค่า  $\mathbf{e}_r$ ,  $\mathbf{d}_r$ , C $E_r$ ,  $k_0$ ,  $N_{cb}$ , BG และ  $rv_{id}$  ถัดมา พิจารณาเงื่อนไขดังนี้ ถ้าเวกเตอร์  $\mathbf{d}_r$  เป็นบิตว่าง <NULL> จะนำค่าบิตในตำแหน่ง  $\operatorname{mod}(k_0(4(BG-1)+rv_{id}+1+j,N_{cb}))$  มาใส่ในเวกเตอร์  $\mathbf{e}_r$  ถ้าเวกเตอร์  $\mathbf{d}_r$  ไม่ใช่บิตว่าง <NULL> จะไม่ทำอะไรกับข้อมูล

#### 2.5.6 การแทรกสลับบิต

รูปที่ 2.41 แสดงแผนภาพบล็อกการแทรกสลับบิต การทำงานเริ่มจากรับค่าเวกเตอร์  $\mathbf{e}_r$ , C และ  $Q_m$  ถัดมาคำนวณความยาวข้อมูล  $E_r$  หลังจากนั้นจะแทรกสลับบิตข้อมูลโดยนำบิตข้อมูล ของ  $\mathbf{e}_r$  ในตำแหน่ง  $i * E_r / Q_m + j$  ไปใส่ในเวกเตอร์  $\mathbf{f}_r$  ในตำแหน่ง  $i + j * Q_m$ 



รูปที่ 2.41 แผนภาพบล็อกการแทรกสลับบิต

### 2.5.7 การต่อเรียงบล็อกรหัส

รูปที่ 2.42 แสดงแผนภาพบล็อกการต่อเรียงบล็อกรหัส การทำงานเริ่มจากรับค่าเวกเตอร์ **f**, *C* และ *K* ถัดมาคำนวณค่าความยาวบล็อกรหัส *E*, หลังจากนั้นบล็อกรหัสย่อยจะถูกนำไปรียง ต่อกันในเวกเตอร์ **g** ตามลำดับ



รูปที่ 2.42 แผนภาพบล็อกการต่อเรียงบล็อกรหัส

# 2.6 กระบวนทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PUCCH/PDCCH/PBCH/PSCCH/PSFCH/ PSBCH

กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PUCCH/PDCH/PBCH/PSCCH/PSFCH/ PSBCH บนอุปกรณ์ FPGA จะถูกแบ่งเป็นโมดูลหลัก 5 โมดูล ซึ่งจะประกอบไปด้วยโมดูลย่อยทั้งหมด 10 โมดูล อธิบายรายละเอียดของซอฟต์แวร์แต่ละโมดูลย่อยในโมดูลหลักภายใต้หัวข้อย่อยดังต่อไปนี้

## 1) การแบ่งย่อยบล็อกรหัส

โมดูลการแบ่งย่อยบล็อกรหัส ภายใต้โมดูลหลัก CodeBlockSegmentation

การแบ่งย่อยบล็อกรหัสแบ่งข้อมูลขาเข้าเป็นสองส่วน โดยเวกเตอร์ ความยาว A จะถูกแบ่ง ครึ่งออกเป็นสองเวกเตอร์ a' ความยาว A' โมดูลจะทำงานเฉพาะช่องสัญญาณ PUCCH ในกรณีที่  $A \ge 1013 \lor (A \ge 360 \land E \ge 1088)$  สำหรับกรณีอื่นและช่องสัญญาณ PBCH และ PDCCH โมดูล จะไม่ทำงานและแทนเวกเตอร์ a'=a ที่ความยาว A'=A แผนภาพการทำงานสามารถแสดงได้ดัง รูปที่ 2.43



รูปที่ 2.43 แผนผังการทำงานการแบ่งย่อยบล็อกรหัส

2) การเข้ารหัส การสแครมบลิง และการแทรกสลับ CRC

โมดูลการเข้ารหัส การสแครมบลิง และการแทรกสลับ CRC ภายใต้โมดูลย่อย CRCAttachment

# 2.1) การเชื่อมบิต CRC ท้ายข้อมูล

ระบบจะทำการเข้ารหัส CRC ซึ่งจะได้บิต CRC หรือเวกเตอร์  $\mathbf{p}$  ความยาว L และต่อท้าย เวกเตอร์  $\mathbf{a}$ ' ได้ผลลัพธ์เป็นเวกเตอร์  $\mathbf{c}$  ความยาว K = A' + L แผนภาพการทำงานสามารถแสดงได้ ดังรูปที่ 2.44

สำหรับช่องสัญญาณ PBCH และ PDCCH โพลิโนเมียลสร้างที่จะเลือกใช้คือ  $g_{_{24C}}(x)$  ที่มี ความยาว L=24 และสำหรับช่องสัญญาณ PDCCH ค่าเริ่มต้นในรีจิสเตอร์จะตั้งค่าเป็น 1 ทั้งหมด สำหรับช่องสัญญาณ PUCCH หากความยาว  $A \ge 20$  จะเลือกใช้โพลิโนเมียลสร้าง  $g_{11}(x)$ ที่มีความยาว L = 11 และหากความยาว  $A \le 19$  จะเลือกใช้โพลิโนเมียลสร้าง  $g_6(x)$  ที่มีความยาว L = 6





2.2) การสแครมบลิง CRC

การสแครมบลิง CRC จะนำบิต RNTI ความยาว 16 บิตมาทำกระบวนการเอ็กซ์คลูซีฟออร์กับ บิต CRC 16 บิตสุดท้ายหรือเวกเตอร์  $\mathbf{c}^{\kappa}_{\scriptscriptstyle A'+9}$  แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.45



รูปที่ 2.45 แผนผังการทำงานการสแครมบลิง CRC

2.3) การแทรกสลับ CRC

การแทรกสลับ CRC จะนำเวกเตอร์ **c** ที่ผ่านการเข้ารหัส CRC หรือการสแครมบลิงมาแทรก สลับตำแหน่งบิต ได้ผลลัพธ์เป็นเวกเตอร์ **c**' ที่มีความยาว *K* ที่มีความยาวเท่ากับเวกเตอร์ **c** แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ **2.46** โมดูลจะทำงานเฉพาะช่องสัญญาณ PBCH และ PDCCH ที่มีการเข้ารหัส CRC ด้วยโพลิโนเมียลสร้าง g<sub>24C</sub> (x) สำหรับช่องสัญญาณ PUCCH โมดูล จะไม่ทำงาน



รูปที่ 2.46 แผนผังการทำงานการแทรกสลับ CRC

2.4) การสร้างลำดับการแทรกสลับ CRC

ลำดับการแทรกสลับ CRC ถูกสร้างโดยอัลกอริทึมที่ได้ระบุไว้ตามมาตรฐานร่วมกับลำดับการ แทรกสลับ แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.47



รูปที่ 2.47 แผนผังการทำงานการสร้างลำดับการแทรกสลับ CRC

### 2.5) การเข้ารหัส CRC

การเข้ารหัส CRC จะเข้ารหัส CRC แก่เวกเตอร์ **a**' จากกระบวนการก่อน โดยโมดูลจะเลือก โพลิโนเมียลสร้างในการเข้ารหัส CRC จามเงื่อนไขช่องสัญญาณและความยาว *A* การเข้ารหัส CRC สามารถดำเนินการได้โดยการใช้งาน cyclic shift register ที่มีการตั้งค่าเริ่มต้นในรีจิสเตอร์เป็น 0 ทั้งหมดยกเว้นช่องสัญญาณ PDCCH ที่ตั้งค่าเริ่มต้นในรีจิสเตอร์เป็น 1 แผนภาพการทำงานสามารถ แสดงได้ดังรูปที่ **2.48** 





# 3) การลำดับช่องสัญญาณย่อยและการคำนวณบิตพาริตี

โมดูลการลำดับช่องสัญญาณย่อยและการคำนวณบิตพาริตี ภายใต้โมดูลหลัก PolarSequencing

### 3.1) การหาความยาวคำรหัสแม่

ก่อนการลำดับซ่องสัญญาณย่อย ระบบจำเป็นต้องหาความยาวคำรหัสแม่ N สำหรับการ ลำดับซ่องสัญญาณย่อยและการเข้ารหัสโพลาร์ โดย N ต้องมีค่าเท่ากับสองกำลังใด ๆ การคำนวณ ความยาวคำรหัสแม่จะนำเวกเตอร์ c ที่มีความยาว K และความยาวคำรหัส E มาพิจารณาเพื่อให้ ได้ความยาวคำรหัสแม่ที่เหมาะสม แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.49



รูปที่ 2.49 แผนผังการทำงานการหาความยาวคำรหัสแม่

## 3.2) การลำดับช่องสัญญาณย่อย

การลำดับช่องสัญญาณย่อย ระบบจะค้นหาตำแหน่งบิตแช่แข็งของรหัสโพลาร์ตามเงื่อนไข ต่าง ๆ แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.50 และสามารถสรุปได้ดังนี้

- เลือกตำแหน่งบิตแช่แข็งสำหรับการปรับอัตรารหัส หาก  $K/E \leq 7/16$  จะปรับอัตรารหัส ด้วยการพังก์เจอร์ ซึ่งจะกำหนดบิตแช่แข็งที่ T ตำแหน่งแรก ในกรณีอื่นจะปรับอัตรารหัสด้วยการซ็อ ตเทน ซึ่งจะกำหนดบิตแช่แข็งที่ U = N - E ตำแหน่งสุดท้าย T

หากจำนวนบิตแช่แข็งสำหรับการปรับอัตรารหัสยังไม่เกินจำนวนบิตแช่แข็งที่มีได้ จะเลือก
บิตแช่แข็งเพิ่มเติมตามลำดับความน่าเชื่อถือช่องสัญญาณตามมาตรฐาน



รูปที่ 2.50 แผนผังการทำงานการลำดับช่องสัญญาณย่อย

จากนั้นสำหรับช่องสัญญาณ PUCCH ที่ความยาว  $A \leq 19$  ระบบจะเติมบิตพาริตีเข้าใน จำนวน  $n_{PC} = 3$  ตามแผนภาพการทำงานแสดงได้ดังรูปที่ 2.51 โดยในกรณี  $E - A \leq 175$  บิตพา ริตีทั้ง 3 บิตจะถูกเลือกจากลำดับความน่าเชื่อถือที่ต่ำที่สุด ส่วนในกรณี E - A > 175 E - A > 175บิตพาริตี 2 บิตจะถูกเลือกจากลำดับความน่าเชื่อถือที่ต่ำที่สุดและบิตพาริตีสุดท้ายจะถูกเลือกโดย ตำแหน่งที่มีน้ำหนักแถวของเมทริกซ์สร้าง **G** ต่ำที่สุดในตำแหน่งที่ไม่ใช่ตำแหน่งบิตแช่แข็ง  $Q \notin Q_F$  $Q \notin Q_F$  หากมีตำแหน่งของน้ำหนักแถวมากกว่าหนึ่ง จะเลือกตำแหน่งน้ำหนักแถวต่ำสุดที่มีความ น่าเชื่อถือที่สุด



รูปที่ 2.51 แผนผังการทำงานการลำดับช่องสัญญาณย่อย (ต่อ)

### 3.3) การคำนวณบิตพาริตี

การคำนวณบิตพาริตีจะหาคำนวณค่าของบิตพาริตีหากกระบวนการก่อนหน้ามีการจองพื้นที่ ให้บิตพาริตีจำนวน  $n_{PC}$  บิต ซึ่งโมดูลจะทำงานเฉพาะช่องสัญญาณ PUCCH ในกรณีที่  $A \leq 19$ สำหรับกรณีอื่นและช่องสัญญาณ PBCH และ PDCCH โมดูลจะไม่ทำงาน โดยบิตพาริตีที่อยู่ใน ตำแหน่ง  $Q_{PC}$  จะมีความสัมพันธ์กับบิตก่อนหน้าถัดไปทีละ 5 ตำแหน่งเรื่อย ๆ ไปยังจุดเริ่มต้น และ จะมีความสัมพันธ์เฉพาะบิตข้อมูลที่อยู่ในตำแหน่ง  $Q_I$  โดยเฉพาะ แผนภาพการทำงานสามารถแสดง ได้ดังรูปที่ 2.52



รูปที่ 2.52 แผนผังการทำงานการคำนวณบิตพาริตี

4) การเข้ารหัสโพลาร์ การแทรกสลับบล็อกย่อย และการปรับอัตรารหัส

โมดูลการเข้ารหัสโพลาร์ การแทรกสลับบล็อกย่อย และการปรับอัตรารหัส ภายใต้โมดูลหลัก PolarEncoding

4.1) การเข้ารหัสโพลาร์

การเข้ารหัสโพลาร์จะทำการเข้ารหัสเวกเตอร์ **u** ที่มีความยาว *N* ที่ผ่านกระบวนการก่อน หน้า โดย *N* ต้องมีค่าเท่ากับสองกำลังใด ๆ ได้ผลลัพธ์เป็นเวกเตอร์ **d** ที่มีความยาว *N* เท่ากับ เวกเตอร์ **u** แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.53



รูปที่ 2.53 แผนผังการทำงานการเข้ารหัสโพลาร์

4.2) การแทรกสลับบล็อกย่อย

การแทรกสลับบล็อกย่อยจะนำเวกเตอร์ **d** ที่ผ่านการเข้ารหัสโพลาร์มาแทรกสลับตำแหน่ง บิต ได้ผลลัพธ์เป็นเวกเตอร์  $\mathbf{y} = J(\mathbf{d})$  ที่มีความยาว N ที่มีความยาวเท่ากับเวกเตอร์ **d** แผนภาพ การทำงานสามารถแสดงได้ดังรูปที่ 2.54



รูปที่ 2.54 แผนผังการทำงานการแทรกสลับบล็อกย่อย

4.3) การสร้างลำดับการแทรกสลับบล็อกย่อย ลำดับการแทรกสลับบล็อกย่อยถูกสร้างโดยอัลกอริทึมที่ได้ระบุไว้ตามมาตรฐานร่วมกับลำดับ การแทรกสลับ ได้ผลลัพธ์เป็นลำดับการแทรกสลับบล็อกย่อย J() แผนภาพการทำงานสามารถ แสดงได้ดังรูปที่ 2.55 ลำดับการแทรกสลับบล็อกย่อยจะถูกคำนวณไว้ก่อนภายในกระบวนการลำดับ ช่องสัญญาณย่อยเพื่อใช้ในการกำหนดตำแหน่งบิตแช่แข็งสำหรับการปรับอัตรารหัสแบบพังก์เซอร์



รูปที่ 2.55 แผนผังการทำงานการสร้างลำดับการแทรกสลับบล็อกย่อย

### 4.4) การปรับอัตรารหัส

ระบบจะปรับความยาวคำรหัสแม่ให้มีความยาวเท่ากับความยาวคำรหัสที่ผู้ใช้งานต้องการ โดยเวกเตอร์ y ที่ความยาว N จากกระบวนการก่อนหน้าจะถูกปรับความยาวให้เท่ากับ E หาก กรณี  $E < N \land K/E \le 7/16$  เวกเตอร์ y จะถูกพังก์เซอร์ หากกรณี  $E < N \land K/E > 7/16$ เวกเตอร์ y จะถูกซ็อตเทน และหากกรณี E > N เวกเตอร์ y จะถูกส่งซ้ำให้มีความยาวมากขึ้น โดยจะผลลัพธ์เป็นเวกเตอร์ e ที่มีความยาว E แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.56



รูปที่ 2.56 แผนผังการทำงานการปรับอัตรารหัส

5) การแทรกสลับบิตรหัสและการต่อบล็อกรหัส

โมดูลการแทรกสลับบิตรหัสและการต่อบล็อกรหัส ภายใต้โมดูลหลัก CodedBitInterleaver

### 5.1) การแทรกสลับบิตรหัส

การแทรกสลับบิตรหัสจะนำเวกเตอร์ **e** ที่ผ่านการปรับอัตรารหัสมาแทรกสลับตำแหน่งบิต ได้ผลลัพธ์เป็นเวกเตอร์  $\mathbf{f} = V(\mathbf{e})$  ที่มีความยาว *E* ที่มีความยาวเท่ากับเวกเตอร์ **e** แผนภาพการ ทำงานสามารถแสดงได้ดังรูปที่ 2.57 โมดูลจะทำงานเฉพาะช่องสัญญาณ PUCCH สำหรับ ช่องสัญญาณ PBCH และ PDCCH โมดูลจะไม่ทำงานและได้ผลลัพธ์เวกเตอร์  $\mathbf{f} = \mathbf{e}$ 



รูปที่ 2.57 แผนผังการทำงานการแทรกสลับบิตรหัส

5.2) การสร้างลำดับการแทรกสลับบิตรหัส

ลำดับการแทรกสลับบิตรหัสถูกสร้างโดยอัลกอริทึมที่ได้ระบุไว้ตามมาตรฐานร่วมกับลำดับ การแทรกสลับที่คำนวณตามอัลกอริทึมดังรูปที่ 2.58 ได้ผลลัพธ์เป็นลำดับการแทรกสลับบิตรหัส V() แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.58



รูปที่ 2.58 แผนผังการทำงานการสร้างลำดับการแทรกสลับบิตรหัส

#### 5.3) การต่อบล็อกรหัส

หากกระบวนแรกระบบได้มีการแบ่งย่อยบล็อกรหัส โมดูลการต่อบล็อกรหัสจะทำงาน โดยจะ นำเวกเตอร์ **f** ทั้งสองเวกเตอร์ที่มีการแบ่งย่อยบล็อกรหัสก่อนหน้ามาต่อกันตามลำดับเดิม ได้ผลลัพธ์ เป็นเวกเตอร์ **g** ที่ความยาว 2*E* หากมีการแบ่งย่อยบล็อกรหัสก่อนหน้าและ *E* หากไม่มีการ แบ่งย่อยบล็อกรหัสก่อนหน้า แผนภาพการทำงานสามารถแสดงได้ดังรูปที่ 2.59



รูปที่ 2.59 แผนผังการทำงานการต่อบล็อกรหัส

#### 2.7 โครงข่าย O-RAN และการ์ดเร่งความเร็ว

ปัจจุบัน โครงข่ายโทรศัพท์มือถือสามารถแบ่งได้เป็น โครงข่ายการเข้าถึงด้วยคลื่นวิทยุ (Radio Access Network: RAN) และโครงข่ายแกนหลัก (Core Network: CN) ดังรูปที่ 2.59 ซึ่ง รายละเอียดของโครงข่ายจะถูกพัฒนาตามมาตรฐานของ 3GPP ทั้งนี้ โครงข่าย 3GPP RAN สามารถ แบ่งได้เป็น Central unit (CU) และ Distributed unit (DU) ซึ่งในโครงข่าย 5G จะเรียกว่า gNB-CU และ gNB-DU ตามลำดับ อย่างไรก็ตาม 3GPP ไม่ได้มีการกำหนดมาตรฐานการเชื่อมต่อระหว่าง CU และ DU อีกทั้งไม่ได้ระบบวิธีการแบ่ง RAN ออกเป็น CU และ DU ไว้ชัดเจน ทำให้ ผู้ผลิตอุปกรณ์ โทรคมนาคมต่างออกแบบวิธีการเชื่อมต่อส่วนประกอบต่าง ๆ โดยใช้มาตรฐานของตนเอง จึงเป็นที่มา ของ O-RAN ที่ทำการแยก 3GPP RAN ออกเป็น 3 ส่วน ได้แก่ O-RU O-DU และ O-CU มีการระบุ มาตรฐานการเชื่อมต่อส่วนต่าง ๆ ไว้อย่างชัดเจน ได้แก่ OFH-U OFH-C FAPI และ F1 ดังรูปที่ 2.60 โดยฟังก์ชันการทำงานภายใน O-RU O-DU และ O-CU ยังคงอ้างอิงมาตรฐานของ 3GPP ดังรูปที่ 2.61 โดยจะพบว่า O-DU จะพัฒนาโดยอ้างอิงมาตรฐานของ 3GPP จำนวน 2 ฉบับ ได้แก่ 3GPP TS 38.212: "NR; Multiplexing and channel coding" และ 3GPP TS 38.211: "NR; Physical channels and modulation" ซึ่งเอกสาร 3GPP TS 38.212 เป็นเอกสารที่อธิบายวิธีการเข้ารหัส ช่องสัญญาณที่ผู้วิจัยใช้อ้างอิงในการพัฒนาซอฟต์แวร์และฮาร์ดแวร์ของโครงการวิจัยก่อนหน้า นอกจากการกำหนดรายละเอียดภายใน O-CU O-DU O-RU และมาตรฐานการเชื่อมต่อ OFH-U OFH-C FAPI และ F1 องค์กร O-RAN ได้นำเสนอการพัฒนาระบบควบคุม O-CU O-DU และ O-RU โดยใช้ Non-Real Time RIC และ Near-Real Time RIC ซึ่งทำให้ 3GPP RAN สามารถทำงานโดยใช้ ซอฟต์แวร์แบบเปิด เพื่อหลีกเลี่ยงการใช้ฮาร์ดแวร์ของผู้ผลิตอุปกรณ์โทรคมนาคมเพียงไม่กี่ราย รูปที่ 2.62 แสดงส่วนประกอบของ O-RAN แบบละเอียด [12] นอกจากนี้ ยังแสดงมาตรฐานการเชื่อมต่อ ระหว่างส่วนประกอบของ O-RAN ที่ผู้ผลิตอุปกรณ์สามารถนำไปพัฒนาอุปกรณ์ของตนเอง การ กำหนดส่วนประกอบและมาตรฐานการเชื่อมต่อที่ชัดเจนนี้ จะทำให้เกิดบริษัทใหม่ๆ ที่เน้นวิจัยและ พัฒนาอุปกรณ์เฉพาะส่วน โดยยังคงสามารถนำอุปกรณ์เฉพาะส่วนของบริษัทต่างๆ มาทำงานร่วมกัน ได้ หลีกเลี่ยงการพึงพาผู้ผลิตอุปกรณ์โทรคมนาคมเพียงไม่กี่ราย



## รูปที่ 2.59 การเปรียบเทียบระหว่าง 3GPP RAN และ O-RAN [12]



3GPP TR 38.104: "NR; Base Station (BS) radio transmission and reception". -



# รูปที่ 2.60 มาตรฐาน 3GPP ที่ใช้ในส่วนประกอบของ O-RAN

รูปที่ 2.61 ส่วนประกอบของ O-RAN แบบละเอียด [12]

นอกจาก O-RAN จะกำหนดมาตรฐานการเชื่อมต่อระหว่างส่วนประกอบต่าง ๆ ของ RAN ทางกลุ่ม O-RAN ยังมีความประสงค์ที่จะพัฒนาซอฟต์แวร์โอเพนซอร์ซ (open source software) ที่ สามารถทำงานบนเครื่องคอมพิวเตอร์แบบเซิร์ฟเวอร์ (server) ทั่วไปได้ เพื่อให้ผู้บริการ โทรศัพท์เคลื่อนที่ต่าง ๆ สามารถนำซอฟต์แวร์โอเพนซอร์ซไปพัฒนาต่อยอดตามวัตถุประสงค์ที่ ต้องการ ทั้งนี้ จะต้องใช้อุปกรณ์ที่มีคุณสมบัติดังรูปที่ 4 โดยจะพบว่าส่วนประกอบ Near-Real Time RIC O-CU-UP และ O-CU-UP สามารถทำงานบนเครื่องเซิร์ฟเวอร์มาตรฐานได้ แต่ส่วนประกอบ O-DU จำเป็นจะต้องใช้การ์ดเร่งความเร็ว (Accelerator Card) เพิ่มเติมดังรูปที่ 2.63 โดยเอกสารของ O-RAN Working Group 6 ได้กำหนดแนวทางการนำการ์ดเร่งความเร็วมาใช้ใน O-DU จำนวน 2 รูปแบบ ได้แก่ Look-aside model และ Inline model ดังรูปที่ 2.64 โดยการใช้งานการ์ดเร่ง ความเร็วแบบ Look-aside model หมายถึงการนำการ์ดเร่งความเร็วมาช่วยคำนวณการทำงานของ O-DU บางฟังก์ชัน เช่น FEC สำหรับการใช้งานการ์ดเร่งความเร็วแบบ Inline model จะเป็นการนำ การ์ดตัวเร่งมาช่วยทุกส่วนตั้งแต่การรับสัญญาณจาก RRU ไปจนถึงการฟังก์ชัน O-DU Layer-2

Cloud/ HW features	Near-RT RIC	O-CU-CP	O-CU-UP	O-DU	O-RU
Standard Cloud Infrastructure (CI) & General Purpose CPU	1	✓			
CI + high speed UP support. Acceleration optional			$\checkmark$		
CI + high speed UP, acceleration for O-DU				✓	
CI + high speed UP, acceleration for O-RU					$\checkmark$





รูปที่ 2.63 การส่วนประกอบของ DU ที่มีการประยุกต์ใช้งานการ์ดเร่งความเร็ว (Accelerator Card)



รูปที่ 2.64 รูปแบบการใช้งานการ์ดเร่งความเร็ว (Accelerator Card) กับ O-DU [12]

2.8 มาตรฐาน O-RAN Working Group 6 เรื่อง Acceleration Abstraction Layer General Aspects and Principles และ FEC Profiles

## 2.8.1 หมวดทั่วไป

### 1) ฮาร์ดแวร์สำหรับเร่งความเร็วการประมวลผล

CPU เป็นฮาร์ดแวร์ซึ่งสามารถประมวลผลแบบใด ๆ แต่มีข้อจำกัดซึ่งเกิดจากลักษณะการ ทำงานของ CPU ที่ทำงานแบบอนุกรม ซึ่งส่งผลให้ CPU ประมวลผลได้ช้าหากมีข้อมูลจำนวนมาก ฮาร์ดแวร์ประเภทอื่นเช่น GPU FPGA ASIC ซึ่งออกแบบมาเพื่อการประมวลแบบขนานจึงถูกนำมาใช้ แทนในบางบริบท มาตรฐาน O-RAN ได้นำฮาร์ดแวร์ดังกล่าวมาใช้เพื่อเร่งความเร็วแทน CPU เพื่อให้ สามารถทำงานแบบขนานได้ ดังแสดงในรูปที่ 2.65





2) โครงสร้างของ Acceleration Abstraction Layer (AAL)

โครงสร้าง AAL ประกอบไปด้วยส่วนเชื่อมต่อระหว่างแอปพลิเคชันกับฮาร์ดแวร์สำหรับเร่ง ความเร็วการประมวลผล เพื่อเป็นการรองรับความหลากหลายทางฮาร์ดแวร์ ซอฟท์แวร์และการใช้ งานในรูปแบบต่าง ๆ จึงได้มีการกำหนดรูปแบบของ AAL ที่หลากหลายเพื่อให้เหมาะกับการใช้งาน ภาพรวมของโครงสร้าง AAL เป็นดังรูปที่ 2.66



รูปที่ 2.66 ภาพรวมของ AAL

2.1) AAL บน Virtual Machine

ข้อมูลจำเพาะของ AAL ได้นิยามถึงส่วนต่อประสานและโปรไฟล์ใด ๆ ส่วนต่อประสานแอป พลิเคชัน AAL-C จะถูกใช้ในฟังก์ชันของโครงข่าย O-RAN Cloudified สำหรับการเข้าถึงซึ่งครอบคลุม ทั้งฮาร์ดแวร์และซอฟท์แวร์ดังแสดงในรูปที่ 2.67



รูปที่ 2.67 AAL บน Virtual Machine

3) ลักษณะจำเพาะของ AAL

AAL ต้องมีความยืดหยุ่นสำหรับการใช้งานซอฟท์แวร์ที่หลากหลายบน CPU ซึ่งมีฮาร์ดแวร์ เร่งความเร็วอยู่ในระบบและยืดหยุ่นสำหรับการเพิ่มหรือลดขนาดโครงข่ายด้วยซอฟท์แวร์ชุดเดิม

4) ขอบเขตของ AAL

AAL ประกอบไปด้วย API โมเดลข้อมูลข่าวสาร การดำเนินการต่าง ๆ และระบบของอินพุต เอาต์พุตที่ถูกใช้โดย แอปพลิเคชันเพื่อสร้างส่วนประสานถึง AAL ดังในกรอบเส้นประแสดงในรูปที่ 2.68





5) หลักการทั่วไปสำหรับส่วนต่อประสาน

ส่วนต่อประสาน AAL จะต้องมีคุณสมบัติดังนี้

- 5.1) มีความยืดหยุ่นสำหรับการใช้ฟังก์ชันต่าง ๆ
- 5.2) มีฮาร์ดแวร์สำหรับการใช้งานเป็นของตัวเอง
- 5.3) มีระบบ Interrupt and Poll
- 5.4) รับรู้ได้ว่าได้รับอินพุตจากที่ใด เพื่อไปกระทำการใด ๆ ต่อ
- 5.5) รองรับ AAL-LPU หลายชุดดังรูปที่ 2.69



รูปที่ 2.69 AAL-LPU หลายชุดที่เชื่อมต่อกับแอปพลิเคชัน

5.6) รองรับโครงสร้างแบบ Look-aside ดังรูปที่ 2.70



รูปที่ 2.70 โครงสร้างแบบ Look-aside

5.7) รองรับโครงสร้างแบบ Inline ดังรูปที่ 2.71



รูปที่ 2.71 โครงสร้างแบบ Inline

- 5.8) ทำงานแบบขนานในแต่ละส่วน
- 5.9) ส่วนประสานของผู้ใช้และส่วนประสานของตัวควบคุมแยกจากกัน
- 5.10) รับอินพุตได้ทุกขนาดตามโปรโตคอล

- 5.11) รับและส่งข้อมูลได้หลากหลายรูปแบบ
- 5.12) มีชื่อ API เฉพาะตัว
- 2.8.2 ตัวควบคุมฮาร์ดแวร์เร่งความเร็วและส่วนต่อประสาน AAL

1) หน้าที่ของตัวควบคุมฮาร์ดแวร์เร่งความเร็ว

ตัวควบคุมฮาร์ดแวร์เร่งความเร็วมีหน้าที่ตรวจสอบการทำงานของฮาร์ดแวร์บน O-Cloud ใน ทุกด้านซึ่งประกอบด้วย อายุขัย ความผิดปกติทางฮาร์ดแวร์ สถานะ ประสิทธิภาพ การตั้งค่า การอัป เกรด และการจัดการความผิดพลาด ตัวควบคุมฮาร์ดแวร์เร่งความเร็วนี้เป็นจุดสิ้นสุดของส่วนต่อ ประสาน AALI-C-Mgmt ดังรูปที่ 2.72



รูปที่ 2.72 ตัวควบคุมฮาร์ดแวร์เร่งความเร็วในระบบ O-Cloud

## 2.8.3 AAL-LPU

AAL-LPU เป็นส่วนประมวลผลระหว่างแอปพลิเคชั่นกับฮาร์ดแวร์เร่งความเร็วซึ่งมีคุณสมบัติ

ดังนี้

- 1) มีการเก็บสถิติการเรียกใช้
- 2) มีหน่วยความจำแยกเป็นของตัวเอง
- 3) มีการตั้งค่าการประมวลผลให้รองรับโปรไฟล์ AAL ที่หลากหลาย

## 2.8.4 โปรไฟล์ของ AAL

2.8.4.1 O-DU AAL

โปรไฟล์ O-DU AAL คือเซ็ตของฟังก์ชันในลำดับชั้นโปรโตคอลของ O-DU โดยฟังก์ชัน ดังกล่าวอาจกระจายอยู่ต่างชั้นโปรโตคอลกัน แต่มาตรฐาน O-RAN จะเน้นฟังก์ชันที่อยู่บนลำดับชั้น PHY เป็นหลัก

1) ลำดับชั้นโปรโตคอลของ O-DU

บล็อกกระบวนการประมวลผลในลำดับชั้นโปรโตคอลของ O-DU จะเป็นไปตามกระบวนการ ตามมาตรฐานที่ 3GPP กำหนดสำหรับการสื่อสาร 5G

1.1) ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาลง

ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาลงเป็นดังรูปที่ 2.73



รูปที่ 2.73 ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาลง

1.2) ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาขึ้น ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาขึ้นเป็นดังรูปที่ 2.74



รูปที่ 2.74 ลำดับชั้นโปรโตคอลของ O-DU สำหรับช่องสัญญาณขาขึ้น

2.8.4.2 ลำดับชั้นโปรโตคอลของ O-DU (mMTC)

บล็อกกระบวนการประมวลผลในลำดับชั้นโปรโตคอลของ O-DU (mMTC) จะเป็นไปตาม กระบวนการตามมาตรฐานที่ 3GPP กำหนดสำหรับการสื่อสาร 4G และ 5G 1) ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาลง ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาลงเป็นดังรูปที่ 2.75



รูปที่ 2.75 ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาลง

2) ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาขึ้น ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาขึ้นเป็นดังรูปที่ 2.76



รูปที่ 2.76 ลำดับชั้นโปรโตคอลของ O-DU (mMTC) สำหรับช่องสัญญาณขาขึ้น

2.8.4.3 โปรไฟล์ของ O-DU AAL

1) AAL\_MU-MIMO\_PRECODER\_WEIGHTS\_CALC

โปรไฟล์ AAL\_MU-MIMO\_PRECODER\_WEIGHTS\_CALC เป็นดังบล็อกสีเขียวในรูปที่ 2.77



รูปที่ 2.77 โปรไฟล์ AAL\_MU-MIMO\_PRECODER\_WEIGHTS\_CALC

2.8.4.4 โปรไฟล์ของ O-DU AAL สำหรับช่องสัญญาณขาลง

1) AAL\_PDSCH\_FEC

โปรไฟล์ AAL PDSCH FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.78



รูปที่ 2.78 โปรไฟล์ AAL\_PDSCH\_FEC

#### 2) AAL PDSCH HIGH-PHY

#### โปรไฟล์ AAL PDSCH HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.79



รูปที่ 2.79 โปรไฟล์ AAL\_PDSCH\_HIGH-PHY

3) AAL\_PDCCH\_HIGH-PHY

## โปรไฟล์ AAL\_PDCCH\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.80



รูปที่ 2.80 โปรไฟล์ AAL\_PDCCH\_HIGH-PHY
## 4) AAL\_PBCH\_HIGH-PHY โปรไฟล์ AAL\_PBCH\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.81



รูปที่ 2.81 โปรไฟล์ AAL\_PBCH\_HIGH-PHY

5) AAL\_CSI-RS\_HIGH-PHY

## ้โปรไฟล์ AAL\_CSI-RS\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.82



รูปที่ 2.82 โปรไฟล์ AAL\_CSI-RS\_HIGH-PHY

## 6) AAL\_PT-RS-DL\_HIGH-PHY โปรไฟล์ AAL\_PT-RS-DL\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.83



รูปที่ 2.83 โปรไฟล์ AAL\_PT-RS-DL\_HIGH-PHY

7) AAL\_DOWNLINK\_HIGH-PHY

## โปรไฟล์ AAL\_DOWNLINK\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.84



รูปที่ 2.84 โปรไฟล์ AAL\_DOWNLINK\_HIGH-PHY

2.8.4.5 โปรไฟล์ของ O-DU AAL สำหรับช่องสัญญาณขาขึ้น

# 1) AAL\_PUSCH\_FEC

#### โปรไฟล์ AAL\_PUSCH\_FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.85



รูปที่ 2.85 โปรไฟล์ AAL\_PUSCH\_FEC



รูปที่ 2.86 โปรไฟล์ AAL\_PUSCH\_HIGH-PHY

O-RAN FH (7-2x lower layer split)

## 3) AAL\_PUCCH\_HIGH-PHY (format 0) โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 0) เป็นดังบล็อกสีเขียวในรูปที่ 2.87



รูปที่ 2.87 โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 0)

4) AAL\_PUCCH\_HIGH-PHY (format 1)

## โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 1) เป็นดังบล็อกสีเขียวในรูปที่ 2.88



รูปที่ 2.88 โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 1)

#### 5) AAL\_PUCCH\_HIGH-PHY (format 2/3/4)

#### โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 2/3/4) เป็นดังบล็อกสีเขียวในรูปที่ 2.89



#### รูปที่ 2.89 โปรไฟล์ AAL\_PUCCH\_HIGH-PHY (format 2/3/4)

6) AAL\_PRACH\_HIGH-PHY

#### โปรไฟล์ AAL\_PRACH\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.90



รูปที่ 2.90 AAL\_PRACH\_HIGH-PHY

7) AAL\_SRS\_HIGH-PHY

# ้โปรไฟล์ AAL\_SRS\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.91



รูปที่ 2.91 โปรไฟล์ AAL\_SRS\_HIGH-PHY

8) AAL\_PT-RS-UL\_HIGH-PHY

#### โปรไฟล์ AAL\_PT-RS-UL\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.92



รูปที่ 2.92 โปรไฟล์ AAL\_PT-RS-UL\_HIGH-PHY

#### 9) AAL UPLINK HIGH-PHY

# โปรไฟล์ AAL\_UPLINK\_HIGH-PHY เป็นดังบล็อกสีเขียวในรูปที่ 2.93



รูปที่ 2.93 โปรไฟล์ AAL\_UPLINK\_HIGH-PHY

#### 2.8.4.6 โปรไฟล์ของ O-DU AAL (mMTC)

## 1) AAL\_NPDSCH\_FEC

# ้โปรไฟล์ AAL\_NPDSCH\_FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.94



รูปที่ 2.94 โปรไฟล์ AAL\_NPDSCH\_FEC

## 2) AAL\_NPDCCH\_FEC โปรไฟล์ AAL\_NPDCCH\_FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.95



รูปที่ 2.95 โปรไฟล์ AAL\_NPDCCH\_FEC

3) AAL\_NPBCH\_FEC

## โปรไฟล์ AAL\_NPBCH\_FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.96



รูปที่ 2.96 โปรไฟล์ AAL\_NPBCH\_FEC

#### 4) AAL\_NPUSCH\_FEC

#### โปรไฟล์ AAL\_NPUSCH\_FEC เป็นดังบล็อกสีเขียวในรูปที่ 2.97



รูปที่ 2.97 โปรไฟล์ AAL\_NPUSCH\_FEC

#### 2.8.5 FEC Profile

## 2.8.5.1 วัตถุประสงค์

เอกสารนี้จะแจกแจงรายละเอียดข้อมูลจำเพาะของส่วนต่อประสาน AAL สำหรับโปรไฟล์ AAL\_PUSCH\_FEC and AAL\_PDSCH\_FEC ดังรูปที่ X และ X ตามลำดับ

# 2.8.5.2 การจัดการและการตั้งค่า AALi

- 1) การจัดการและการตั้งค่ามีลำดับดังนี้
  - 1.1) นับจำนวน AAL-LPU
  - 1.2) นับ AAL-LPU ที่พร้อมใช้งาน
  - 1.3) จัดเตรียมคิว AAL-LPU
  - 1.4) จัดการปรับแต่งคิว AAL-LPU

2) การจัดการคิว AAL-LPU

เป็นการจัดการคิวให้รองรับการใช้งานร่วมกับ AALi ดังนี้

2.1) เริ่มการทำงาน AAL-LPU

2.2) เริ่มคิว AAL-LPU

2.3) หยุดคิว AAL-LPU

2.4) หยุดการทำงาน AAL-LPU

2.5) ปิดการใช้งาน AAL-LPU

3) การเก็บสถิติ

เป็นการจัดเก็บสถิติของความผิดพลาดในการจัดการคิวของ AAL-LPU ซึ่งต้องมีส่วนต่อ ประสานสำหรับการรีเซ็ตสถิติดังกล่าวด้วย

## 2.8.6 คุณลักษณะของโปรไฟล์ AAL FEC

กระบวนการเข้ารหัสของทั้งสองโปรไฟล์จะเป็นไปตามมาตรฐาน 3GPP TS 38.212 และ 38.214

2.8.6.1 O-DU AAL PDSCH FEC

สรุปคุณลักษณะของ O-DU AAL PDSCH FEC ได้ดังนี้

1) สามารถหยุดการทำงานจากการร้องขอภายนอกได้

2) การเลือกชุด CRC ที่ถูกต้อง

3) รองรับการกระจัดกระจายของบัฟเฟอร์อินพุต

4) เรียงต่อเอาต์พุตที่ไม่เต็มไบต์ได้

5) มีการเลือกโหมด CB หรือ TB

พารามิเตอร์หลักของ O-DU AAL PDSCH FEC ที่ต้องใช้สำหรับ AALi เป็นดังนี้

1) ข้อมูลอินพุต

2) อัตรารหัส

3) ชุด CRC ที่ถูกต้อง

4) Rate matching redundancy version, [10]

5) กราฟฐานของ LDPC, [10]

6) Zc [10]

7) Ncb, [10]

8) Qm, {2,4,6,8}. [10]

9) n\_filler = K - K' [10]

10) การเลือกโหมด CB หรือ TB

พารามิเตอร์ O-DU AAL PDSCH FEC สำหรับโหมด CB เป็นดังนี้

1) E, [10]

พารามิเตอร์ O-DU AAL PDSCH FEC สำหรับโหมด TB เป็นดังนี้

1) Ea, r < cab. [10]

2) Eb, r >= cab. [10]

3) จำนวน CB ทั้งหมด

4) ดัชนีบล็อกแรกของ mbuf data โดยมีค่าตั้งต้นเป็น 0

5) cab, จำนวนของ CB ที่ใช้ Ea ก่อนเปลี่ยนเป็น Eb, [0:255]

6) max\_cbg, จำนวน CB ต่อ TB {1,2,4,6,8}, [13]

7) ข้อมูลแบบกลุ่มก้อนของ CB [13]

สรุปคุณลักษณะ O-DU AAL PUSCH FEC ได้ดังนี้

1) มีขนาดของ LLR เป็นบิตซึ่งเป็นแบบ 2'complement

2) มีค่า LLR ซึ่งสามารถแปลงเป็นเลขฐานสิบ

3) มีชุด CRC ที่ถูกต้อง

4) สามารถดรอปข้อมูลจากการตรวจสอบ CRC

5) สามารถเลือกการใช้ HARQ

6) สามารถเลือกเอาต์พุตละเอียด

7) สามารถเลือกจำนวนรอบการถอดรหัส

8) รองรับการกระจัดกระจายของบัฟเฟอร์อินพุต

9) เรียงต่อเอาต์พุตที่ไม่เต็มไบต์ได้

10) การบีบอัดของ HARQ การบีบอัดจะเป็น 6 บิตต่อ 1 ไบต์

11) การบีบอัดของ LLR การบีบอัดจะเป็น 6 บิต

12) รองรับการรับอินพุต HARQ จากหน่วยความจำภายในของ AAL-LPU

13) รองรับการส่งเอาต์พุต HARQ ไปยังหน่วยความจำภายในของ AAL-LPU

14) สามารถเพิ่มบิต LLR filler ไปในบัฟเฟอร์หน่วยความจำของ HARQ

15) มีการเลือกโหมด CB หรือ TB

พารามิเตอร์หลักของ O-DU AAL PUSCH FEC ที่ต้องใช้สำหรับ AALi เป็นดังนี้

1) อินพุตสำหรับบัฟเฟอร์หมุนวนเสมือน แทนด้วย 1 ค่า LLR ต่อบิตของ CB หรือ TB

2) บัฟเฟอร์สำหรับการตัดสินใจหยาบขนาด K'สำหรับแต่ละ CB

3) Rate matching redundancy version, [10]

4) จำนวนรอบการถอดรหัส

5) กราฟฐานของ LDPC [10]

6) Zc, [10]

7) Ncb, [10]

8) Qm, [10]

9) n\_filler = K-K', [10]

11) การเลือกโหมด CB หรือ TB

พารามิเตอร์ O-DU AAL PUSCH FEC สำหรับโหมด CB เป็นดังนี้

ลำดับเอาต์พุตหลังการปรับอัตรารหัสเป็นบิตหรือ LLR [13]
 พารามิเตอร์ O-DU AAL PUSCH FEC สำหรับโหมด TB เป็นดังนี้

1) Ea, r < cab. [10]

2) Eb, r >= cab. [10]

3) จำนวน CB ทั้งหมด

4) ดัชนีบล็อกแรกของ mbuf data โดยมีค่าตั้งต้นเป็น 0

5) cab, จำนวนของ CB ที่ใช้ Ea ก่อนเปลี่ยนเป็น Eb, [0:255]

6) max\_cbg, จำนวน CB ต่อ TB {1,2,4,6,8}, [13]

7) ข้อมูลแบบกลุ่มก้อนของ CB [13]

8) ข้อมูลใน CB ที่ผิดพลาดจากการตรวจสอบ CRC

2.8.6.2 นิยามพารามิเตอร์ของ API

นิยามของส่วนต่อประสานและพารามิเตอร์ของ API ภายใต้ DPDK เป็นดังตารางที่ 2.5 และ 2.6 ตามลำดับ

ตารางที่ 2.5 นิยามส่วนต่อประสานของ API

AAL FEC	AAL FEC DPDK API
AAL-LPU	Device ID
AAL Queue	Queue ID
AAL_PDSCH_FEC	RTE_BBDEV_OP_LDPC_ENC
AAL_PUSCH_FEC	RTE_BBDEV_OP_LDPC_DEC

ตารางที่ 2.6 นิยามพารามิเตอร์ของ API

พารามิเตอร์	DPDK rte_bbdev_op_ldpc_enc			
ข้อมูลอินพุต	struct rte_bbdev_op_data input			
อัตรารหัส	struct rte_bbdev_op_data output			
	/** Flags from			
ชุด CRC ที่ถูกต้อง	rte_bbdev_op_ldpcenc_flag_bitmasks */			
	uint32_t op_flags;			
Rate matching redundancy version [9]	uint8_t rv_index;			
กราฟฐานของ LDPC [10]	uint8_t basegraph;			
Zc, [10]	uint16_t z_c;			
Ncb, [10]	uint16_t n_cb;			
Qm, {2,4,6,8}. [10]	uint8_t q_m;			
n_filler = K – K' [10]	uint16_t n_filler;			
	/** [0 - TB : 1 - CB] */			
มาวเยอมเพทด CR มวอ TR	uint8_t code_block_mode;			

# บทที่ 3 ระเบียบวิธีวิจัย

# 3.1 การออกแบบชุดการเรียนรู้3.1.1 การออกแบบชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

โครงการนี้ออกแบบซอฟต์แวร์ GUI ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชัน มาตรฐาน 5G โดยใช้ภาษา Python เพื่อให้ผู้ใช้งานสามารถเรียนรู้กระบวนการมอดูเลชันและ ดีมอดูเลชันได้โดยง่าย ซึ่งผู้ใช้งานจะสามารถเห็นกระบวนการทำงานตั้งแต่การสร้างข้อมูลแบบสุ่มหรือ นำเข้าข้อมูลอินพุต การมอดูเลชัน การส่งผ่านช่องสัญญาณรบกวน และการดีมอดูเลชัน นอกจากนี้ ผู้ใช้งานสามารถดูผลลัพธ์ ณ จุดต่าง ๆ รวมถึงสามารถเรียกดูกราฟผลลัพธ์ของสัญญาณและแผนภาพ คอนสเตลเลชันของการมอดูเลชันได้ โครงร่างการออกแบบชุดการเรียนรู้การมอดูเลชันและการ ดีมอดูเลชันมาตรฐาน 5G แสดงดังรูปที่ 3.1

💣 5G Standar	d							
5G Modulation	5G Channel Coding	5G High Physi	cal Layer 5G S	imulatio	n About			
<b>KXXIT</b> พระจอมเกล้าลาดกา		<mark>ร้อง</mark> การปส. ไม่ การป	<b>ปุดการเรียนรู้การม</b> Educational kit ไร้บทุนอุดหนุนจาก กอ his project was supp	มอดูเลชั่ : Modu เหทุนวิจัยแล ported by	นและดีมอดูเลชันในม lation and democ เะพัฒนากิจการกระจายเสียง The International Broad	าตรฐา dulati 1 กิจการ casting	าน 5G ion in 5G standard รโทรทัศน์ และกิจการโทรคม ; and Telecommunicatio	<b>ป</b> เนาคม เพื่อประโยชน์สาธารณะ (สำนักงาน r in Commission (NBTC).
Input	Modulatio	on 🔿	Noisy Channel	⇒	Demodulation	⇒	Output	
Inside	Inside		Inside		Inside		Inside	
Binary Number Generator	Modulatio	on →	Noisy Channel	$\rightarrow$	Demodulation	$\rightarrow$	Hard Decision	
Configuration	Configurati	on	Configuration		Configuration		Configuration	
Random	BPSK	-	AWGN 🔍		BPSK 🔍			
Input Length		S	NR (dB)	]	Max-Log 🔻			
Software OFPGA	• Software	FPGA	Software OFPGA		● Software ○ FPGA			
Run Clea	r Run C	ilear	Run Clear		Run Clear		Clear	
Signal Plot	Signal Plo	ot 🗌	Signal Plot		Signal Plot	) (	Signal Plot	
				_				

รูปที่ 3.1 โครงร่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

จาก รูปที่ 3.1 ชุดการเรียนรู้การมอดูเลซันและดีมอดูเลชันมาตรฐาน 5G ประกอบด้วย 5 องค์ประกอบ ได้แก่ อินพุต (Input) การมอดูเลชัน (Modulation) ช่องสัญญาณรบกวน (Noisy Channel) การดีมอดูเลชัน (Demodulation) และเอาต์พุต (Output) โดยแต่ละองค์ประกอบมี รายละเอียดดังนี้

- 1) อินพุต เป็นส่วนสร้างและแสดงผลอินพุต ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้
   1.1) ส่วนแสดงผลภายใน (Inside) ประกอบด้วย
  - บล็อกไดอะแกรม (Block Diagram) สำหรับแสดงบล็อกอินพุต
  - กล่องข้อความ (Text Box) สำหรับแสดงอินพุต
  - 1.2) ส่วนการกำหนดค่า (Configuration) ประกอบด้วย
    - กล่องตัวเลือก (Combo Box) สำหรับเลือกวิธีการป้อนอินพุต ผู้ใช้สามารถเลือก
       วิธีการป้อนอินพุตได้ 3 วิธี ได้แก่ การสร้างอินพุตแบบสุ่ม (Random) การป้อน
       อินพุตด้วยตนเอง (Fill-in) และการอัปโหลดรูปภาพ (Upload Image)
    - กล่องป้อนข้อความ (Entry Box) สำหรับป้อนความยาวของอินพุตหรือป้อน
       อินพุต กรณีที่ผู้ใช้เลือกการสร้างอินพุตแบบสุ่มผู้ใช้สามารถป้อนความยาวของ
       อินพุตตามต้องการได้ กรณีที่ผู้ใช้เลือกการป้อนอินพุตด้วยตัวเองผู้ใช้จะต้องป้อน
       อินพุตลงในกล่องข้อความ และกรณีที่ผู้ใช้เลือกการอัปโหลดรูปภาพ ระบบจะ
       แปลงรูปภาพเป็นบิตข้อมูลแบบใบนารีและกำหนดความยาวตามบิตข้อมูลของ
       รูปภาพในกล่องข้อความโดยอัตโนมัติ
    - ปุ่มวิทยุ (Radio Button) สำหรับเลือกช่องทางการสร้างอินพุต ผู้ใช้สามารถ เลือกช่องทางการสร้างอินพุตได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ซอฟต์แวร์ (Software) และการสร้างโดยใช้อุปกรณ์ FPGA
  - 1.3) ส่วนควบคุม ประกอบด้วย
    - ปุ่ม "Run" สำหรับดำเนินการสร้างอินพุต
    - ปุ่ม "Clear" สำหรับล้างค่าอินพุต
  - 1.4) ส่วนแสดงกราฟ ประกอบด้วย
    - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณอินพุต

 การมอดูเลชัน เป็นส่วนการมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การมอดูเลชัน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

2.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการมอดูเลชันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการมอดูเลชันสัญญาณ

2.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกรูปแบบการมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM
- ปุ่มวิทยุ สำหรับเลือกช่องทางการมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การมอดูเลชันโดยใช้ซอฟต์แวร์ และใช้อุปกรณ์ FPGA
- 2.3) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Run" สำหรับดำเนินการมอดูเลชันสัญญาณ
  - ปุ่ม "Clear" สำหรับล้างค่าผลลัพธิ์ของการมอดูเลชันสัญญาณ
- 2.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชัน
  - ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชั่นของสัญญาณ มอดูเลชั่น

 ช่องสัญญาณ เป็นส่วนสร้างช่องสัญญาณรบกวนและแสดงผลลัพธ์ของสัญญาณมอดูเลชัน ที่ผ่านช่องสัญญาณรบกวน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

3.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกช่องสัญญาณรบกวน
- กล่องข้อความ สำหรับแสดงผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน
- 3.2) ส่วนการกำหนดค่า ประกอบด้วย
  - กล่องตัวเลือก สำหรับเลือกรูปแบบสัญญาณรบกวน ผู้ใช้สามารถเลือกรูปแบบ ของช่องสัญญาณรบกวนได้ 2 รูปแบบ ได้แก่ AWGN Channel และ Fading Channel
  - กล่องป้อนข้อความ สำหรับป้อนค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (Signal-to-Noise Ratio: SNR)
  - ปุ่มวิทยุ สำหรับเลือกช่องทางการสร้างสัญญาณรบกวนและรวมสัญญาณ มอดูเลชันเข้ากับสัญญาณรบกวน ผู้ใช้สามารถเลือกช่องทางการสร้างสัญญาณ รบกวนและรวมสัญญาณมอดูเลชันได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ ซอฟต์แวร์ และการสร้างโดยใช้อุปกรณ์ FPGA

3.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการสร้างสัญญาณรบกวนและรวมสัญญาณมอดูเลชัน เข้ากับสัญญาณรบกวน
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน

3.4) ส่วนแสดงกราฟ ประกอบด้วย

- ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน
- ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชันของสัญญาณ มอดูเลชันที่ผ่านช่องสัญญาณรบกวน

 การดีมอดูเลชัน เป็นส่วนการดีมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การดีมอดูเลชันสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

4.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการดีมอดูเลชันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการดีมอดูเลชันสัญญาณ

4.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกรูปแบบการดีมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการดีมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM
- กล่องตัวเลือก สำหรับเลือกอัลกอริทึมการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือก
   อัลกอริทึมการดีมอดูเลชันได้ 2 อัลกอริทึม ได้แก่ Mag-Log และ LUT
- ปุ่มวิทยุ สำหรับเลือกช่องทางการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการดีมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การดีมอดูเลชันโดยใช้ ซอฟต์แวร์ และการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA

4.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการเข้าดีมอดูเลชันสัญญาณ
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการดีมอดูเลชันสัญญาณ
- 4.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการดีมอดูเลชัน สัญญาณ
- 5) เอาต์พุต เป็นแสดงผลลัพธ์ของการดีมอดูเลชัน ซึ่งประกอบด้วยส่วนย่อย 3 ส่วน ดังนี้
   5.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย
  - บล็อกไดอะแกรม สำหรับแสดงบล็อกเอาต์พุต

- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการตัดสินใจบิต (Hard Decision)
- 5.2) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Clear" สำหรับล้างค่าของผลลัพธ์
- 5.3) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์

นอกจากนี้ ผู้ใช้สามารถเลือกการทำงานของแต่ละองค์ประกอบด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการกำหนดค่า สำหรับการทำงานด้วยซอฟต์แวร์แต่ละ องค์ประกอบจะเรียกใช้ Module การทำงานภาษา Python ที่สอดคล้องกัน ดังแสดงในรูปที่ 3.2 โดย แต่ละองค์ประกอบจะเรียกใช้ Module ดังตารางที่ 3.1

ตารางที่ 3.1 การเรียกใช้ซอฟต์แวร์ Module ของแต่ละองค์ประกอบของชุดการเรียนรู้ การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G

องค์ประกอบ	Module
อินพุต (Input)	randomInput.py
การมอดูเลชัน (Modulation)	modulation.py
ช่องสัญญาณ (Noisy Channel)	Channel.py
การดีมอดูเลชัน (Demodulation)	deodulation.py
	demodulation_LUT.py

สำหรับการทำงานด้วยอุปกรณ์ FPGA แต่ละองค์ประกอบจะเรียกใช้ Module การทำงาน บนอุปกรณ์ FPGA ที่สอดคล้องกัน โดยส่งข้อมูลการกำหนดค่าบน GUI ไปยังอุปกรณ์ FPGA และรับ เอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.3 ทั้งนี้ ผู้ใช้สามารถเลือกการทำงานด้วยซอฟต์แวร์ใน บางองค์ประกอบและเลือกการทำงานด้วยอุปกรณ์ FPGA ในบางองค์ประกอบได้

So Standadie         So Modulation       So Dannel Coding       So High Physical Layer       So Simulation       About         Image: I		GUI (Python)		Software (Python)
St Modulation       So Helph Physical Layer       St Simulation       About         Image: Im	5G Standard			
With With With With With With With With	5G Modulation 5G Channel Coding 5G High P	Physical Layer 5G Simulation About		
Input       Modulation       Noly Charnel.       Demodulation       Output         Inide       Inide       Inide       Inide       Inide         Binary Number       Modulation       Heid Decision       Image       Image         Binary Number       Modulation       Bemodulation       Heid Decision       Image         Image       Modulation       Bemodulation       Heid Decision       Image         Image       Image       Image       Image       Image       Image         Image       Image       Image       Image       Image       Image       Image         Image       Image       Image       Image       Image       Image       Image       Image       Image       Image       Image       Image <t< td=""><td>VISUGELLA D'ATRANSOUR</td><td>ซุดการเรียนรู้การมอดูเลขับและทีมอดูเลขับในมาตรฐ Educational kit: Modulation and demodulat ให้ปัญนุณุณฐาก กลรุบให้และทัดมากิจการกระระเรียง กิจกา This project was supported by The International Broadcastin</td><td>าน 5G ion in SG standard นักษัศน์ และกิจการโทรคมนาคม เรื่อประโยชน์สาธารณะ (สำนักงาน กลาง.) สุทศ Telecommunication Commission (NSTC).</td><td>randomInput.py</td></t<>	VISUGELLA D'ATRANSOUR	ซุดการเรียนรู้การมอดูเลขับและทีมอดูเลขับในมาตรฐ Educational kit: Modulation and demodulat ให้ปัญนุณุณฐาก กลรุบให้และทัดมากิจการกระระเรียง กิจกา This project was supported by The International Broadcastin	าน 5G ion in SG standard นักษัศน์ และกิจการโทรคมนาคม เรื่อประโยชน์สาธารณะ (สำนักงาน กลาง.) สุทศ Telecommunication Commission (NSTC).	randomInput.py
Indde       Indde       Indde       Indde       Indde         Binays Hondry       Modulation       Hind       Demodulation       Hind       Hind         Binays Hondry       Modulation       Hind       Demodulation       Hind       Hind       Demodulation         Image       Image       Image       Demodulation       Image       Image       Image         Image       Image       Image       Image       Image       Image       Image       Image         Image       Im	Input 🗭 Modulation 🗭	Noisy Channel 🗭 Demodulation 🔿	Output	
Configuration       Configuration       Configuration       Configuration         Configuration       Configuration       Configuration       Configuration         Brock       Image: Configuration       Emodulation       Configuration         Brock       Image: Configuration       Emodulation       Configuration         Brock       Image: Configuration       Emodulation       Emodulation         Brock       Ren       Clear       Signal Foct       Signal Foct         Signal Foc	Inside Inside	Inside Inside	Inside	
Image: Configuration     Configuration     Configuration     Configuration     Configuration       Bracker     BPSK     Image: Configuration     Configuration     Configuration       Bracker     BPSK     Image: Configuration     Configuration       Bracker     Bracker     BPSK     Image: Configuration       Bracker     Bracker     Image: Configuration     Configuration       Bracker     Bracker     Image: Configuration     Configuration       Bracker     Bracker     Image: Configuration     Image: Configuration       Bracker     Bracker     Image: Configuration     Image: Configuration	Generator → Modulation →	Channel → Demodulation →	Hard Decision	+
Configuration     Configuration     Configuration     Configuration       Bandom **     BPSK **     AIGN **     BPSK **       input length     398 (d8)     MeeLog **       **     Statuse OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA       Ø schware OrrSA     Ø schware OrrSA     Ø schware OrrSA				modulation.py
Configuration     Configuration     Configuration     Configuration     Configuration       Bendom     B95K     B95K     Marclag     Configuration     Configuration       Input Length     B95K     SR6 (dB)     Maelog     Maelog     Maelog       Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick       Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick     Image: Software Offsick				
Configuration     Configuration     Configuration     Configuration       Bendom     BSX     V       Hoput Length     SR6 (d8)     BSX       Statuse OfF6A     @ Schware OfF6A     @ Schware OfF6A       @ Schware OfF6A     @ Schware OfF6A     @ Schware OfF6A       Band Clear     Ran     Clear       Band Clear     Ran     Clear       Band Clear     Signal Rot     Signal Rot				Channel.ov
Bendom     V     AMGAL     V       Hipst Length     SR (68)     Marclag       Statuse Official     Schware Official     Bothware Official       Bischware Official     Bothware Official     Bothware Official       Bischware Of	Configuration Configuration	Configuration Configuration	Configuration	
Input Length     Self (dB)     MaeLog       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image: Schware OffSA       Image: Schware OffSA     Image: Schware OffSA     Image	Random V BPSK V	AWGN v		
Image: Statest OffSA       Run     Clear     Run     Clear     Run     Clear       Signal Rot     Signal Rot     Signal Rot     Signal Rot	Input Length	SNR (dB) Max-Log V		
Ø Schware Official             Ø Schware Official				
Run     Clear     Run     Clear     Clear     Clear     Clear     demodulation_LUT.py       Signal Rot     Signal Rot     Signal Rot     Signal Rot     Signal Rot	Software OFPGA     Software OFPGA	Software OFPGA     Software OFPGA		demodulation.py
Signal Plot Signal Plot Signal Plot	Run Clear Run Clear	Run Clear Run Clear	Clear	demodulation_LUT.py
	Signal Plot Signal Plot	Signal Plot Signal Plot	Signal Plot	
Constellation Plot Constellation Plot	Constellation Plot	Constellation Plot		

รูปที่ 3.2 ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G เชื่อมต่อกับซอฟต์แวร์

GUL (Python)	FPGA Board
56 <sup>®</sup> 56 Stendard           36 Modulation         56 Channel Coding         56 High Physical Layer         56 Simulation         About	
	Input Generator
Input 🖶 Modulation 🖶 Noisy Channel 🗭 Demodulation 🔿 Output	
Inside Inside Inside Inside Inside	
Binary Marder     →     Modulation     →     Modulation     →     Dannet	Modulator
Configuration         Configuration         Configuration         Configuration           Rendom         *         BPSK         *         BPSK         *           Input Length         SVR (d8)         MaxLog         *         MaxLog         *	Noise Generator
Øishnere () MGA             Øishnere () MGA             Øishnere () MGA               Øishnere () MGA                 Run             Clear               Run             Clear               Run             Clear               Clear	Demodulator
Signal Plot Signal Plot Signal Plot Signal Plot	
Constellation Plot Constellation Plot	

รูปที่ 3.3 ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชันมาตรฐาน 5G เชื่อมต่อกับอุปกรณ์ FPGA

## 3.1.2 การออกแบบชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G

โครงการนี้ออกแบบซอฟต์แวร์ GUI ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณ มาตรฐาน 5G โดยใช้ภาษา Python เพื่อให้ผู้ใช้งานสามารถเรียนรู้กระบวนการเข้ารหัสและถอดรหัส ช่องสัญญาณมาตรฐาน 5G ได้โดยง่าย ซึ่งผู้ใช้งานจะสามารถเห็นกระบวนการทำงานตั้งแต่การสร้าง ข้อมูลแบบสุ่มหรือนำเข้าข้อมูลอินพุต การเข้ารหัสช่องสัญญาณ การมอดูเลชัน การส่งผ่าน ช่องสัญญาณรบกวน การดีมอดูเลชัน และการถอดรหัสช่องสัญญาณ นอกจากนี้ผู้ใช้งานสามารถดู ผลลัพธ์ ณ จุดต่าง ๆ รวมถึงสามารถเรียกดูกราฟผลลัพธ์ของสัญญาณและแผนภาพคอนสเตลเลชัน ของการมอดูเลชันได้ โครงร่างการออกแบบชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณ มาตรฐาน 5G แสดงดังรูปที่ 3.4





จากรูปที่ 3.4 ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G ประกอบด้วย 7 องค์ประกอบ ได้แก่ อินพุต (Input) การเข้ารหัสช่องสัญญาณ (Encoding) การมอดูเลชัน (Modulation) ช่องสัญญาณ (Noisy Channel) การดีมอดูเลชัน (Demodulation) การถอดรหัสช่องสัญญาณ (Decoding) และเอาต์พุต (Output) โดยแต่ละองค์ประกอบมีรายละเอียดดังนี้

1) อินพุต เป็นส่วนสร้างและแสดงผลอินพุต ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

- 1.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย
  - บล็อกไดอะแกรม สำหรับแสดงบล็อกอินพุต
  - กล่องข้อความ สำหรับแสดงอินพุต

1.2) ส่วนการกำหนดค่า ประกอบด้วย

 กล่องตัวเลือก สำหรับเลือกวิธีการป้อนอินพุต ผู้ใช้สามารถเลือกวิธีการป้อน อินพุตได้ 3 วิธี ได้แก่ การสร้างอินพุตแบบสุ่ม การป้อนอินพุตด้วยตนเอง และ การอัปโหลดรูปภาพ

- กล่องป้อนข้อความ สำหรับป้อนความยาวของอินพุตหรือป้อนอินพุต กรณีที่ผู้ใช้ เลือกการสร้างอินพุตแบบสุ่มผู้ใช้สามารถป้อนความยาวของอินพุตตามต้องการ ได้ กรณีที่ผู้ใช้เลือกการป้อนอินพุตด้วยตัวเองผู้ใช้จะต้องป้อนอินพุตลงในกล่อง ข้อความ และกรณีที่ผู้ใช้เลือกการอัปโหลดรูปภาพ ระบบจะแปลงรูปภาพเป็นบิต ข้อมูลแบบไบนารีและกำหนดความยาวตามบิตข้อมูลของรูปภาพในกล่อง ข้อความโดยอัตโนมัติ
- ปุ่มวิทยุ สำหรับเลือกช่องทางการสร้างอินพุต ผู้ใช้สามารถเลือกช่องทางการสร้าง
   อินพุตได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ซอฟต์แวร์ และการสร้างโดยใช้
   อุปกรณ์ FPGA
- 1.3) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Run" สำหรับดำเนินการสร้างอินพุต
  - ปุ่ม "Clear" สำหรับล้างค่าอินพุต
- 1.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณอินพุต

 การเข้ารหัสช่องสัญญาณ เป็นส่วนการเข้ารหัสช่องสัญญาณตามมาตรฐาน 5G และแสดง ผลลัพธ์ของการเข้ารหัสช่องสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

2.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงกระบวนการเข้ารหัสช่องสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้ในแต่ละขั้นตอนของกระบวนการ เข้ารหัสช่องสัญญาณ

2.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกช่องสัญญาณกายภาพ (Physical Channel) ผู้ใช้ สามารถเลือกช่องสัญญาณกายภาพได้ 5 ช่องสัญญาณ ได้แก่ Physical Uplink Share Channel (PUSCH), Physical Uplink Control Channel (PUCCH), Physical Broadcast Channel (PBCH), Physical Downlink Share Channel (PDSCH) และ Physical Downlink Control Channel (PDCCH)
- กล่องตัวเลือก สำหรับเลือกพารามิเตอร์ในการเข้ารหัสช่องสัญญาณ สำหรับกรณี PUSCH และ PDSCH จะเป็นการเลือกกราฟฐาน (Base Graph) และสำหรับ กรณี PUCCH PDCCH และ PBCH จะเป็นการเลือกความยาวของคำรหัส (Codeword Length)
- ปุ่มวิทยุ สำหรับเลือกช่องทางการเข้ารหัสช่องสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการเข้ารหัสช่องสัญญาณได้ 2 ช่องทาง ได้แก่ การเข้ารหัสโดยใช้ซอฟต์แวร์ และการเข้ารหัสโดยใช้อุปกรณ์ FPGA

2.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการเข้ารหัสช่องสัญญาณ
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการเข้ารหัสช่องสัญญาณ
- 2.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการเข้ารหัส ช่องสัญญาณ

 การมอดูเลชัน เป็นส่วนการมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การมอดูเลชัน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

3.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการมอดูเลชันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการมอดูเลชันสัญญาณ
- 3.2) ส่วนการกำหนดค่า ประกอบด้วย
  - กล่องตัวเลือก สำหรับเลือกรูปแบบการมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM อย่างไรก็ตาม ตัวเลือกของ รูปแบบการมอดูเลชันจะเปลี่ยนแปลงตามช่องสัญญาณกายภาพที่เลือกในส่วน การกำหนดค่าของการเข้ารหัสช่องสัญญาณ
  - ปุ่มวิทยุ สำหรับเลือกช่องทางการมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การมอดูเลชันโดยใช้ซอฟต์แวร์ และการมอดูเลชันโดยใช้อุปกรณ์ FPGA
- 3.3) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Run" สำหรับดำเนินการมอดูเลชันสัญญาณ
  - ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการมอดูเลชันสัญญาณ
- 3.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชัน
  - ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชั่นของสัญญาณ มอดูเลชั่น

 ช่องสัญญาณ เป็นส่วนสร้างช่องสัญญาณรบกวนและแสดงผลลัพธ์ของสัญญาณมอดูเลชัน ที่ผ่านช่องสัญญาณรบกวน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

- 4.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย
  - บล็อกไดอะแกรม สำหรับแสดงบล็อกช่องสัญญาณรบกวน

 กล่องข้อความ สำหรับแสดงผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน

4.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกรูปแบบสัญญาณรบกวน ผู้ใช้สามารถเลือกรูปแบบ ของช่องสัญญาณรบกวนได้ 2 รูปแบบ ได้แก่ AWGN Channel และ Fading Channel
- กล่องป้อนข้อความ สำหรับป้อนค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวน
- ปุ่มวิทยุ สำหรับเลือกช่องทางการสร้างสัญญาณรบกวนและรวมสัญญาณมอดูเล ชันเข้ากับสัญญาณรบกวน ผู้ใช้สามารถเลือกช่องทางการสร้างสัญญาณรบกวน และรวมสัญญาณมอดูเลซันได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ซอฟต์แวร์ และ การสร้างโดยใช้ FPGA

4.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการสร้างสัญญาณรบกวนและรวมสัญญาณมอดูเลชัน เข้ากับสัญญาณรบกวน
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน

4.4) ส่วนแสดงกราฟ ประกอบด้วย

- ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน
- ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชันของสัญญาณ มอดูเลชันที่ผ่านช่องสัญญาณรบกวน

5) การดีมอดูเลชัน เป็นส่วนการดีมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การดีมอดูเลชันสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

5.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการดีมอดูเลชันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการดีมอดูเลชันสัญญาณ

5.2) ส่วนการกำหนดค่า ประกอบด้วย

 กล่องตัวเลือก สำหรับเลือกรูปแบบการดีมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการดีมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM อย่างไรก็ตาม ตัวเลือกของ รูปแบบการดีมอดูเลชันจะเปลี่ยนแปลงตามช่องสัญญาณกายภาพที่เลือกในส่วน การกำหนดค่าของการเข้ารหัสช่องสัญญาณ และสอดคล้องกับการมอดูเลชัน

- กล่องตัวเลือก สำหรับเลือกอัลกอริทึมการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือก
   อัลกอริทึมการดีมอดูเลชันได้ 2 อัลกอริทึม ได้แก่ Mag-Log และ LUT
- ปุ่มวิทยุ สำหรับเลือกช่องทางการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการดีมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การดีมอดูเลชันโดยใช้ ซอฟต์แวร์ และการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA

5.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการดีมอดูเลชันสัญญาณ
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการดีมอดูเลชันสัญญาณ
- 5.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการดีมอดูเลชัน สัญญาณ

6) การถอดรหัสช่องสัญญาณ เป็นส่วนการถอดรหัสช่องสัญญาณตามมาตรฐาน 5G และ แสดงผลลัพธ์ของการถอดรหัสช่องสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

6.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงกระบวนการถอดรหัสช่องสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้ในแต่ละขั้นตอนของกระบวนการถอดรหัส ช่องสัญญาณ

6.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกช่องสัญญาณกายภาพ ผู้ใช้สามารถเลือกช่องสัญญาณ กายภาพได้ 5 ช่องสัญญาณ PUSCH, PUCCH, PBCH, PDSCH และ PDCCH อย่างไรก็ตามช่องสัญญาณกายภาพที่เลือกต้องสอดคล้องกับช่องสัญญาณกายภาพ ที่เลือกในการเข้ารหัสช่องสัญญาณ
- กล่องตัวเลือก สำหรับเลือกอัลกอริทึมการถอดรหัสช่องสัญญาณ โดยในกรณี PUSCH และ PDSCH ผู้ใช้สามารถเลือกอัลกอริทึมการถอดรหัสได้ 4 อัลกอริทึม ได้แก่ Belief Propagation, Min-Sum, Normalized Min-Sum และ Offset Min-Sum และในกรณี PUCCH, PDCCH และ PBCH ผู้ใช้สามารถเลือก อัลกอริทึมการถอดรหัสได้ 3 อัลกอริทึม ได้แก่ Successive Cancellation, Successive Cancellation List และ Belief Propagation
- กล่องป้อนข้อความ สำหรับป้อนพารามิเตอร์ในการถอดรหัสช่องสัญญาณ
- ปุ่มวิทยุ สำหรับเลือกช่องทางการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการดีมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การดีมอดูเลชันโดยใช้ ซอฟต์แวร์ และการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA

6.3) ส่วนควบคุม ประกอบด้วย

ปุ่ม "Run" สำหรับดำเนินการถอดรหัสช่องสัญญาณ

- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการถอดรหัสช่องสัญญาณ
- 6.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการถอดรหัส ช่องสัญญาณ

 อาต์พุต เป็นแสดงผลลัพธ์ของการถอดรหัสช่องสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 3 ส่วน ดังนี้

- 7.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย
  - กล่องข้อความ สำหรับแสดงผลลัพธ์
- 7.2) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Clear" สำหรับล้างค่าของผลลัพธ์
- 7.3) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์

นอกจากนี้ ผู้ใช้สามารถเลือกการทำงานของแต่ละองค์ประกอบด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้ โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการกำหนดค่า สำหรับการทำงานด้วยซอฟต์แวร์แต่ละองค์ประกอบ จะเรียกใช้ Module การทำงานภาษา Python ที่สอดคล้องกัน ดังแสดงในรูปที่ 3.5 โดยแต่ละ องค์ประกอบจะเรียกใช้ Module ดังตารางที่ 3.2

ตารางที่ 3.2 การเรียกใช้ซอฟต์แวร์ Module ของแต่ละองค์ประกอบของชุดการเรียนรู้ การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G

องค์ประกอบ	Module		
อินพุต (Input)	randomInput.py		
การเข้ารหัสช่องสัญญาณ (Encoding)	PolarEncoderModule.py		
	LDPCEncoderModule.py		
การมอดูเลซัน (Modulation)	modulation.py		
ช่องสัญญาณ (Noisy Channel)	Channel.py		
การถอดรหัสช่องสัญญาณ (Decoding)	PolarDecoderModule.py		
	LDPCDecoderModule.py		
การดีมอดูเลซัน (Demodulation)	deodulation.py		
	demodulation_LUT.py		

สำหรับการทำงานด้วยอุปกรณ์ FPGA แต่ละองค์ประกอบจะเรียกใช้ Module การทำงาน บนอุปกรณ์ FPGA ที่สอดคล้องกัน โดยส่งข้อมูลการกำหนดค่าบน GUI ไปยังอุปกรณ์ FPGA และรับ เอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.6 ทั้งนี้ ผู้ใช้สามารถเลือกการทำงานด้วยซอฟต์แวร์ใน บางองค์ประกอบและเลือกการทำงานด้วยอุปกรณ์ FPGA ในบางองค์ประกอบได้

				GUI (Python)	•		Software (Python)
5a Standard							
5G Modulation 5G	Channel Coding 5G High Physical Layer 5	G Simulation About					
KMITL	Kanal Sanal Sana	ารเข้ารพัฒนะถอดรพัสซ่อ kit: Channel coding in nonyปรัฒนะพัฒนาใจการกร upported by The Internationa	เหล็ญญาณใหมาตรฐาน 5G i 5G standard จายมีละ กิจการ์เกรลักร์ และกิจกา i Broadcasting and Telecommu	ร์พรคมมาคม เพื่อประโยชน์สาธารอ nication Commission 0487C).	อะ (สำนักกาม กราคะ)		randominput.py
Input	Encoding	Modulation	Noisy Channel	Demodulation	Decoding	Output	PolarEncoderModule.pv
linside	Inside Dolar	Inside	Inside	Inside	Inside Dolar	Inside	LDPCEncoderModule.py
Generator	→ Sequencing → Encoding -	Modulation -	Noisy Channel	Demodulation -	Decoding → Desequencing →		
							, i i i i i i i i i i i i i i i i i i i
							modulation.py
							Channel.py
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	
Random V	PUCCH Y	BPSK V	AW9N V	BPSK ~	PUCOH V		demodulation.py
Input Length	Codeword Length		SNR (dB)	Max-Log ~	Successive Cancellation		demodulation_LUT.py
Software Official	Software OFFGA	Software OFPGA	● Software ○FPGA	● Software ○FPGA	Software OFFEA		PolarDecoderModule.py
Run Clear	Run Clear	Run Clear	Run Clear	Run Clear	Ran Clear	Clear	LDPCDecoderModule.py
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Hot	
		Constellation Plot	Constellation Plot				

รูปที่ 3.5 ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G เชื่อมต่อกับซอฟต์แวร์

		GUI (Python)		FPGA Board
56 Standard				
SG Modulation SG Channel Coding SG High Physical Layer SG HIGH Sector State S	6 Simulation About ารเข้าวหัสและถอดาหัสข่องสัญญาณในมาตรฐาน kit: Channel.coding in 5G standard กองรูปวัฒนอหันมาใจการแขายเป็น กิจการัสขทัศน์ แล upported by The international Bioadcasting and Teleco	ม 5G สโรการักษณาคม เพียงไม่อาลักรารณ (คำนักระ กระก.) อาหาศาสตร Commission (IBTC).		Input Generator
Input  Encoding	Modulation Noisy Channel	Demodulation     Decoding     Inside	Output	
Image         Image         Polar         Image         Image <t< td=""><td>Modulation</td><td>Demodulation     Demodulation     The process of the proces of the proces of the process of the process of</td><td>→</td><td>Modulator</td></t<>	Modulation	Demodulation     Demodulation     The process of the proces of the proces of the process of the process of	→	Modulator
				Noise Generator
Configuration Configuration	Configuration Configuration	Configuration Configuration	Configuration	
Input Length Codeword Length	AWSN V	Mae-Log v PUCCH v Successive Cancellation v		Demodulator
Software OFPGA     Software OFPGA	Sothare OPEA     Sothare OPEA	Sofbare OFFGA     Sofbare OFFGA		
Run Clear Run Clear	Run Clear Run Clear	Run Clear Run Clear	Clear	Channel Decoder
Signal. Plot Signal. Plot	Signal Plot Signal Plot	Signal Plot Signal Plot	Signal Plot	
	Constellation Plot Constellation Plot			

รูปที่ 3.6 ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G เชื่อมต่อกับอุปกรณ์ FPGA

## 3.1.3 การออกแบบชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

โครงการนี้ออกแบบซอฟต์แวร์ GUI ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G โดยใช้ภาษา Python เพื่อให้ผู้ใช้งานสามารถเรียนรู้กระบวนทำงานของฟิสิคัลเยอร์ ลำดับสูง (High Physical Layer Processing) ตามมาตรฐาน 5G ได้โดยง่าย ซึ่งผู้ใช้งานจะสามารถ เห็นกระบวนการทำงานตั้งแต่การสร้างข้อมูลแบบสุ่มหรือนำเข้าข้อมูลอินพุต การเข้ารหัสและปรับ อัตรารหัส การสแครม (Scrambling) การมอดูเลชัน การส่งผ่านช่องสัญญาณรบกวน การดีมอดูเลชัน การดีสแครม (Descrambling) และการถอดรหัสและปรับอัตรารหัส นอกจากนี้ผู้ใช้งานสามารถดู ผลลัพธ์ ณ จุดต่าง ๆ รวมถึงสามารถเรียกดูกราฟผลลัพธ์ของสัญญาณและแผนภาพคอนสเตลเลชัน ของการมอดูเลชันได้ โครงร่างการออกแบบชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G แสดงดังรูปที่ 3.7



รูปที่ 3.7 โครงร่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

จากรูปที่ 3.7 ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G ประกอบด้วย 9 องค์ประกอบ ได้แก่ อินพุต (Input) การเข้ารหัสและปรับอัตรารหัส (Coding and Rate Matching) การสแครม (Scrambling) การมอดูเลชัน (Modulation) ช่องสัญญาณ (Noisy Channel) การดีมอดูเลชัน (Demodulation) การดีสแครม (Descrambling) การถอดรหัสและปรับ อัตรารหัส (De-coding and Rate Matching) และเอาต์พุต (Output) โดยแต่ละองค์ประกอบมี รายละเอียดดังนี้

- 1) อินพุต เป็นส่วนสร้างและแสดงผลอินพุต ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้
  - 1.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย
    - บล็อกไดอะแกรม สำหรับแสดงบล็อกอินพุต
    - กล่องข้อความ สำหรับแสดงอินพุต
  - 1.2) ส่วนการกำหนดค่า ประกอบด้วย
    - กล่องตัวเลือก สำหรับเลือกวิธีการป้อนอินพุต ผู้ใช้สามารถเลือกวิธีการป้อน อินพุตได้ 3 วิธี ได้แก่ การสร้างอินพุตแบบสุ่ม การป้อนอินพุตด้วยตนเอง และ การอัปโหลดรูปภาพ
    - กล่องป้อนข้อความ สำหรับป้อนความยาวของอินพุตหรือป้อนอินพุต กรณีที่ผู้ใช้ เลือกการสร้างอินพุตแบบสุ่มผู้ใช้สามารถป้อนความยาวของอินพุตตามต้องการ ได้ กรณีที่ผู้ใช้เลือกการป้อนอินพุตด้วยตัวเองผู้ใช้จะต้องป้อนอินพุตลงในกล่อง ข้อความ และกรณีที่ผู้ใช้เลือกการอัปโหลดรูปภาพ ระบบจะแปลงรูปภาพเป็นบิต

ข้อมูลแบบไบนารีและกำหนดความยาวตามบิตข้อมูลของรูปภาพในกล่อง ข้อความโดยอัตโนมัติ

 ปุ่มวิทยุ สำหรับเลือกช่องทางการสร้างอินพุต ผู้ใช้สามารถเลือกช่องทางการสร้าง อินพุตได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ซอฟต์แวร์ และการสร้างโดยใช้ อุปกรณ์ FPGA

1.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการสร้างอินพุต
- ปุ่ม "Clear" สำหรับล้างค่าอินพุต
- 1.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณอินพุต

 การเข้ารหัสและปรับอัตรารหัส เป็นส่วนการเข้ารหัสช่องและปรับอัตรารหัสตามมาตรฐาน
 5G และแสดงผลลัพธ์ของแต่ละขั้นตอนในกระบวนการเข้ารหัสและปรับอัตรารหัส ซึ่งประกอบด้วย ส่วนย่อย 4 ส่วน ดังนี้

2.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงกระบวนการเข้ารหัสและปรับอัตรารหัส
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้ในแต่ละขั้นตอนของกระบวนการ เข้ารหัสและปรับอัตรารหัส

2.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกช่องสัญญาณกายภาพ ผู้ใช้สามารถเลือกช่องสัญญาณ กายภาพได้ 5 ช่องสัญญาณ ได้แก่ PUSCH, PUCCH, PBCH, PDSCH และ PDCCH
- กล่องป้อนข้อความและกล่องตัวเลือก สำหรับเลือกพารามิเตอร์ในการเข้ารหัส และปรับอัตรารหัส สำหรับกรณี PUSCH และ PDSCH จะต้องป้อนหรือเลือก พารามิเตอร์ 5 ค่า ได้แก่ อัตรารหัส (Rate) จำนวนบิตต่อสัญลักษณ์ (Qm) จำนวนชั้นหรือพอร์ต (N\_L) ข้อจำกัดดรรชนีของบัฟเฟอร์ (I\_LBRM) และลำดับ ของส่วนซ้ำซ้อน (rv\_id) สำหรับกรณี PUCCH, PDCCH และ PBCH จะต้องป้อน ความยาวรหัสหลังการพังค์เจอร์ (Punctured Codeword Length) อย่างไรก็ตาม ในกรณี PBCH ความยาวหลังการพังค์เจอร์จะถูกกำหนดไว้ตายตัวที่ 864 บิต
- ปุ่มวิทยุ สำหรับเลือกช่องทางการเข้ารหัสและปรับอัตรารหัส ผู้ใช้สามารถเลือก ช่องทางการเข้ารหัสเข้ารหัสและปรับอัตรารหัสได้ 2 ช่องทาง ได้แก่ การเข้ารหัส โดยใช้ซอฟต์แวร์ และการเข้ารหัสโดยใช้อุปกรณ์ FPGA

2.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการเข้ารหัสและปรับอัตรารหัส
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการเข้ารหัสและปรับอัตรารหัส

2.4) ส่วนแสดงกราฟ ประกอบด้วย

 ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการเข้ารหัสและปรับ อัตรารหัส

3) การสแครม เป็นส่วนการรวมสัญญาณที่ได้จากการเข้ารหัสและปรับอัตรารหัสเข้ากับ ลำดับการสแครม (Scrambling Sequence) แบบมอดูโลสอง (Modulo-2) และแสดงผลลัพธ์ของ การสแครม ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

3.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการสแครม
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการสแครม
- 3.2) ส่วนการกำหนดค่า ประกอบด้วย
  - กล่องตัวเลือก สำหรับเลือกรูปแบบการสร้างลำดับการสแครม ผู้ใช้สามารถเลือก รูปแบบการสร้างลำดับการสแครมได้ 3 รูปแบบ ได้แก่ การใช้ลำดับแบบตายตัว (Fixed Sequence) การสร้างลำดับแบบสุ่มเทียม (Pseudo-Random Sequence) และการป้อน ลำดับด้วยตนเอง (Fill-in) อย่างไรก็ตาม ลำดับที่สร้างขึ้นหรือผู้ใช้ป้อนจะมีความ ยาวเท่ากับเอาต์พุตที่ได้จากการเข้ารหัสและปรับอัตรารหัส
  - ปุ่มวิทยุ สำหรับเลือกช่องทางการสแครม ผู้ใช้สามารถเลือกช่องทางการสแครม
     ได้ 2 ช่องทาง ได้แก่ การการสแครมโดยใช้ซอฟต์แวร์ และการสแครมโดยใช้
     อุปกรณ์ FPGA

3.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการสแครม
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการสแครม

3.4) ส่วนแสดงกราฟ ประกอบด้วย

• ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการสแครม

 การมอดูเลชัน เป็นส่วนการมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การมอดูเลชัน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

4.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการมอดูเลซันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการมอดูเลชันสัญญาณ

4.2) ส่วนการกำหนดค่า ประกอบด้วย

 กล่องตัวเลือก สำหรับเลือกรูปแบบการมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM อย่างไรก็ตาม ตัวเลือกของ รูปแบบการมอดูเลชันจะเปลี่ยนแปลงตามช่องสัญญาณกายภาพที่เลือกในส่วน การกำหนดค่าของการเข้ารหัสช่องและปรับอัตรารหัส

 ปุ่มวิทยุ สำหรับเลือกช่องทางการมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การมอดูเลชันโดยใช้ซอฟต์แวร์ และการมอดูเลชันโดยใช้อุปกรณ์ FPGA

4.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการมอดูเลชันสัญญาณ
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการมอดูเลชันสัญญาณ

4.4) ส่วนแสดงกราฟ ประกอบด้วย

- ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชัน
- ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชั่นของสัญญาณ มอดูเลชั่น

 ช่องสัญญาณ เป็นส่วนสร้างช่องสัญญาณรบกวนและแสดงผลลัพธ์ของสัญญาณมอดูเลชัน ที่ผ่านช่องสัญญาณรบกวน ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

5.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกช่องสัญญาณรบกวน
- กล่องข้อความ สำหรับแสดงผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน

5.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกรูปแบบสัญญาณรบกวน ผู้ใช้สามารถเลือกรูปแบบ ของช่องสัญญาณรบกวนได้ 2 รูปแบบ ได้แก่ AWGN Channel และ Fading Channel
- กล่องป้อนข้อความ สำหรับป้อนค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวน
- 5.3) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Run" สำหรับดำเนินการสร้างสัญญาณรบกวนและรวมสัญญาณมอดูเลชัน เข้ากับสัญญาณรบกวน
  - ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์สัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน
  - ปุ่มวิทยุ สำหรับเลือกช่องทางการสร้างสัญญาณรบกวนและรวมสัญญาณมอดูเล ชันเข้ากับสัญญาณรบกวน ผู้ใช้สามารถเลือกช่องทางการสร้างสัญญาณรบกวน และรวมสัญญาณมอดูเลซันได้ 2 ช่องทาง ได้แก่ การสร้างโดยใช้ซอฟต์แวร์ และ การสร้างโดยใช้อุปกรณ์ FPGA

5.4) ส่วนแสดงกราฟ ประกอบด้วย

- ปุ่ม "Signal Plot" สำหรับแสดงกราฟของสัญญาณมอดูเลชันที่ผ่านช่องสัญญาณ รบกวน
- ปุ่ม "Constellation Plot" สำหรับแสดงแผนภาพคอนสเตลเลชันของสัญญาณ มอดูเลชันที่ผ่านช่องสัญญาณรบกวน

 การดีมอดูเลชัน เป็นส่วนการดีมอดูเลชันสัญญาณตามมาตรฐาน 5G และแสดงผลลัพธ์ของ การดีมอดูเลชันสัญญาณ ซึ่งประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

6.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการดีมอดูเลชันสัญญาณ
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการดีมอดูเลชันสัญญาณ
- 6.2) ส่วนการกำหนดค่า ประกอบด้วย
  - กล่องตัวเลือก สำหรับเลือกรูปแบบการดีมอดูเลชันสัญญาณมาตรฐาน 5G ผู้ใช้ สามารถเลือกรูปแบบการดีมอดูเลชันได้ 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM อย่างไรก็ตาม ตัวเลือกของ รูปแบบการดีมอดูเลชันจะเปลี่ยนแปลงตามช่องสัญญาณกายภาพที่เลือกในส่วน การกำหนดค่าของการเข้ารหัสและปรับอัตรารหัส และสอดคล้องกับการมอดูเลชัน
  - กล่องตัวเลือก สำหรับเลือกอัลกอริทึมการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือก อัลกอริทึมการดีมอดูเลชันได้ 2 อัลกอริทึม ได้แก่ Mag-Log และ LUT
  - ปุ่มวิทยุ สำหรับเลือกช่องทางการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการดีมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การดีมอดูเลชันโดยใช้ ซอฟต์แวร์ และการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA
- 6.3) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Run" สำหรับดำเนินการดีมอดูเลชันสัญญาณ
  - ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการดีมอดูเลชันสัญญาณ
- 6.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการดีมอดูเลชัน สัญญาณ

7) การดีสแครม เป็นส่วนการรวมสัญญาณที่ได้จากการดีมอดูเลชันเข้ากับลำดับการดีสแครม (Descrambling Sequence) แบบมอดูโลสอง (Modulo-2) และแสดงผลลัพธ์ของการสแครม ซึ่ง ประกอบด้วยส่วนย่อย 4 ส่วน ดังนี้

7.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงบล็อกการดีสแครม
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้จากการดีสแครม

7.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกรูปแบบการสร้างลำดับการดีสแครม ผู้ใช้สามารถ เลือกรูปแบบการสร้างลำดับการสแครมได้ 3 รูปแบบ ได้แก่ การใช้ลำดับแบบ ตายตัว การสร้างลำดับแบบสุ่มเทียม และการป้อนลำดับด้วยตนเอง อย่างไรก็ตาม ลำดับการดีสแครมต้องตรงกับลำดับการสแครม
- ปุ่มวิทยุ สำหรับเลือกช่องทางการดีสแครม ผู้ใช้สามารถเลือกช่องทางการดีสแค รมได้ 2 ช่องทาง ได้แก่ การการดีสแครมโดยใช้ซอฟต์แวร์ และการดีสแครมโดย ใช้อุปกรณ์ FPGA

7.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการดีสแครม
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการดีสแครม
- 7.4) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการดีสแครม

8) การถอดรหัสและปรับอัตรารหัส เป็นส่วนการถอดรหัสและปรับอัตรารหัสตามมาตรฐาน
 5G และแสดงผลลัพธ์ของแต่ละขั้นตอนในกระบวนการถอดรหัสและปรับอัตรารหัส ซึ่งประกอบด้วย
 ส่วนย่อย 4 ส่วน ดังนี้

8.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- บล็อกไดอะแกรม สำหรับแสดงกระบวนการถอดรหัสและปรับอัตรารหัส
- กล่องข้อความ สำหรับแสดงผลลัพธ์ที่ได้ในแต่ละขั้นตอนของกระบวนการถอดรหัสและ ปรับอัตรารหัส

8.2) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกช่องสัญญาณกายภาพ ผู้ใช้สามารถเลือกช่องสัญญาณ กายภาพได้ 5 ช่องสัญญาณ PUSCH, PUCCH, PBCH, PDSCH และ PDCCH อย่างไรก็ตามช่องสัญญาณกายภาพที่เลือกต้องสอดคล้องกับช่องสัญญาณกายภาพ ที่เลือกในการเข้ารหัสและปรับอัตรารหัส
- กล่องตัวเลือก สำหรับเลือกอัลกอริทึมการถอดรหัสและปรับอัตรารหัส โดยใน กรณี PUSCH และ PDSCH ผู้ใช้สามารถเลือกอัลกอริทึมการถอดรหัสได้ 4 อัลกอริทึม ได้แก่ Belief Propagation, Min-Sum, Normalized Min-Sum และ Offset Min-Sum และในกรณี PUCCH, PDCCH และ PBCH ผู้ใช้สามารถ เลือกอัลกอริทึมการถอดรหัสได้ 3 อัลกอริทึม ได้แก่ Successive Cancellation, Successive Cancellation List และ Belief Propagation
- กล่องป้อนข้อความและกล่องเพิ่มจำนวน สำหรับป้อนพารามิเตอร์ในการ ถอดรหัสและปรับอัตรารหัส

 ปุ่มวิทยุ สำหรับเลือกช่องทางการดีมอดูเลชันสัญญาณ ผู้ใช้สามารถเลือกช่อง ทางการดีมอดูเลชันสัญญาณได้ 2 ช่องทาง ได้แก่ การดีมอดูเลชันโดยใช้ ซอฟต์แวร์ และการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA

8.3) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Run" สำหรับดำเนินการถอดรหัสและปรับอัตรารหัส
- ปุ่ม "Clear" สำหรับล้างค่าผลลัพธ์ของการถอดรหัสและปรับอัตรารหัส

8.4) ส่วนแสดงกราฟ ประกอบด้วย

 ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์ที่ได้จากการถอดรหัสและ ปรับอัตรารหัส

9) เอาต์พุต เป็นแสดงผลลัพธ์ของการถอดรหัสและปรับอัตรารหัส ซึ่งประกอบด้วยส่วนย่อย
 3 ส่วน ดังนี้

9.1) ส่วนบล็อกแสดงผลภายใน ประกอบด้วย

- กล่องข้อความ สำหรับแสดงผลลัพธ์
- 9.2) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Clear" สำหรับล้างค่าของผลลัพธ์
- 9.3) ส่วนแสดงกราฟ ประกอบด้วย
  - ปุ่ม "Signal Plot" สำหรับแสดงกราฟของผลลัพธ์

นอกจากนี้ ผู้ใช้สามารถเลือกการทำงานของแต่ละองค์ประกอบด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการกำหนดค่า สำหรับการทำงานด้วยซอฟต์แวร์แต่ละ องค์ประกอบจะเรียกใช้ Module การทำงานภาษา Python ที่สอดคล้องกัน ดังแสดงในรูปที่ 3.8 โดย แต่ละองค์ประกอบจะเรียกใช้ Module ดังตารางที่ 3.3

ตารางที่ 3.3 การเรียกใช้ซอฟต์แวร์ Module ของแต่ละองค์ประกอบของชุดการเรียนรู้ การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G

องค์ประกอบ	Module
อินพุต (Input)	randomInput.py
การเข้ารหัสและปรับอัตรารหัส (Coding and	PolarEncoderModule.py
Rate Matching)	LDPCEncoderModule.py
การสแครม (Scrambling)	nrPDSCHPRBS.py
การมอดูเลซัน (Modulation)	modulation.py
ช่องสัญญาณ (Noisy Channel)	Channel.py
การถอดรหัสและปรับอัตรารหัส (De-coding	PolarDecoderModule.py
and Rate Matching)	LDPCDecoderModule.py
การดีสแครม (Descrambling)	nrPDSCHPRBS.py
การดีมอดูเลชัน (Demodulation)	deodulation.py
-	demodulation_LUT.py

สำหรับการทำงานด้วยอุปกรณ์ FPGA แต่ละองค์ประกอบจะเรียกใช้ Module การทำงาน บนอุปกรณ์ FPGA ที่สอดคล้องกัน โดยส่งข้อมูลการกำหนดค่าบน GUI ไปยังอุปกรณ์ FPGA และรับ เอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.9 ทั้งนี้ ผู้ใช้สามารถเลือกการทำงานด้วยซอฟต์แวร์ใน บางองค์ประกอบและเลือกการทำงานด้วยอุปกรณ์ FPGA ในบางองค์ประกอบได้



รูปที่ 3.8 ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G เชื่อมต่อกับซอฟต์แวร์

	GUL (Python)			FPGA Board
5a Standard				
Si Maalalini Si Gharwal Gafing Si Hipi Paylaa Layer Si Simuatim Akaat Kana Kana Kana Kana Kana Kana Kana Kana	arves offertraßenteren (heltern nites.) n Commission 087C).			Channel Encoder
Input 🖨 Coding and Rate Matching 🖨 Scrambling	Modulation 📫 Noisy Channel	Demodulation Descrambling	De-coding and Rate Matching Output	
Inside Inside Inside	Inside Inside	Inside Inside	Inside Inside	
Bray Number     →     CRC     Bit interleasing     →     Code Block       Generation     →     Drooding     Bit interleasing     →     Code Block	→ Modulation → Noisy Obarnet	Demodulation     Descrambling	→ Code Block Code Block → ORC → Concentration → Decodreg →	Scrambler
Code Riock Rete Segmentation Monthing			Bit LDK Decoding	Modulator
CKC Block Dronding → LDRC Incoding			Line Code Block CRC Dematching → Code Block CRC Decoding	Noise Generator
Configuration Configuration Configuration	Configuration Configuration	Configuration Configuration	Configuration	Demodulator
Random V POSOL V Post Sector V	pi/2 - 895K	pl/2 - BPSK V Pixed Sequence V	P0501 V	
Input Lingh         New         Calmin         Sources         Sources <th< td=""><td>SNR (c8)</td><td>Max-Log V Descal-Oding Degravite</td><td>Belef Propagation v Iteration</td><td>Descrambler</td></th<>	SNR (c8)	Max-Log V Descal-Oding Degravite	Belef Propagation v Iteration	Descrambler
Software Officia     Software Officia	€ Software OFFSA € Software OFFSA	Software Official     Software Official	Software OFFIA	
Run Clear Run Clear Run Clear	Run Clear Run Clear	Rin Oear Rin Clear	Run Clear Clear	Channel Decoder
Signal Hot Signal Hot	Signal Plot Signal Plot	Signal Hot Signal Hot	Signal Plot Signal Plot	
	Constellation Hot Constellation Hot	]		

รูปที่ 3.9 ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G เชื่อมต่อกับอุปกรณ์ FPGA
#### 3.2 การออกแบบชุดทดสอบสมรรถนะ

## 3.2.1 การออกแบบชุดทดสอบสมรรถนะการมอดูเลชั่นและดีมอดูเลชั่นในระบบสื่อสารไร้สาย

โครงการนี้ออกแบบชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สาย โดยผู้ใช้งานสามารถเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel หรือ Fading Channel เพื่อ ทดลองหาสมรรถนะอัตราบิตผิดพลาด ณ จุดต่าง ๆ ของระบบได้ ซึ่งการออกแบบชุดทดสอบ สมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สายประกอบด้วย 3 ส่วน ได้แก่ ส่วนแสดง พารามิเตอร์ของการมอดูเลชันและดีมอดูเลชัน ส่วนกำหนดค่าการทดสอบสมรรถนะ และส่วนแสดงผล สมรรถนะ ดังแสดงในรูปที่ 3.10 โดยแต่ละส่วนมีรายละเอียดดังนี้

1) ส่วนแสดงพารามิเตอร์ของการมอดูเลชันและดีมอดูเลชัน เป็นส่วนแสดงพารามิเตอร์ที่ กำหนดไว้ในหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

2) ส่วนกำหนดค่าการทดสอบสมรรถนะ เป็นส่วนควบคุมและกำหนดค่าพารามิเตอร์สำหรับ การทดสอบสมรรถนะ ซึ่งประกอบด้วย 2 ส่วนย่อย ดังนี้

2.1) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกหน้าต่างที่ต้องการดึงพารามิเตอร์มาใช้ในการทดสอบ สมรรถนะ ผู้ใช้สามารถเลือกพารามิเตอร์ได้จาก 3 หน้าต่าง ได้แก่ หน้าต่างชุด การเรียนรู้ การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G (5G Modulation) หน้าต่างชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G (5G Channel coding) และหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G (5G High Physical Layer)
- กล่องเพิ่มจำนวน (Spin Box) สำหรับกำหนดค่าต่ำสุด (Min) ค่าสูงสุด (Max) และขั้นการเพิ่มค่า (Step) ของ SNR
- กล่องป้อนข้อความ สำหรับป้อนค่าจำนวนบล็อกผิดพลาดสะสมสูงสุด (Max Error)
- ปุ่มวิทยุ สำหรับเลือกช่องทางการทดสอบสมรรถนะ ผู้ใช้สามารถเลือกช่อง ทางการทดสอบสมรรถนะได้ 2 ช่องทาง ได้แก่ ทดสอบสมรรถนะโดยใช้ ซอฟต์แวร์ และทดสอบสมรรถนะโดยใช้อุปกรณ์ FPGA

2.2) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Setup" สำหรับเรียกค่าพารามิเตอร์การมอดูเลชันและดีมอดูเลชันจาก หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G
- ปุ่ม "Run" สำหรับดำเนินทดสอบสมรรถนะ
- ปุ่ม "Clear" สำหรับล้างค่าพารามิเตอร์และผลการทดสอบสมรรถนะ

 ส่วนแสดงผลสมรรถนะ เป็นส่วนแสดงผลการทดสอบสมรรถนะในรูปแบบกราฟของอัตรา บิตผิดพลาด นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันมาตรฐาน
 5G ด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการกำหนดค่า สำหรับการ ทำงานด้วยซอฟต์แวร์แต่ละองค์ประกอบจะเรียกใช้ Module การทำงานภาษา Python ภายใน คอมพิวเตอร์ ซึ่งประกอบด้วย Module ตัวสร้างอินพุต Module ตัวมอดูเลชัน Module ตัวสร้าง สัญญาณรบกวน Module ตัวดีมอดูเลชัน Module ตัวเปรียบเทียบข้อมูล (Data Comparator) และ Module ตัวคำนวณอัตราบิตผิดพลาด (Bit Error Rate Calculator) ดังแสดงในรูปที่ 3.11 สำหรับการทำงานด้วยอุปกรณ์ FPGA หน้าต่าง GUI จะเรียกใช้ Module การทำงานบนอุปกรณ์ FPGA โดยส่งข้อมูลการกำหนดค่าและรับค่าเอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.12



รูปที่ 3.10 โครงร่างชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สาย

GUI (Python)	Software (Python)
50° Ko Standard	
56 Modulation 56 Channel Coding 56 High Physical Layer 56 Simulation About	
🧃 / แมน 🦛 สุดทดสองสมรรณะการเข้าหลัดและออดหลัสข่องลัญญามในระบบสื่อสาหไร้สายมาตรฐาน 5G	Input Generator
KMIIL 😴 🦉 🎬 Educational kit: Performance evaluation of channel encoding and decoding in 5G wireless communication system	
teresulariormetria temp:     te	
Input 🗰 Modulation 🗰 Channet 🏟 Demodulation	Modulator
Configuration Configuration Configuration Configuration Multiple Configuration Configu	
menensis sension (jg) a particular sources sension (jg) a particular (jg) a sension (jg) a sensi	
	Noise Generator
Simulation Results	
Sesimulator Ecolorisation	Demodulator
Managaran v	
SPR (dB Rurse	
55 Mm ( ) 100 ( ) 200 ( )	Data Comparator
Simulation Citeria	
	Bit Error Rate Calculator
SNR (dB)	

รูปที่ 3.11 ชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สาย เชื่อมต่อกับซอฟต์แวร์



รูปที่ 3.12 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย เชื่อมต่อกับอุปกรณ์ FPGA

# 3.2.2 การออกแบบชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบ สื่อสารไร้สาย

โครงการนี้ออกแบบชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสซ่องสัญญาณใน ระบบสื่อสารไร้สาย โดยผู้ใช้งานสามารถเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel หรือ Fading Channel เพื่อทดลองหาสมรรถนะอัตราบิตผิดพลาด ณ จุดต่าง ๆ ของระบบได้ ซึ่งการ ออกแบบชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสซ่องสัญญาณในระบบสื่อสารไร้สาย ประกอบด้วย 3 ส่วน ได้แก่ ส่วนแสดงพารามิเตอร์ของการเข้ารหัสและถอดรหัส ส่วนกำหนดค่าการ ทดสอบสมรรถนะ และส่วนแสดงผลสมรรถนะ ดังแสดงในรูปที่ 3.13 โดยแต่ละส่วนมีรายละเอียดดังนี้



รูปที่ 3.13 โครงร่างชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสในระบบสื่อสารไร้สาย

1) ส่วนแสดงพารามิเตอร์ของการเข้ารหัสและถอดรหัส เป็นส่วนแสดงพารามิเตอร์ที่กำหนด ไว้ในหน้าต่างชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G

 ส่วนกำหนดค่าการทดสอบสมรรถนะ เป็นส่วนควบคุมและกำหนดค่าพารามิเตอร์สำหรับ การทดสอบสมรรถนะ ซึ่งประกอบด้วย 2 ส่วนย่อย ดังนี้

2.1) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกหน้าต่างที่ต้องการดึงพารามิเตอร์มาใช้ในการทดสอบ สมรรถนะ ผู้ใช้สามารถเลือกพารามิเตอร์ได้จาก 3 หน้าต่าง ได้แก่ หน้าต่างชุด การเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G หน้าต่างชุดการเรียนรู้ การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G และหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
- กล่องเพิ่มจำนวน สำหรับกำหนดค่าต่ำสุด ค่าสูงสุด และขั้นการเพิ่มค่าของ SNR
- กล่องป้อนข้อความ สำหรับป้อนค่าจำนวนบิตผิดพลาดสะสมสูงสุด
- ปุ่มวิทยุ สำหรับเลือกช่องทางการทดสอบสมรรถนะ ผู้ใช้สามารถเลือกช่อง ทางการทดสอบสมรรถนะได้ 2 ช่องทาง ได้แก่ ทดสอบสมรรถนะโดยใช้ ซอฟต์แวร์ และทดสอบสมรรถนะโดยใช้อุปกรณ์ FPGA
- 2.2) ส่วนควบคุม ประกอบด้วย
  - ปุ่ม "Setup" สำหรับเรียกค่าพารามิเตอร์การเข้ารหัสและถอดรหัสจากหน้าต่าง ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G
  - ปุ่ม "Run" สำหรับดำเนินทดสอบสมรรถนะ
  - ปุ่ม "Clear" สำหรับล้างค่าพารามิเตอร์และผลการทดสอบสมรรถนะ

 ส่วนแสดงผลสมรรถนะ เป็นส่วนแสดงผลการทดสอบสมรรถนะในรูปแบบกราฟของอัตรา บิตผิดพลาด

นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณใน ระบบสื่อสารไร้สายด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการ กำหนดค่า สำหรับการทำงานด้วยซอฟต์แวร์แต่ละองค์ประกอบจะเรียกใช้ Module การทำงานภาษา Python ภายในคอมพิวเตอร์ ซึ่งประกอบด้วย Module ตัวสร้างอินพุต Module ตัวเข้ารหัส ช่องสัญญาณ Module ตัวมอดูเลชัน Module ตัวสร้างสัญญาณรบกวน Module ตัวดีมอดูเลชัน Module ตัวถอดรหัส Module ตัวเปรียบเทียบข้อมูล และ Module ตัวคำนวณอัตราบิตผิดพลาด ดังแสดงในรูปที่ 2 สำหรับการทำงานด้วยอุปกรณ์ FPGA หน้าต่าง GUI จะเรียกใช้ Module การทำงานบนอุปกรณ์ FPGA โดยส่งข้อมูลการกำหนดค่าและรับค่าเอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.14

GUI (Python)	Software (Python)
56 Standard	
3G Modulation 3G Channel Coding 5G High Physical Layer 5G Simulation About	Input Generator
Image: The second sec	Channel Encoder
Configuration Configuration Configuration Configuration	Modulator
Method : Sandom Physical Channel : PUCCH Type : BFSC Duarnel : AVCN Type : BFSC Physical Channel : PUCCH Physical Channel	
	Noise Generator
Simulation Results	
5G Simulator	Demodulator
Comparent	
GG         392 (38) Range           100 - 100 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)           300 (30)         302 (30)	Channel Decoder
	Data Comparator
Schara O max	
CND (JD)	Bit Error Rate Calculator
נסט חווכ	

รูปที่ 3.14 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย เชื่อมต่อกับซอฟต์แวร์

Computer (Python) Serial Port	FPSA Board
56 <sup>°</sup> 56 Standard	
56 Medulation 56 Drannet Coding 56 High Physical Layer 56 Simulation Alexat	Input Generator
🚺 🔥 🖉 😧 🚓 🦉 ตาดสอบสมรรณะการด้างหัสปองสัญญาณโบระบบสื่อสาวไร้สายมาครฐาน 5G	
Exection with Performance evaluation of channel encoding and decoding in 56 wireless communication system     Watching     Watchin	Channel Encoder
input 🗰 Encoding 🗰 Modulation 🗰 Orannet 🗰 Demodulation 🗰 Decoding	
Configuration Configuration Configuration Configuration Configuration Configuration Configuration Method (Review 1995) Physical Company 1995 (Physical - 48019) There: 1995 Physical Company 1995 (Physical - 2005) Physical - 2005) Physical Company 1995 (Physical - 2005) Physical - 2005) Physical - 2005 (Physical - 2005) Physical - 2005) Physical - 2005 (Physical - 2005) Physi	Modulator
Input Length : 16 Codeword Length : 32 Algorithm : Marcing Decoding Algorithm : Successive Circultation	
	Noise Generator
Simulation Results	
56 Simulator	Demodulator
Configuration	
So Channe Coding v	
	Data Comparator
Distance O PSA	
Setup Run Clear	Bit Error Rate Calculator
SNR (d8)	

รูปที่ 3.15 ชุดทดสอบสมรรถนะการเข้ารหัสและถอดรหัสช่องสัญญาณในระบบสื่อสารไร้สาย เชื่อมต่อกับอุปกรณ์ FPGA

# 3.2.3 การออกแบบชุดทดสอบสมรรถนะกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงในระบบ สื่อสารไร้สาย

โครงการนี้ออกแบบชุดทดสอบสมรรถนะกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงใน ระบบสื่อสารไร้สาย โดยผู้ใช้งานสามารถเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel หรือ Fading Channel เพื่อทดลองหาสมรรถนะอัตราบิตผิดพลาด ณ จุดต่าง ๆ ของระบบได้ ซึ่งการ ออกแบบชุดทดสอบสมรรถนะกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื่อสารไร้สาย ประกอบด้วย 3 ส่วน ได้แก่ ส่วนแสดงพารามิเตอร์ของกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูง ส่วนกำหนดค่าการทดสอบสมรรถนะ และส่วนแสดงผลสมรรถนะ ดังแสดงในรูปที่ 3.16 โดยแต่ละ ส่วนมีรายละเอียดดังนี้



รูปที่ 3.16 โครงร่างกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื่อสารไร้สาย

1) ส่วนแสดงพารามิเตอร์ของกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูง เป็นส่วนแสดง พารามิเตอร์ที่กำหนดไว้ในหน้าต่างชุดการเรียนรู้กระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G

2) ส่วนกำหนดค่าการทดสอบสมรรถนะ เป็นส่วนควบคุมและกำหนดค่าพารามิเตอร์สำหรับ การทดสอบสมรรถนะ ซึ่งประกอบด้วย 2 ส่วนย่อย ดังนี้

2.1) ส่วนการกำหนดค่า ประกอบด้วย

- กล่องตัวเลือก สำหรับเลือกหน้าต่างที่ต้องการดึงพารามิเตอร์มาใช้ในการทดสอบ สมรรถนะ ผู้ใช้สามารถเลือกพารามิเตอร์ได้จาก 3 หน้าต่าง ได้แก่ หน้าต่างชุด การเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G หน้าต่างชุดการเรียนรู้ การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G และหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G
- กล่องเพิ่มจำนวน สำหรับกำหนดค่าต่ำสุด ค่าสูงสุด และขั้นการเพิ่มค่าของ SNR
- กล่องป้อนข้อความ สำหรับป้อนค่าจำนวนบิตผิดพลาดสะสมสูงสุด

 ปุ่มวิทยุ สำหรับเลือกช่องทางการทดสอบสมรรถนะ ผู้ใช้สามารถเลือกช่อง ทางการทดสอบสมรรถนะได้ 2 ช่องทาง ได้แก่ ทดสอบสมรรถนะโดยใช้ ซอฟต์แวร์ และทดสอบสมรรถนะโดยใช้อุปกรณ์ FPGA

2.2) ส่วนควบคุม ประกอบด้วย

- ปุ่ม "Setup" สำหรับเรียกค่าพารามิเตอร์ของกระบวนการทำงานชั้นฟิสิคัล เลเยอร์ลำดับสูง จากหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G
- ปุ่ม "Run" สำหรับดำเนินทดสอบสมรรถนะ
- ปุ่ม "Clear" สำหรับล้างค่าพารามิเตอร์และผลการทดสอบสมรรถนะ

3) ส่วนแสดงผลสมรรถนะ เป็นส่วนแสดงผลการทดสอบสมรรถนะในรูปแบบกราฟของอัตรา บิตผิดพลาด

นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบสมรรถนะกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงใน ระบบสื่อสารไร้สายด้วยซอฟต์แวร์ หรืออุปกรณ์ FPGA ได้โดยการเลือกปุ่มวิทยุที่อยู่ในส่วนการ กำหนดค่า สำหรับการทำงานด้วยซอฟต์แวร์แต่ละองค์ประกอบจะเรียกใช้ Module การทำงานภาษา Python ภายในคอมพิวเตอร์ ซึ่งประกอบด้วย Module ตัวสร้างอินพุต Module ตัวเข้ารหัสและ ปรับอัตรารหัส Module ตัวสแครม Module ตัวมอดูเลชัน Module ตัวสร้างสัญญาณรบกวน Module ตัวดีมอดูเลชัน Module ตัวดีสแครม Module ตัวถอดรหัส Module ตัวเปรียบเทียบ ข้อมูล และ Module ตัวคำนวณอัตราบิตผิดพลาด ดังแสดงในรูปที่ 3.17 สำหรับการทำงานด้วย อุปกรณ์ FPGA หน้าต่าง GUI จะเรียกใช้ Module การทำงานบนอุปกรณ์ FPGA โดยส่งข้อมูลการ กำหนดค่าและรับค่าเอาต์พุตผ่าน Serial Port ดังแสดงในรูปที่ 3.18

GUI (Python)	Software (Python)
50° 50 Standard	
56 Modulation 56 Channel Coding 56 High Physical Layer 56 Simulation About	Input Generator
พระพรสอบสนาราณะการเข้าวพัสและออดภาษัสของลักเอาเฉมิบระบบเรือสาวไร้สายมาตรราน 56	
KMTTL 😴 💆 Educational kit: Performance evaluation of channel encoding and decoding in 5G wireless communication system	Channel Encoder
verseeund-forwarreit. RAMAI vanne, mild. Verspaperprogram neepelbaureitaur-hernstereide hernfahrfel auf-honfahreitaur-kinderstatus (Holann, nems) This protect was augusted by The international Beadaadirg and Telecommunication Convision (NET).	
Input 🜩 Coding and Rate Matching 🔿 Scrambling 🗰 Modulation 🗭 Channel 🗭 Demodulation 🖝 Descrambling 🖝 Decoding	Scrambler
Configuration Configuration Configuration Configuration Configuration Configuration	
Method : Ranson Physical Channel : FUSCH Method : Fixed Sequence Type : : p(2 - 85% Channel : AUXI Type : : p(2 - 85% Channel : TUSCH Method : Fixed Sequence Physical Channel : TUSCH Physical Channel :	Modulator
Om 1 n_bt 0 Reation : Belief Propagion	
N <sub>L</sub> L: 1	Noise Generator
Simulation Results	
5G Simulator	Demodulator
Configuration	
E6 Hgh Physical Layer v	Descrambler
SHE (dB) Range	
	Channel Decoder
Simulation Otteria	
Nate from	Data Comparator
Software O PPGA	
Setup Run Clear	Bit Error Rate Calculator
SNR (dB)	

รูปที่ 3.17 ชุดทดสอบสมรรถนะกระบวนการทำงานชั้นฟิสิคัลเลเยอร์ลำดับสูงในระบบสื่อสารไร้สาย เชื่อมต่อกับซอฟต์แวร์





# 3.3 การออกแบบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์

ชุดการเรียนรู้และชุดทดสอบสมรรถนะถูกออกแบบให้สามารถประมวลผลกระบวนการของ ระบบสื่อสารมาตรฐาน 5G ได้ทั้งบนคอมพิวเตอร์ที่โปรแกรมทั้งสองทำงานและส่งข้อมูลไปประมวลผล บนอุปกรณ์ FPGA การส่งข้อมูลไปประมวลผลบนอุปกรณ์ FPGA จากคอมพิวเตอร์ จะส่งผ่านช่องทาง ข้อมูลอนุกรมหรือ serial port ของระหว่างทั้งคอมพิวเตอร์และอุปกรณ์ FPGA ภายใต้โพรโทคอล universal asynchronous receiver-transmitter หรือ UART โดยข้อมูลชุดละ 8 บิต บิต start และ บิต stop จะสื่อสารระหว่างสองอุปกรณ์ตามโพรโทคอล UART ดังรูปที่ **3.19** 



เพื่อให้การสื่อสารเข้าใจทั้งสองอุปกรณ์ อุปกรณ์ทั้งทั้งสองสามารถแยกประเภทสัญญาณได้ จากชุดข้อมูลส่วนหัว (header) ที่มีความยาว 8 บิตทั้งหมด ประเภทและความยาวของสัญญาณที่ จำแนก สามารถสรุปได้ดังตารางที่ 3.1

ประเภทสัญญาณ	ส่วนหัว	ความยาวข้อมูล			
ส่วนหัวทั่วไป					
Modulation flag	00010001	_			
Channel coding flag	00010010	_			
Simulation flag	00011000	16			
ส่วนหัวสำหรับระบบย่อย Simi	ulator controller ภายใต้ Simulator				
snrValue	00011010	4080			
snrNumber	00011011	8			
maxBlockError	00011100	4080			
maxBlockLength	00011101	32			
ส่วนหัวสำหรับระบบย่อย Rand	dom input generator ภายใต้ Simul	ator			
uniformBitLength	00100001	16			
ส่วนหัวสำหรับระบบย่อย LDP	C encoder ภายใต้ Channel encode	er และ Simulator			
Rate	00110001	8			
liftingSize	00110010	16			
I_LBRM	00110011	8			
N_L	00110100	8			
rv_id	00110101	8			
infoLength	00110110	16			
infoBits	00110111	8448			
channelType	01000101	8			
modScheme	01010001	8			
ส่วนหัวสำหรับระบบย่อย Pola	r encoder ภายใต้ Channel encode	er และ Simulator			
infoBits	01000001	1712			
infoLength	01000010	16			
codewordLength	01000011	16			
rntiBits	01000100	16			
channelType	01000101	8			
ส่วนหัวสำหรับระบบย่อย Moc	lulator ภายใต้ Simulator				
modScheme	01010001	8			
modBitLength	01010010	16			
modBitInput	01010011	1024			
ส่วนหัวสำหรับระบบย่อย Noise generator ภายใต้ Simulator					
channelAndSNR	00100011	24			
sqrtVar	00100100	16			
gaussianSymbolLength	00100101	16			
gaussianValueInput	00100110	32768			

ตารางที่ 3.1 ประเภทและความยาวของสัญญาณจำแนกระหว่างคอมพิวเตอร์และอุปกรณ์ FPGA

ประเภทสัญญาณ	ส่วนหัว	ความยาวข้อมูล
complexChannel	00100111	16384
Coefficient		
inverseComplex	00101000	16384
ChannelCoefficient		
ส่วนหัวสำหรับระบบย่อย Dem	nodulator ภายใต้ Simulator	
modScheme	01010001	8
channelAndSNR	00100011	24
inverseSqrtVar	01010101	16
demodEquation	01010110	8
demodSymbolLength	01010111	16
demodValueInput	01011000	32768
ส่วนหัวสำหรับระบบย่อย LDP	C decoder ภายใต้ Channel decode	er และ Simulator
channelType	01000101	8
decoderConfig	00111000	8
iteration	00111001	8
offsetAndScale	00111010	32
processorNumber	00111011	8
liftingSize	00111101	16
ldpcLLRSymbolLength	00111110	16
ldpcLLRInput	00111111	8192
ส่วนหัวสำหรับระบบย่อย Pola	r decoder ภายใต้ Channel decode	er และ Simulator
rntiBits	01000100	16
channelType	01000101	8
offsetAndScale	00111010	32
decoderConfig	01000111	8
crcPolynomial	01001000	24
frozenPosition	01001010	2048
llrSymbolLength	01001011	16
llrInput	01001100	8192

## 3.4 การออกแบบการ์ดเร่งความเร็ว FEC

กระบวนการชั้นฟิสิคัลเลเยอร์ลำดับสูงและลำดับต่ำ สำหรับช่องสัญญาณ Downlink แสดงใน รูปที่ 3.20 และสำหรับช่องสัญญาณ Uplink แสดงในรูปที่ 3.21 ซึ่งมาตรฐาน O-RAN ได้กำหนดให้มี การใช้งานการ์ดเร่งความเร็ว FEC แบบ PDSCH\_FEC โดยการ์ดเร่งความเร็วจะทำกระบวณการต่อไปนี้

- 1. TB CRV attachment
- 2. CB segmentation + CB CRV attachment
- 3. LDPC encoding
- 4. Rate matching
- 5. CB concatenation

นอกจากนี้ มาตรฐาน O-RAN ได้กำหนดให้มีการใช้งานการ์ดเร่งความเร็ว FEC แบบ PUSCH FEC โดยการ์ดเร่งความเร็วจะทำกระบวณการต่อไปนี้

- 1. TB CRC check
- 2. CB CRC + CB desegmentation
- 3. LDPC decoding
- 4. Rate dematching
- 5. CB deconcatentation



รูปที่ 3.20 การใช้งานการ์ดเร่งความเร็ว FEC แบบ PDSCH\_FEC



รูปที่ 3.21 การใช้งานการ์ดเร่งความเร็ว FEC แบบ PUSCH\_FEC

# 3.5 การออกแบบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์

# 3.5.1 การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ด้วยอุปกรณ์ FPGA

การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ด้วยอุปกรณ์ FPGA จะเป็น การนำซอฟต์แวร์ที่พัฒนาขึ้นด้วยภาษา VHDL ที่ใช้งานในชุดการเรียนรู้และทดสอบสมรรถนะ มา พัฒนาในรูปแบบของอุปกรณ์ FPGA ที่มีส่วนต่อประสาน PCIe ดังรูปที่ 3.22 โครงการนี้ใช้ AMD Virtex UltraScale+ FPGA VCU118 Evaluation Kit เป็น FPGA สำหรับการออกแบบและทดสอบ การ์ดเร่งความเร็วเนื่องจากอุปกรณ์ดังกล่าวมีส่วนต่อประสาน PCIe พร้อมซอฟท์แวร์ต่าง ๆ ที่จำเป็น สำหรับการรับส่งข้อมูลผ่านส่วนต่อประสาน PCIe



รูปที่ 3.22 การ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ด้วยอุปกรณ์ FPGA

โดยทำการออกแบบระบบให้สามารถเชื่อมกับตัว IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilinx ซึ่งเป็นโมดูลที่จัดการเฟรมข้อมูลสำหรับการรับส่งข้อมูลผ่าน PCIe จากนั้น จึงทำการใช้โปรแกรมภาษา Python เพื่อเรียก Driver ของ AMD ซึ่งเป็นโปรแกรมภาษา C เมื่อ เรียกใช้ Driver ดังกล่าวก็จะสามารถทำการทดสอบการรับส่งข้อมูลระหว่าง FPGA และคอมพิวเตอร์ ผ่านส่วนต่อประสาน PCIe ได้ดังแสดงในรูปที่ 3.23



รูปที่ 3.23 การเชื่อมต่อระหว่างการ์ดเร่งความเร็วกับระบบปฏิบัติการ

เมื่อการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ได้รับข้อมูลจากระบบปฏิบัติการจะ ดำเนินการขั้นตอนต่อไปนี้ 1) TB CRC attachment เป็นกระบวนการเข้ารหัส CRC ด้วยโพลิโนเมียลตามมาตรฐาน 5G ดังรูปที่ 3.24





 CB segmentation + CB CRC attachment เป็นกระบวนการตัดข้อมูลออกเป็นบล็อก ย่อย ๆ และเข้ารหัส CRC ด้วยโพลิโนเมียลตามมาตรฐาน 5G ซ้ำอีกรอบให้แต่ละบล็อกดัง รูปที่ 3.25



รูปที่ 3.25 CB segmentation + CB CRC attachment

3) LDPC encoding เป็นกระบวนการเข้ารหัส LDPC ตามมาตรฐาน 5G ดังรูปที่ 3.26



รูปที่ 3.26 LDPC encoding



# 4) Rate Matching เป็นกระบวนการปรับอัตรารหัสตามมาตรฐาน 5G ดังรูปที่ 3.27



5) CB concatenation เป็นกระบวนการที่นำบล็อกรหัสมาต่อกันเพื่อส่งต่อไปยัง กระบวนการอื่นดังรูปที่ 3.28





# 3.5.2 การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC ด้วยอุปกรณ์ FPGA

การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC ด้วยอุปกรณ์ FPGA จะทำ ลักษณะเดียวกับการออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ในหัวข้อก่อนหน้า เพียงแต่เปลี่ยนกระบวนการภายในให้สอดคล้องกับที่มาตรฐานกำหนด ดังรูปที่ 3.29



รูปที่ 3.29 การ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC ด้วยอุปกรณ์ FPGA

ทำให้เมื่อการ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC ได้รับข้อมูลจากระบบปฏิบัติการ จะดำเนินการขั้นตอนต่อไปนี้

1) CB deconcatenation เป็นกระบวนการในตัดบล็อกคำรหัสจากช่องสัญญาณออกเป็น บล็อกคำรหัสย่อยดังรูปที่ 3.30





 Rate dematching เป็นกระบวนการในการปรับขนาดคำรหัสจากช่องสัญญาณให้มีขนาด ก่อนจะถูกปรับอัตรารหัสดังรูปที่ 3.31



รูปที่ 3.31 Rate dematching

3) LDPC decoding เป็นกระบวนการถอดรหัส LDPC ตามมาตรฐาน 5G ดังรูปที่ 3.32



รูปที่ 3.32 LDPC decoding

4) CB CRC + CB desegmentation เป็นกระบวนการถอดรหัส CRC ของแต่ละบล็อกรหัส และนำบล็อกรหัสดังกล่าวกลับมาต่อกันเป็นบล็อกรหัสยาวดังรูปที่ 3.33



รูปที่ 3.33 CB CRC + CB desegmentation

5) TB CRC check เป็นกระบวนการถอดรหัส CRC ของบล็อกรหัสหลักซึ่งเป็นกระบวนการ สุดท้ายของการถอดรหัสดังรูปที่ 3.34





# 3.6 รายละเอียดการสร้างข้อมูลอินพุตแบบสุ่ม

สำหรับการออกแบบวงจรสุ่มข้อมูลอินพุตบนอุปกรณ์ FPGA ได้เลือกใช้วงจร CTG 3 ส่วนประกอบ ความยาว 32 บิต มีขนาดคาบเท่ากับ 2<sup>88</sup> [1] แสดงอัลกอริทึมดังรูปที่ **3.35** ข้อมูลสุ่ม ขนาด 32 บิตนี้จะถูกนำไปใช้กับระบบการสุ่มข้อมูลอินพุต อีกทั้งยังถูกนำไปใช้กับระบบการออกแบบ สัญญาณรบกวนแบบเกาสเซียนเช่นเดียวกัน โดยสำหรับระบบการสุ่มข้อมูลข้อมูลอินพุตข้อมูลที่สุ่มได้ จะถูกใช้งานเป็นข้อมูลอินพุตโดยตรง ขณะที่ระบบการออกแบบสัญญาณรบกวนแบบเกาส์เซียนจะถูก นำไปใช้เป็นอินพุตค่าทศนิยมขนาด [0,1)

อัลกอริทึม 1 วงจร CTG 3 ส่วนประกอบ

กำหนดค่าเริ่มต้น 
$$s_1, s_2, s_3$$
  
 $b_1 = (((s_1 \ll 13) \land s_1) \gg 19)$   
..  
 $b_2 = (((s_2 \ll 2) \land s_2) \gg 25)$   
 $s_2 = (((s_2 \& 0xFFFFFF8) \ll 4) \land b_2)$   
 $b_3 = (((s_3 \ll 3) \land s_3) \gg 11)$   
 $s_3 = (((s_3 \& 0xFFFFFFF0) \ll 17) \land b_3)$   
ผลลัพธ์เท่ากับ  $s_1 \land s_2 \land s_3$ 



รูปที่ 3.35 แผนภาพวงจร CTG 3 ส่วนประกอบที่ใช้งานบนอุปกรณ์ FPGA

## 3.7 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ AWGN

การสุ่มสัญญาณรบกวนเกาส์เซียนสามารถทำได้โดยวิธีการสุ่มเลข หนึ่งในนั้นคือการแปลงบ็ อกซ์-มูลเลอร์ (Box-Muller transform) วิธีการดังกล่าวจะให้ผลลัพธ์เป็นคู่เลขสุ่มที่เป็นอิสระ มี มาตรฐาน และมีการกระจายเกาส์เซียนที่มีค่าเฉลี่ยเท่ากับ 0 และความแปรปรวนเท่ากับ 1 ที่มีช่วง [-1, 1] โดยที่วิธีการดังกล่าวต้องรับค่าคู่อินพุตที่มีการกระจายแบบสม่ำเสมอ (uniform distribution) ที่มีช่วง [0, 1) เขียนสมการได้ดังนี้

$$x_0 = \sqrt{-2\ln u_0} \cos(2\pi u_1)$$
(3.1)

$$z_1 = \sqrt{-2\ln u_0} \sin(2\pi u_1)$$
(3.2)

การออกแบบวงจรสร้างสัญญาณรบกวนเกาส์เซียนขาวแบบบวกบนอุปกรณ์ FPGA ยังได้ อาศัยการแปลงบ็อกซ์-มูลเลอร์ ดังรูปที่ 3.36 ประกอบไปด้วยขั้นตอนและฟังก์ชันทางคณิตศาสตร์ ดังนี้



รูปที่ 3.36 แผนภาพการสร้างสัญญาณรบกวนเกาส์เซียนขาวแบบบวกบนอุปกรณ์ FPGA

1) การสุ่มเลขทศนิยม [0, 1) ที่มีการกระจายแบบสม่ำเสมอ

2) การคำนวณฟังก์ชันลอการิทึมธรรมชาติ (natural logarithm)

3) การคำนวณค่ารากที่สอง (square root)

4) การคำนวณฟังก์ชันโคซายน์ (cosine function)

โดยกำหนดให้เอาต์พุตของการคำนวณฟังก์ชันลอการิทึมธรรมชาติ การคำนวณค่ารากที่สอง การคำนวณฟังก์ชันโคซายน์ และการคำนวณฟังก์ชันซายน์ ดังสมการที่ 3.3 3.4 3.5 และ 3.6 ตามลำดับ

$$f_0(u_0) = -\ln(u_0)$$
(3.3)

$$g_0(u_0) = \sqrt{f_0(u_0)}$$
(3.4)

$$g_1(u_1) = \sqrt{2}\cos(2\pi u_1)$$
(3.5)

$$g_2(u_1) = \sqrt{2}\sin(2\pi u_1) \tag{3.6}$$

โดยที่  $u_0$  และ  $u_2$  คือเลขสุ่มทศนิยม [0, 1) ที่มีการกระจายแบบสม่ำเสมอ ผลลัพธ์ของการสร้างจะได้ สัญญาณรบกวนแบบเกาส์เซียนขาวแบบบวก  $x_1$  และ  $x_2$  ที่มีค่าเฉลี่ยเท่ากับ 0 และค่าความแปรปรวน เท่ากับ 1 หรือ N(0,1) ดังนี้

$$x_1 = q_0(u_1)q_1(u_2)$$
(3.7)

$$x_2 = q_0(u_1)q_2(u_2)$$
(3.8)

รายละเอียดของขั้นตอนการคำนวณและฟังก์ชันทางคณิตศาสตร์ สามารถกล่าวได้ดังต่อไปนี้

#### การสุ่มเลขทศนิยมที่มีการกระจายแบบสม่ำเสมอ

เลขสุ่มทศนิยมที่มีการกระจายแบบสม่ำเสมอเป็นขั้นตอนแรกในการสร้างสัญญาณรบกวน โดยได้เลือกใช้วงจร CTG ความยาว 32 บิต ขนาดคาบ 2<sup>88</sup> จำนวน 2 วงจร เช่นเดียวกับวงจรสุ่ม ข้อมูลอินพุต แสดงดังรูปที่ **3.35** จะให้เอาต์พุตเป็นค่าไบนารีความยาว 32 บิต ซึ่งสามารถมองเป็น ค่าทศยนิยมช่วง [0, 1) ในระบบเลขฐานสิบ โดยมองเป็นค่า fixed point ที่มีความละเอียด fi(32, 32)

## การคำนวณฟังก์ชันลอการิทึมธรรมชาติ

การคำนวณฟังก์ชันลอการิทึมธรรมชาติ จะทำการคำนวณด้วยวิธีการประมาณค่าด้วยพหุ นาม (polynomial approximation) โดยได้เลือกใช้พหุนามดีกรี 4 ตามสมการต่อไปนี้

$$p_i(x) = a_i x^4 + b_i x^2 + c_i x + d_i$$
(3.9)

โดยที่  $a \ c$  และ d คือค่าสัมประสิทธิ์พหุนาม (polynomial coefficients)

การประมาณฟังก์ชันลอการิทึมธรรมชาติจะทำการแบ่งช่วงของฟังก์ชันเป็นทั้งหมด 7 ช่วง โดยกำหนดให้ *i* = [1,...,7] แต่ละช่วงจะมีค่าสัมประสิทธิ์ของสมการพหุนามที่แตกต่างกัน แสดงดัง ตารางที่ 3.2 โดยค่าสัมประสิทธิ์เหล่าจะถูกบันทึกไว้ในหน่วยความจำบนอุปกรณ์ FPGA ผลของการ แบ่งฟังก์ชันเป็น 7 ส่วนทำให้ความคลาดเคลื่อนของการประมาณฟังก์ชันลอการิทึมธรรมชาติในรูป ของค่าเฉลี่ยของผลต่างยกกำลังสอง (mean squared error) หรือ MSE เป็นที่ยอมรับได้ ซึ่งมีค่าต่ำ กว่า 10<sup>-6</sup> แสดงความคลาดเคลื่อนดังรูปที่ 3.37

ตารางที่ 3.2 ค่าสัมประสิทธิ์สมการพหุนามของช่วงการประมาณ 7 ช่วง

	ค่าสัมประสิทธิ์ a <sub>i</sub>	ค่าสัมประสิทธิ์ <i>b<sub>i</sub></i>	ค่าสัมประสิทธิ์ c <sub>i</sub>	ค่าสัมประสิทธิ์ $d_i$
<i>i</i> = 1	0×5ABE0000000000	0xF7C7B333333333	0x00514A3D70A3D	0xFFFD1339C0EBEE
			7	
i = 2	0x06D74CCCCCCC	0xFE92251EB851EC	0x002169FBE76C8B	0xFFFD86F9DB22D1
• =	D			
<i>i</i> =3	0x00DA8B851EB852	0xFFA4A3D70A3D7	0x0010B28F5C28F6	0xFFFDDFC504816F
1 5		1		
<i>i</i> = 4	0x001B5083126E98	0xFFE9299999999A	0x00085916872B02	0xFFFE387FCB923A
<i>i</i> = 5	0x06D404EA4A8C15	0xF494FDF3B645A2	0x0859096BB98C7E	0xFD227525460AA6
i=6	0x01671DE69AD42C	0xFC113A92A30553	0x04DF34D6A161E5	0xFDADCC63F1412
$\iota = 0$				0
<i>i</i> = 7	0x008122FAD6CB53	0xFE045A1CAC0831	0x0374538EF34D6A	0xFE062B6AE7D567



รูปที่ 3.37 ค่า MSE ของการคำนวณฟังก์ชันทางคณิตศาสตร์ประเมินค่าด้วยโปรแกรม MATLAB (ก) คำนวณลอการิทึมธรรมชาติด้วยการประมาณค่าด้วยพหุนาม (ข) คำนวณรากที่สองโดยใช้อัลกอริทึม CORDIC

### การคำนวณรากที่สอง

การคำนวณรากที่สองจะใช้การคำนวณตามอัลกอริทึม CORDIC ในโหมดเวกเตอร์ไฮเปอร์โบ ลิก (Hyperbolic vectoring) อัลกอริทึม CORDIC ถือเป็นอัลกอริทึมวนซ้ำ (iterative) ใช้ในการ ประมาณค่าของฟังก์ชันทางคณิตศาสตร์ที่เป็นมิตรต่อฮาร์ดแวร์เนื่องจากการคำนวณใช้ตัวดำเนินการ พื้นฐาน เช่น ตารางค้นหาสำหรับการคูณค่าคงที่ การเลื่อน และการบวก เท่านั้น การคำนวณ อัลกอริทึม CORDIC ในโหมดเวกเตอร์ไฮเปอร์โบลิก จะให้ผลลัพธ์ดังสามสมการต่อไปนี้

$$x_{i+1} = x_i + y_i d_i 2^{-i} (3.10)$$

$$y_{i+1} = y_i + x_i d_i 2^{-i} (3.11)$$

$$z_{i+1} = z_i - d_i \tanh^{-1} \left( 2^{-i} \right)$$
(3.12)

โดยที่ *i* คือจำนวนรอบการคำนวณและ

$$d_{i} = \begin{cases} +1 & y_{i} < 0 \\ -1 & \overleftarrow{\partial}_{\mathcal{U}} & \eta \end{cases}$$
(3.13)

จากนั้นเมื่อจำนวนรอบการคำนวณ N ลู่เข้าอนันต์ สมการที่ (3.10) – (3.12) จะให้ผลลัพธ์การ ประมาณดังต่อไปนี้

$$x_N \approx A_N \sqrt{x_0^2 - y_0^2}$$
 (3.14)

$$y_N \approx 0$$
 (3.15)

$$z_N \approx z_0 + \tanh^{-1} \left( \frac{y_0}{x_0} \right)$$
(3.16)

โดยที่ค่าคงที่  $A_{_N}$  สามารถทำการคำนวณไว้ก่อนหน้าแล้วเก็บไว้ในหน่วยความจำบนอุปกรณ์ FPGA ได้ดังนี้

$$A_N = \prod_{i=1}^N \sqrt{1 - 2^{-2i}}$$
(3.17)

จะสังเกตได้ว่าสมการที่ (3.14) ให้ผลลัพธ์การประมาณเป็นฟังก์ชันรากที่สอง ซึ่งจะใช้ความสัมพันธ์ ตามสมการดังกล่าวในการคำนวณค่ารากที่สองบนอุปกรณ์ FPGA สำหรับจำนวนรอบ *N* ในการ คำนวณอัลกอริทึม CORDIC จะใช้อยู่ที่ประมาณ 11 รอบ ซึ่งจะให้ค่าความคลาดเคลื่อนที่ยอมรับได้ ประมาณ 10<sup>-12</sup> แสดงดังรูปที่ **3.38** วงจรการคำนวณรากที่สองนี้ใช้อินพุตเป็นค่า fixed point ที่ ความละเอียด fi(32, 28) และให้เอาต์พุตเป็นค่า fixed point ที่ความละเอียด fi(17, 13)



รูปที่ 3.38 วงจรคำนวณฟังก์ชันคณิตศาสตร์โดยอัลกอริทึม CORDIC

# การคำนวณฟังก์ชันโคซายน์

การสร้างสัญญาณโคซายน์และรวมถึงซายน์ จะทำการเก็บค่าคงที่จำนวน 1 ใน 4 ส่วนของ ฟังก์ชันโคซายน์เต็มคาบ โดยจะคำนวณค่าล่วงหน้าก่อนหน้าโดยโปรแกรม MATLAB เนื่องจาก ฟังก์ชันโคซายน์และซายน์มีความสมมาตร จึงทำให้เรียกค่าของฟังก์ชันโคซายน์ได้เต็มคาบขณะที่เก็บ ค่าไว้เพียง 1 ใน 4 ของคาบได้ ค่าที่ถูกคำนวณไว้ก่อนหน้าจะสามารถเข้าถึงได้โดยการใช้ตารางค้นหา ซึ่งตารางค้นหาสามารถลดการใช้ตรรกะได้หรือคำนวณที่ซับซ้อนลงได้มาก เมื่อเทียบกับการสร้างวงจร คำนวณที่ซับซ้อน

# 3.8 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ Fading

การออกแบบสัญญาณการเฟดบนอุปกรณ์ FPGA จะออกแบบระบบตามสมการที่ (3.18) แสดงดังรูปที่ **3.39** ค่าสัมประสิทธิ์ช่องสัญญาณ *h(t)* ที่ใช้งานจะอยู่ในรูปของค่าสัมบูรณ์ (absolute) ซึ่งสามารถคำนวณได้จากค่าสัมประสิทธิ์ช่องสัญญาณเชิงซ้อนแกนจริงและแกนจินตภาพ ดังสมการต่อไปนี้

$$\left|h\left(t\right)\right| = \sqrt{h_{I}^{2}\left(t\right) + h_{Q}^{2}\left(t\right)}$$
(3.18)

จากสมการดังกล่าวมี 2 ขั้นตอนหลักในการคำนวณค่าสัมบูรณ์ค่าสัมประสิทธิ์ช่องสัญญาณเชิงซ้อน ประกอบด้วยการยกกำลังสองและการคำนวณรากที่สอง



รูปที่ 3.39 แผนภาพการออกแบบสัญญาณการเฟดบนอุปกรณ์ FPGA

#### การยกกำลังสอง

สำหรับการยกกำลังสองบนอุปกรณ์ FPGA สามารถทำได้โดยการคูณค่าที่ต้องการยกกำลัง ด้วยค่านั้นเอง โดยผลลัพธ์การคูณบนอุปกรณ์ FPGA จะสร้างผลลัพธ์ที่มีความยาวเท่ากับความยาวตัว คูณพจน์ที่หนึ่งและพจน์ที่สองบวกกัน

# การคำนวณรากที่สอง

เช่นเดียวกับการคำนวณรากที่สองในระบบการออกแบบสัญญาณรบกวนเกาส์เซียนขาวแบบ บวก การคำนวณรากที่สองในระบบนี้ใช้งานวงจร CORDIC ในโหมดเวกเตอร์ไฮเปอร์โบลิก (Hyperbolic vectoring) โดยมีข้อแตกต่างกับวงจรในการออกแบบสัญญาณรบกวนเกาส์เซียนขาว แบบบวก โดยที่ใช้งานอินพุตและเอาต์พุตเป็นค่า fixed point ที่ความละเอียด fi(16, 11) ทั้งคู่

#### 3.9 รายละเอียดการสร้างการมอดูเลชันมาตรฐาน 5G

ระบบการพัฒนาการมอดูเลตมาตรฐาน 5G บนอุปกรณ์ FPGA เป็นการสร้างวงจรการ ประมวลผลสัญญาณดิจิทัล (Digital signal processing: DSP) เป็นหลัก ทำให้การมอดูเลตสัญญาณ ตามมาตรฐาน 5G สามารถทำได้โดยการบวก ลบ และ คูณ ทั้งนี้ไม่นิยมการหารเนื่องจากวงจรจะมี ความซับซ้อนสูง จึงมักใช้วิธีการอื่น เช่น การคำนวณค่าผลหารและบันทึกผลลัพธ์ไว้ใน ROM หรือ RAM ของอุปกรณ์ FPGA

การมอดูเลชันแบบ BPSK (Binary phase shift keying) การมอดูเลชันแบบ  $\pi/2$ -BPSK การมอดูเลชันแบบ QPSK (Quadrature phase shift keying) การมอดูเลชันแบบ 16QAM (Quadrature amplitude modulation) การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM มีลักษณะคล้ายกัน โดยสามารถพิจารณาเป็นการมอดูเลชันแบบ PAM (Pulse amplitude modulation) ที่มีค่าบนแกนจริง (In-phase) และแกนจินตภาพ (Quadrature-phase) แตกต่างกันที่จำนวนระดับของ PAM และค่านอมัลไลซ์ ดังนั้น การสร้างวงจร มอดูเลตมาตรฐาน 5G จะเป็นเพียงการสร้าง look-up table หรือ LUT เพื่อเก็บค่าการคูณและการ หารของค่าในแกนจริงและแกนจินตภาพไว้ เนื่องจากค่าในแกนจริงและแกนจินตภาพเป็นค่าเดียวกัน ดังนั้นจริงสามารถลดตารางให้เหลือเพียงตารางของค่าในแกนจริงเท่านั้น



รูปที่ 3.40 ตัวอย่างการสร้าง QPSK ด้วย FPGA

ตัวอย่างการสร้างสัญญาณแบบ QPSK สำหรับเครื่องส่ง จะทำได้โดยการจำคู่บิตข้อมูลทีละ 2 บิต ต่อหนึ่งสัญลักษณ์ ทำให้สัญญาณที่เป็นไปได้ทั้งหมดเท่า 4 สัญญาณดังรูปที่ **3.40** ทั้งนี้ บิต ข้อมูล 2 บิต ที่ต้องการจับคู่ถูกใช้เป็นอินพุตของ LUT ส่วนสัญญาณเอาต์พุตประกอบไปด้วยสัญญาณ I (In-phase) (หรือค่าในแกนจริง) และ Q (Quadrature-phase) (หรือค่าในแกนจินตภาพ) โดย สัญญาณมอดูเลชันจะถูกเลื่อนออกมาทุกสัญญาณนาฬิกา ตารางที่ **3.3** – 3.5 แสดงอินพุตและ เอาต์พุตของ LUT สำหรับการมอดูเลชันแบบ *π*/2-BPSK การมอดูเลชันแบบ BPSK และการมอดูเล ชันแบบ QPSK

	ิย	୰ୖ	J	ย	10
ตารางท 33	ตารางคนหาการบ	อดเลชบสา	เหราเกา	ເຊເຍັດເອນ ທີ່	$\pi/2$ -BPSK
110101-0.5	FT TO TNITPOPT TITT TO 00	0 1001 0 1001			

LUT			
Input	'1'	'0'	
Output	0.7071	-0.7071	

ตารางที่ 3.4 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ BPSK

LUT				
Input	'1'	'0'		
Output	-0.7071	0.7071		

LUT			
Input	'1'	ʻ0'	
Output	-0.7071	0.7071	

ตารางที่ 3.5 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ QPSK (2PAM)

ตัวอย่างการสร้างสัญญาณแบบ 16QAM สำหรับเครื่องส่ง จะทำได้โดยการจำคู่บิตข้อมูลทีละ 4 บิต โดย 2 บิตเป็นค่าในแกนจริง ในรูปตัวอย่างคือ '11' และ 2 บิตเป็นค่าในแกนจินตภาพในรูป ตัวอย่างคือ '10' ดังนั้นจะได้สัญญาณ 16QAM ที่ดึงมาจากตารางที่ 3.6 คือ -0.9487 - 0.3162j โดย ตารางที่ 3.6 – 3.9 แสดงอินพุตและเอาต์พุตของ LUT สำหรับการมอดูเลชันแบบ 16QAM การมอ ดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM



รูปที่ 3.41 ตัวอย่างการสร้าง 16QAM ด้วย FPGA

ตารางที่ 3.6 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 16QAM (4PAM)

LUT				
Input	'11'	'10'	'00'	'01'
Output	-0.9487	-0.3162	0.3162	0.9487

		LUT		
Input	'111'	'110'	'100'	'101'
Output	-1.0801	-0.7715	-0.4629	-0.1543
Input	'001'	'000'	'010'	'011'
Output	0.1543	0.46291	0.77152	1.08012

ตารางที่ 3.7 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 64QAM (8PAM)

ตารางที่ 3.8 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 256QAM (16PAM)

		LUT		
Input	'1111'	'1110'	'1100'	'1101'
Output	-1.1504	-0.9971	-0.8437	-0.6903
Input	'1001'	'1000'	'1010'	'1011'
Output	-0.5369	-0.3835	-0.2301	-0.0767
Input	'0011'	'0010'	'0000'	'0001'
Output	0.0767	0.23009	0.38348	0.53688
Input	'0101'	'0100'	'0110'	'0111'
Output	0.69027	0.84366	0.99705	1.15045

ตารางที่ 3.9 ตารางค้นหาการมอดูเลชันสำหรับการมอดูเลชันแบบ 1024QAM (32PAM)

		LUT		
Input	'11111'	'11110'	'11100'	'11101'
Output	-1.1871	-1.1105	-1.0339	-0.9573
Input	'11001'	'11000'	'11010'	'11011'
Output	-0.8807	-0.8041	-0.7275	-0.651
Input	'10011'	'10010'	'10000'	'10001'
Output	-0.5744	-0.4978	-0.4212	-0.3446
Input	'10101'	'10100'	'10110'	'10111'
Output	-0.268	-0.1915	-0.1149	-0.0383
Symbol	'00111'	'00110'	'00100'	'00101'
value	0.03829	0.11488	0.19146	0.26804

Input	'00001'	'00000'	'00010'	'00011'
Output	0.34463	0.42121	0.4978	0.57438
Input	'01011'	'01010'	'01000'	'01001'
Output	0.65096	0.72755	0.80413	0.88072
Input	'01101'	'01100'	'01110'	'01111'
Output	0.9573	1.03388	1.11047	1.18705

#### 3.10 รายละเอียดการสร้างการดีมอดูเลชันมาตรฐาน 5G

การออกแบบการดีมอดูเลตมาตรฐาน 5G บนอุปกรณ์ FPGA ไม่มีข้อกำหนดไว้ ให้ขึ้นอยู่กับ ผู้ผลิตแต่ละราย และไม่มีข้อกำหนดอัลกอริทึมไว้ด้วยเช่นกัน แต่มีข้อกำหนดทางเทคนิคไว้ตายตัว ไม่ สามารถเปลี่ยนแปลงได้ เช่น การถอดรหัส LDPC และ Polar code ต้องมีขนาดของ บล็อก (block) เท่าไร และวางไว้ตรงไหนตามข้อกำหนด ตามที่ได้กล่าวมาข้างต้น ไม่สามารถเปลี่ยนแปลงได้ อย่างไร ก็ดี สำหรับการคำนวณด้วย FPGA ควรพิจารณา Logic blocks และ DSP blocks เพียงพอต่อการ ประมวลดังกล่าวหรือไม่ และอัลกอริทึมสำหรับการดีมอดูเลชันสามารถคำนวณได้หรือไม่ การออกแบบจะเริ่มจากจากสมการที่ (2.22) ถ้ากำหนดให้ช่องสัญญาณเป็นเป็นแบบ AWGN (Additive white Gaussian noise) จะได้

$$\begin{split} L_{b_i}(y) &= \log \left( \frac{\max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 1\}} \frac{1}{\sqrt{2\pi\sigma^2}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}}{\max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \frac{1}{\sqrt{2\pi\sigma^2}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}}{\frac{1}{\sqrt{2\pi\sigma^2}}} \right) \\ &= \log \left( \frac{\max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 1\}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}}{\max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}}{2\sigma^2}\right) \\ &= \log \left( \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 1\}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &- \log \left( \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &- \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( \exp\{-\frac{(y-s)^2}{2\sigma^2}\}\right) \\ &= \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \log \left( -\frac{(y-s)^2}{2\sigma^2}\right) - \max_{s \in \{s_{b_1 \dots b_k} \mid b_i = 0\}} \left( -\frac{(y-s)^2}{2\sigma^2}\right) \right) \end{split}$$

$$= \frac{1}{2\sigma^{2}} \left( \max_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=1\}} \left( -(y-s)^{2} \right) - \max_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=0\}} \left( -(y-s)^{2} \right) \right)$$

$$= \frac{1}{2\sigma^{2}} \left( -\min_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=1\}} \left( (y-s)^{2} \right) + \min_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=0\}} \left( (y-s)^{2} \right) \right)$$

$$= \frac{1}{2\sigma^{2}} \left( \min_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=0\}} \left( (y-s)^{2} \right) - \min_{s \in \{s_{b_{1}...b_{k}} \mid b_{i}=1\}} \left( (y-s)^{2} \right) \right)$$
(3.19)

จากสมการที่ (3.19) จะต้องมีการออปติไมซ์ (Optimization) หาค่าต่ำสุดของ  $(y-s)^2$  ดังนั้นจะ  $\min_{s\in\{s_{b_1\dots b_k}|b_i=0\}} ((y-s)^2) \min_{s\in\{s_{b_1\dots b_k}|b_i=1\}} ((y-s)^2)$ สามารถเขียนได้เป็น

$$\mu_0 = \min_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \left( (y - s)^2 \right)$$
(3.20)

$$\mu_{1} = \min_{s \in \{s_{b_{1}...b_{k}} | b_{i} = 1\}} \left( (y - s)^{2} \right)$$
(3.21)

ดังนั้นจากสมการที่ (3.19) จะสามารถเขียนใหม่ได้เป็น

$$L_{b_{i}}(y) = \frac{1}{2\sigma^{2}} \left( (y - \mu_{0})^{2} - (y - \mu_{1})^{2} \right)$$
  
$$= \frac{1}{2\sigma^{2}} \left( y^{2} - 2y\mu_{0} + (\mu_{0})^{2} - (y^{2} - 2y\mu_{1} + (\mu_{1})^{2}) \right)$$
  
$$= \frac{1}{2\sigma^{2}} \left( 2y(\mu_{1} - \mu_{0}) + (\mu_{0})^{2} - (\mu_{1})^{2} \right)$$
(3.22)

ดังนั้น การประมาณค่า LLR ด้วยวิธีการดีมอดูเลชันค่า LLR สูงสุดด้วยสมการที่ (3.22) ใช้สำหรับค่า จำนวนจริงและจำนวนจินตภาพของการมอดูเลชันแบบต่าง ๆ ในมาตรฐาน 5G ที่ส่งผ่านช่องสัญญาณ AWGN เท่านั้น

จากสมการที่ (3.22) จะเห็นได้ว่ามีค่า  $\mu_0$  และ  $\mu_1$  ที่จะต้องออปติไมซ์หาค่าต่ำสุดจาก สมการที่ (3.20) และ (3.21) เราจะหาค่าดังกล่าวเป็นตารางเก็บไว้เพื่อลดความซับซ้อนและเวลาใน การคำนวณค่า วิธีการออกแบบตารางสามารถทำได้โดยการแบ่งช่วงค่า <sup>y</sup> ตัวอย่างเช่น การมอดูเล ชันแบบ 64QAM จะพิจารณาเป็นการมอดูเลชันแบบ 8PAM ของแกนจำนวนจริง และการมอดูเลชัน แบบ 8PAM ของแกนจำนวนจินตภาพ ในที่นี้เราจะยกตัวอย่างเพียง 1 แกน การมอดูเลชันแบบ 8PAM จะมีการแบ่งค่า <sup>y</sup> เป็น 8 ช่วง แต่ละช่วงประกอบด้วย 3 บิต และมีค่าเฉลี่ยดังแสดงในรูปที่ **3.42** สมมุติให้ค่า <sup>y</sup> ตกในช่วงของสัญลักษณ์ 110 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 1 เป็น 1  $\mu_1^{1}$  ที่ ใกล้ค่า <sup>y</sup> ที่สุดคือ -5 หรือก็ค่าค่าเฉลี่ยของช่วงที่ค่า <sup>y</sup> อยู่ ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 1 เป็น 0  $\mu_1^{0}$  ที่ใกล้ค่า <sup>y</sup> ที่สุดคือ 1 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 1 เป็น 0  $\mu_1^{0}$  ที่ใกล้ค่า <sup>y</sup> ที่สุดคือ 1 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 2 เป็น 1  $\mu_2^{1}$  ที่ใกล้ค่า <sup>y</sup> ที่สุดคือ -5 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 2 เป็น 0  $\mu_2^0$  ที่ใกล้ค่า y ที่สุดคือ -3 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 3 เป็น 1  $\mu_3^1$  ที่ใกล้ค่า y ที่สุด คือ -7 และค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 3 เป็น 0  $\mu_3^0$  ที่ใกล้ค่า y ที่สุดคือ -5

Symbols	111	110	100	101	001	000	010
means	-7	-5	-3	-1	1	3	5
$y_k$ $\mu_1^1 = -5 \qquad \mu_1^0 = 1$							
	$\begin{array}{c} \mu_2^1 \\ \mu_3^1 \end{array}$	= -5 = -7	$ \mu_2^0 = -3  \mu_3^0 = -5 $				

รูปที่ 3.42 ตัวอย่างการหาค่าในตารางสำหรับค่า  $\mu_0$  และ  $\mu_1$  ที่มีการมอดูเลชันแบบ 8PAM

จากตัวอย่างวิธีการออกแบบตารางด้านบนเราจะหาค่าในตารางทั้งหมดโดยสมมุติให้ค่า <sup>y</sup> อยู่ในแต่ละช่วงแล้วหาค่าจนครบทุกช่วง ดังนั้นจะได้ตารางดังตารางที่ 3.18 และตารางที่ 3.19 จากสมการที่ (3.22) เมื่อแทนค่า <sup>µ</sup> และ <sup>µ</sup> ด้วยตารางจะได้ดังนี้

$$L(i) = \frac{1}{2\sigma^{2}} \Big( 2y(n_{m}) \Big( LUT_{1}(i, F(y)) - LUT_{0}(i, F(y)) \Big) + \Big( LUT_{0}(i, F(y)) \Big)^{2} - \Big( LUT_{0}(i, F(y)) \Big)^{2} \Big)$$
(3.23)

เมื่อ  $n_m \in \{\sqrt{2}, \sqrt{10}, \sqrt{42}, \sqrt{170}, \sqrt{682}\}$  *i* คือลำดับบิตในสัญลักษณ์ และ F(y) คือฟังก์ชันใน การคำนวณอินเด็กซ์ของตารางจากค่า <sup>y</sup> คำนวณได้จาก

$$F(y) = saturate\left(round\left(y\frac{n_m}{2} - 0.5\right)\right)$$
(3.24)

เมื่อ

saturate 
$$(x) = \begin{cases} -M/2, & \text{if } x < -M/2 \\ M/2 - 1, & \text{if } x > M/2 - 1 \\ x, & \text{otherwise.} \end{cases}$$
 (3.25)

และ M คือ M-QAM

การคำนวณด้วย FPGA สามารถออกแบบได้ดังรูปที่ **3.43** เริ่มต้นทำการปัดเศษขึ้น (Round up) ตั้งขอบเขต (Saturate) จากนั้น นำสัญญาณที่ได้เพื่อหาค่าตาม LUT โดยที่ตัวอย่าง LUT สำหรับ QPSK โดยการคำนวณกำหนดให้ขนาดบิตสุดท้ายที่ใช้คือ 18 บิต ประกอบไปด้วยส่วน ของทศนิยม 11 บิต และส่วนของจำนวณเต็ม 7 บิต



รูปที่ 3.43 อัลกอริทึมการดีมอดูเลชันสัญญาณตามมาตรฐาน 5G บนอุปกรณ์ FPGA โดยมีตัวอย่าง LUT0 และ LUT1 ประกอบ

สำหรับการมอดูเลซันในมาตรฐาน 5G กำหนดให้ใช้งานการมอดูเลซัน 7 รูปแบบได้แก่การมอ ดูเลชันแบบ π/2-BPSK การมอดูเลชันแบบ BPSK การมอดูเลชันแบบ QPSK การมอดูเลชันแบบ 16QAM การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM ซึ่งมีตาราง *LUT*<sub>0</sub> และ *LUT*<sub>1</sub> ดังนี้

1) การมอดูเลชั่นแบบ  $\pi/2$ -BPSK

ตารางที่ :	3.10	ตารางค่าเฉลี่ยข	องบิต 0	ที่ใกล้	y	ที่สุดสำหรับ	$\pi/2$ -BPSK
------------	------	-----------------	---------	---------	---	--------------	---------------

$LUT_0$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

ตารางที่ 3.11 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ  $\pi/2$  -BPSK

$LUT_1$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

2) การมอดูเลชั่นแบบ BPSK

ตารางที่ 3.12 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ BPSK

$LUT_0$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

ตารางที่ 3.13 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ BPSK

$LUT_1$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

3) การมอดูเลชั่นแบบ QPSK

ตารางที่ 3.14 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ QPSK (2PAM)

$LUT_0$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

ตารางที่ 3.15 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ QPSK (2PAM)

$LUT_1$			
Input		$-\infty < y \le 0$	$0 < y \le \infty$
Output	บิตที่ 1	-1	1

4) การมอดูเลชั่นแบบ 16QAM

ตารางที่ 3.16 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 16QAM (4PAM)

$LUT_0$							
Input		$-\infty < y \leq -2$	$-2 < y \le 0$	$0 < y \le 2$	$2 < y \le \infty$		
Output	บิตที่ 1	1	1	1	3		
	บิตที่ 2	-1	-1	1	1		

$LUT_1$						
Input		$-\infty < y \leq -2$	$-2 < y \le 0$	$0 < y \le 2$	$2 < y \le \infty$	
Output	บิตที่ 1	-3	-1	-1	-1	
	บิตที่ 2	-3	-3	3	3	

ตารางที่ 3.17 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 16QAM (4PAM)

5) การมอดูเลชั่นแบบ 64QAM

ตารางที่ 3.18 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 64QAM (8PAM)

LUT <sub>1</sub>						
Input		$-\infty < y \leq -6$	$-6 < y \le -4$	$-4 < y \le -2$	$-2 < y \le 0$	
Output	บิตที่ 1	1	1	1	1	
	บิตที่ 2	-3	-3	-3	-1	
	บิตที่ 3	-5	-5	-3	-3	
Input		$0 < y \le 2$	$2 < y \leq 4$	$4 < y \le 6$	$6 < y \le \infty$	
Output	บิตที่ 1	1	3	5	7	
	บิตที่ 2	1	3	3	3	
	บิตที่ 3	3	3	5	5	

ตารางที่ 3.19 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 64QAM (8PAM)

LUT <sub>1</sub>						
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \le -2$	$-2 < y \le 0$	
Output	บิตที่ 1	-7	-5	-3	-1	
	บิตที่ 2	-7	-5	-5	-5	
	บิตที่ 3	-7	-7	-1	-1	
Input		$0 < y \le 2$	$2 < y \le 4$	$4 < y \le 6$	$6 < y \le \infty$	
Output	บิตที่ 1	-1	-1	-1	-1	
	บิตที่ 2	5	5	5	7	
	บิตที่ 3	1	1	7	7	

# 6) การมอดูเลชันแบบ 256QAM

ตารางที่ 3.20 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 256QAM (16PAM)

$LUT_0$						
Input		$-\infty < y \leq -14$	$-14 < y \le -12$	$-12 < y \le -10$	$-10 < y \le -8$	
Output	1	1	1	1	-9	
	-7	-7	-7	-7	-9	
	-11	-11	-11	-9	-13	
	-13	-13	-11	-11	-9	
Input		$-8 < y \le -6$	$-6 < y \le -4$	$-4 < y \le -2$	$-2 < y \le 0$	
	1	1	1	1	-1	
Output	-7	-5	-3	-1	-9	
Output	-7	-5	-5	-5	-1	
	-5	-5	-3	-3	-1	
Input		$0 < y \le 2$	$2 < y \le 4$	$4 < y \le 6$	$6 < y \le 8$	
	1	3	5	7	-1	
Output	1	3	5	7	9	
Output	5	5	5	7	3	
	3	3	5	5	7	
Input		$8 < y \le 10$	$10 < y \le 12$	$12 < y \le 14$	$14 < y \leq \infty$	
Output	9	11	13	15	-1	
	7	7	7	7	15	
	9	11	11	11	15	
	11	11	13	13	15	
$LUT_0$						
---------	----------	------------------------	-------------------	-------------------	----------------------	
Input		$-\infty < y \leq -14$	$-14 < y \le -12$	$-12 < y \le -10$	$-10 < y \le -8$	
	บิตที่ 1	-15	-13	-11	-9	
	บิตที่ 2	-15	-13	-11	-9	
Output	บิตที่ 3	-15	-13	-13	-13	
	บิตที่ 4	-15	-15	-9	-9	
Input		$-8 < y \le -6$	$-6 < y \le -4$	$-4 < y \le -2$	$-2 < y \le 0$	
	บิตที่ 1	-7	-5	-3	-1	
Outrast	บิตที่ 2	-9	-9	-9	-9	
Output	บิตที่ 3	-3	-3	-3	-1	
	บิตที่ 4	-7	-7	-1	-1	
Input		$0 < y \le 2$	$2 < y \leq 4$	$4 < y \le 6$	$6 < y \le 8$	
	บิตที่ 1	-1	-1	-1	-1	
Output	บิตที่ 2	9	9	9	9	
Output	บิตที่ 3	1	3	3	3	
	บิตที่ 4	1	1	7	7	
Input		$8 < y \le 10$	$10 < y \le 12$	$12 < y \le 14$	$14 < y \leq \infty$	
	บิตที่ 1	-1	-1	-1	-1	
	บิตที่ 2	9	11	13	15	
Output	บิตที่ 3	13	13	13	15	
	บิตที่ 4	9	9	15	15	

ตารางที่ 3.21 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 256QAM (16PAM)

7) การมอดูเลชั่นแบบ 1024QAM

ตารางที่ 3.22 ตารางค่าเฉลี่ยของบิต 0 ที่ใกล้ y ที่สุดสำหรับ 1024QAM (32PAM)

$LUT_0$					
Input		$-\infty < y \leq -30$	$-30 < y \le -28$	$-28 < y \le -26$	$-26 < y \le -24$
	บิตที่ 1	1	1	1	1
Output	บิตที่ 2	-15	-15	-15	-15
	บิตที่ 3	-23	-23	-23	-23

	บิตที่ 4	-27	-27	-27	-25
	บิตที่ 5	-29	-29	-27	-27
Input		$-24 < y \le -22$	$-22 < y \le -20$	$-20 < y \le -18$	$-18 < y \le -16$
	บิตที่ 1	1	1	1	1
	บิตที่ 2	-15	-15	-15	-15
Output	บิตที่ 3	-23	-21	-19	-17
	บิตที่ 4	-23	-21	-21	-21
	บิตที่ 5	-21	-21	-19	-19
Input		$-16 < y \le -14$	$-14 < y \le -12$	$-12 < y \le -10$	$-10 < y \le -8$
	บิตที่ 1	1	1	1	1
	บิตที่ 2	-15	-13	-11	-9
Output	บิตที่ 3	-15	-13	-11	-9
	บิตที่ 4	-11	-11	-11	-9
	บิตที่ 5	-13	-13	-11	-11

Input		$-8 < y \le -6$	$-6 < y \le -4$	$-4 < y \le -2$	$-2 < y \le 0$
	บิตที่ 1	1	1	1	1
	บิตที่ 2	-7	-5	-3	-1
Output	บิตที่ 3	-9	-9	-9	-9
	บิตที่ 4	-7	-5	-5	-5
	บิตที่ 5	-5	-5	-3	-3
Input		$0 < y \le 2$	$2 < y \le 4$	$4 < y \le 6$	$6 < y \le 8$
	บิตที่ 1	1	3	5	7
	บิตที่ 2	1	3	5	7
Output	บิตที่ 3	9	9	9	9
	บิตที่ 4	5	5	5	7
	บิตที่ 5	3	3	5	5
Input		$8 < y \le 10$	$10 < y \leq 12$	$12 < y \leq 14$	$14 < y \leq 16$
Output	บิตที่ 1	9	11	13	15

	บิตที่ 2	9	11	13	15
	บิตที่ 3	9	11	13	15
	บิตที่ 4	9	11	11	11
	บิตที่ 5	11	11	13	13
Input		$16 < y \le 18$	$18 < y \le 20$	$20 < y \le 22$	$22 < y \le 24$
	บิตที่ 1	17	19	21	23
	บิตที่ 2	15	15	15	15
Output	บิตที่ 3	17	19	21	23
	บิตที่ 4	21	21	21	23
	บิตที่ 5	19	19	21	21
Input		$24 < y \le 26$	$26 < y \le 28$	$28 < y \le 30$	$30 < y \le \infty$
	บิตที่ 1	25	27	29	31
	บิตที่ 2	15	15	15	15
Output	บิตที่ 3	23	23	23	23
	บิตที่ 4	25	27	27	27
	บิตที่ 5	27	27	29	29

ตารางที่ 3.23 ตารางค่าเฉลี่ยของบิต 1 ที่ใกล้ y ที่สุดสำหรับ 1024QAM (32PAM)

$LUT_1$					
Input		$-\infty < y \leq -30$	$-30 < y \le -28$	$-28 < y \le -26$	$-26 < y \le -24$
	บิตที่ 1	-31	-29	-27	-25
	บิตที่ 2	-31	-29	-27	-25
Output	บิตที่ 3	-31	-29	-27	-25
	บิตที่ 4	-31	-29	-29	-29
	บิตที่ 5	-31	-31	-25	-25
Input		$-24 < y \le -22$	$-22 < y \le -20$	$-20 < y \le -18$	$-18 < y \le -16$
	บิตที่ 1	-23	-21	-19	-17
Outrant	บิตที่ 2	-23	-21	-19	-17
Output	บิตที่ 3	-25	-25	-25	-25
	บิตที่ 4	-19	-19	-19	-17

	บิตที่ 5	-23	-23	-17	-17
Input		$-16 < y \le -14$	$-14 < y \le -12$	$-12 < y \le -10$	$-10 < y \le -8$
	บิตที่ 1	-15	-13	-11	-9
	บิตที่ 2	-17	-17	-17	-17
Output	บิตที่ 3	-7	-7	-7	-7
	บิตที่ 4	-15	-13	-13	-13
	บิตที่ 5	-15	-15	-9	-9
Input		$-8 < y \le -6$	$-6 < y \le -4$	$-4 < y \le -2$	$-2 < y \le 0$
	บิตที่ 1	-7	-5	-3	-1
	บิตที่ 2	-17	-17	-17	-17
Output	บิตที่ 3	-7	-5	-3	-1
	บิตที่ 4	-3	-3	-3	-1
	บิตที่ 5	-7	-7	-1	-1
Input		$0 < y \le 2$	$2 < y \le 4$	$4 < y \le 6$	$6 < y \le 8$
	บิตที่ 1	-1	-1	-1	-1
	บิตที่ 2	17	17	17	17
Output	บิตที่ 3	1	3	5	7
	บิตที่ 4	1	3	3	3
	บิตที่ 5	1	1	7	7
Input		$8 < y \le 10$	$10 < y \le 12$	$12 < y \le 14$	$14 < y \le 16$
	บิตที่ 1	-1	-1	-1	-1
	บิตที่ 2	17	17	17	17
Output	บิตที่ 3	7	7	7	7
	บิตที่ 4	13	13	13	15
	บิตที่ 5	9	9	15	15

	บตท 5	9	9	15	15
Input		$16 < y \le 18$	$18 < y \le 20$	$20 < y \le 22$	$22 < y \le 24$
Outraut	บิตที่ 1	-1	-1	-1	-1
Output	บิตที่ 2	17	19	21	23

	บิตที่ 3	25	25	25	25
	บิตที่ 4	17	19	19	19
	บิตที่ 5	17	17	23	23
Input		$24 < y \le 26$	$26 < y \le 28$	$28 < y \le 30$	$30 < y \le \infty$
	บิตที่ 1	-1	-1	-1	-1
	บิตที่ 2	25	27	29	31
Output	บิตที่ 3	25	27	29	31
	บิตที่ 4	29	29	29	31
	บิตที่ 5	25	25	31	31

# 3.11 รายละเอียดการสร้างการเข้ารหัสช่องสัญญาณมาตรฐาน 5G3.11.1 การออกแบบการเข้ารหัส LDPC บนอุปกรณ์ FPGA

การออกแบบการเข้ารหัส LDPC บนอุปกรณ์จะทำตามกระบวนการเข้ารหัสข้างต้น ซึ่งจะเห็น ได้ว่ากระบวนการต่าง ๆ จะอาศัยการคูณและการบวกเป็นหลัก สำหรับบนอุปกรณ์ FPGA การบวกจะ ทำได้ง่ายและไม่เปลืองทรัพยากรด้วยการใช้ลอจิก XOR แทนการบวกแบบมอดูโล 2 ส่วนวงจรคูณจะ เป็นส่วนที่ใช้ทรัพยากรค่อนข้างมากซึ่งสามารถหลีกเลี่ยงการใช้งานวงจรคูณได้จากคุณสมบัติของ QC-LDPC ซึ่งเป็นคุณลักษณะของเมทริกซ์ของมาตรฐาน 5G ดังนี้

$$H = \begin{bmatrix} Q(P_{1,1}) & Q(P_{1,2}) & \cdots & Q(P_{1,n_b}) \\ Q(P_{2,1}) & Q(P_{2,2}) & \cdots & Q(P_{2,n_b}) \\ \vdots & \vdots & \ddots & \vdots \\ Q(P_{m_b,1}) & Q(P_{m_b,2}) & \cdots & Q(P_{m_b,n_b}) \end{bmatrix}$$
(3.26)

โดยเมทริกซ์  $Q(P_{i,j})$  เป็นเมทริกซ์เอกลักษณ์ที่ถูกหมุนวนไปทางด้านขวาจำนวน  $P_{i,j}$  ครั้งโดย  $P_{i,j}$  ตัวอย่างของ  $Q(P_{i,j})$  เป็นดังนี้

$$Q(0) = \begin{pmatrix} 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots & \\ 0 & 0 & 0 & \cdots & 0 \\ 0 & 0 & 0 & \cdots & 1 \end{pmatrix}$$

$$Q(1) = \begin{pmatrix} 0 & 1 & 0 & \cdots & 0 \\ 0 & 0 & 1 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots & \\ 0 & 0 & 0 & \cdots & 1 \\ 1 & 0 & 0 & \cdots & 0 \end{pmatrix}$$
(3.27)

หากทำการคูณเมทริกซ์หลักใด ๆ เข้ากับเมทริกซ์ข้างต้น จะได้ผลลัพธ์ดังนี้

$$\begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \times \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}$$

$$\begin{bmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \end{bmatrix} \times \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 1 \end{bmatrix}$$

$$(3.28)$$

$$\begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix} \times \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \end{bmatrix}$$

จะเห็นว่าผลลัพธ์ของการคูณเปรียบเสมือนเป็นเพียงการเลื่อนค่าของอินพุตซึ่งสามารถใช้ วงจรเลื่อนค่าแทนวงจรคูณได้ วงจรเลื่อนค่าบนอุปกรณ์ FPGA มีจำนวนมากกว่าวงจรคูณหลายเท่า ดังนั้นการใช้งานในลักษณะนี้จึงเหมาะกว่าในแง่ของการใช้งานทรัพยากร

#### 3.12 รายละเอียดการสร้างการถอดรหัสช่องสัญญาณมาตรฐาน 5G

สำหรับการถอดรหัส LDPC บนซิปเอฟพีจีเอจะอาศัยอัลกอริทึมการถอดรหัสความเชื่อมั่น แบบเลเยอร์ (Layered Belief Propagation) โดยที่โครงสร้างจะประกอบไปด้วยโหนด 2 ประเภท โหนดตัวแปร และโหนดตรวจสอบ โดยแต่ละโหนดจะมีการคำนวณตามสมการที่ 2.25 และ 2.26 ตามลำดับ โครงสร้างการถอดรหัสถูกออกแบบให้มีความคล้ายคลึงกับตัวถอดรหัสใน [14] โดยมีรูป โครงสร้างตามรูปที่ 3.44 โดยแบ่งโครงสร้างออกเป็นได้ทั้งหมด 3 ภาคส่วน ได้แก่ ส่วนหน่วยความจำ ส่วนโครงสร้างการแทรกสลับ และส่วนหน่วยประมวลผล



รูปที่ 3.44 โครงสร้างตัวถอดรหัส LDPC

(1) ส่วนหน่วยความจำ จะประกอบไปด้วยหน่วยความจำ 3 ประเภท สำหรับการเก็บค่าเมท ริกซ์ตรวจสอบพาริตี การเก็บค่า LLR ที่เอาต์พุตช่องสัญญาณ และการเก็บค่า LLR ที่เอาต์พุตโหนด ตรวจสอบ เนื่องด้วยเป็นการถอดรหัสแบบเลเยอร์ ทำให้หน่วยความจำที่จำเป็นในการเก็บค่าข้อความ ภายในโครงสร้างตัวถอดรหัสมีเพียงค่า 3 ประเภทนี้ ดังนั้น หน่วยความจำดังกล่าวจะใช้งานบล็อกแรม ภายในโครงสร้างตัวถอดรหัสมีเพียงค่า 3 ประเภทนี้ ดังนั้น หน่วยความจำดังกล่าวจะใช้งานบล็อกแรม ภายในชิปเอฟพีจีเอทั้งหมด โดยจำนวนบล็อกแรมที่ใช้งานแก่หน่วยความจำประเภทต่าง ๆ แสดงดัง ตารางที่ 3.24

ตารางที่ 3.24 ทรัพยากรของหน่วยความจำ

ประเภทหน่วยความจำ	จำนวนบล็อกแรมที่ใช้งาน	ขนาดของบล็อกแรม
		(จำนวนบล็อกแถว x (จำนวนบล็อก
ค่าเมทริกซ์ตรวจสอบพาริตี	1	หลัก x (log <sub>2</sub> (ขนาดการยกเมทริกซ์)
		+ 1)))
ค่า LLR ที่เอาต์พุต	จำนวนบล็อกแถวของ	ขนาดการยกเมทริกซ์ x (จำนวนบิต
ช่องสัญญาณ	เมทริกซ์ตรวจสอบพาริตี	ต่อค่า LLR + 1)
		(2 x (จำนวนบิตต่อค่า LLR – 1)) +
ค่า LLR ที่เอาต์พุตโหนด		log <sub>2</sub> (จำนวนบล็อกแถว x ขนาดการ
ตรวจสอบ	้ง เนานหนายกวะทาลผล -	ยกเมทริกซ์) + (จำนวนบล็อกหลัก
		+ ขนาดการยกเมทริกซ์)

(2) ส่วนโครงสร้างการแทรกสลับ เป็นโครงสร้างที่ขั้นอยู่ระหว่างส่วนหน่วยความจำและส่วน หน่วยประมวลผล ส่วนดังกล่าวทำหน้าที่จัดเรียงข้อมูลจากส่วนหน่วยความจำไปยังส่วนหน่วย ประมวลผล โครงสร้างส่วนนี้จะประกอบไปด้วยวงจรย่อยอีก 2 ส่วน ได้แก่ วงจรเลื่อน QSN และวงจร แทรกสลับ เนื่องด้วยข้อจำกัดของบล็อกแรมที่สามารถเข้าถึงแรมได้เพียง 1 address ต่อ 1 สัญญาณ นาฬิกา จึงทำให้หน่วยความจำ 1 address ต้องเก็บค่า LLR เท่ากับจำนวนหน่วยประมวลผล รวมถึง ใช้จำนวนบล็อกแรมจำนวนบล็อกแถวของเมทริกซ์ตรวจสอบพาริตี ทำให้สามารถคำนวณโหนด ตรวจสอบในลักษณะขนานกันเป็นจำนวนเท่ากับจำนวนหน่วยประมวลผลภายใน 1 สัญญาณนาฬิกา ได้ ทั้งนี้ข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำจะยังไม่ถูกจัดเรียง จึงต้องอาศัยส่วนโครงสร้างการ แทรกสลับในการจัดเรียงข้อมูลเพื่อส่งเข้าสู่ส่วนหน่วยประมวลผล

(3) ส่วนหน่วยประมวลผล เป็นส่วนที่คำนวณค่าภายในการถอดรหัส ตัวถอดรหัสนี้ ประกอบด้วยโหนดตรวจสอบและโหนดตัวแปร โหนดตรวจสอบใช้อัลกอริทึม Min-sum ภายการ ถอดรหัสแบบเลเยอร์ แสดงโครงสร้างหน่วยประมวลผล 1 ตัวได้ดังรูปที่ 3.45 โดยแสดงให้เห็นว่า ภายการถอดรหัสแบบเลเยอร์ ค่า LLR ที่เอาต์พุตช่องสัญญาณก่อนที่จะคำนวณโหนดตรวจสอบ จะต้องทำการลบกับค่า LLR ที่เอาต์พุตโหนดตรวจสอบเก่าก่อน ซึ่งจะได้ค่า LLR ที่เอาต์พุตโหนดตัว แปร จากนั้นจะทำการหาค่าที่ต่ำสุดสองค่าสำหรับการถอดรหัสด้วยอัลกอริทึม Min-sum ซึ่งจะได้ค่า LLR ที่เอาต์พุตโหนดตรวจสอบใหม่ สุดท้ายค่า LLR ที่เอาต์พุตโหนดตรวจสอบใหม่จะบวกกับค่า LLR ที่เอาต์พุตโหนดตัวแปร ได้เป็นค่า LLR ที่เอาต์พุตช่องสัญญาณใหม่



รูปที่ 3.45 ส่วนหน่วยประมวลผล 1 ตัว

# บทที่ 4 ผลการวิจัย และการวิจารณ์ผล

#### 4.1 ผลการทดสอบการทำงานของซอฟต์แวร์ GUI

### 4.1.1 ผลการทดสอบซอฟต์แวร์ GUI เพื่อแสดงข้อมูลอินพุตแบบสุ่ม

เมื่อผู้ใช้เปิดซอฟต์แวร์ GUI ที่หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันใน มาตรฐาน 5G หรือหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G หรือหน้าต่างชุดการ เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง คอลัมน์ที่ 1 จะแสดงส่วนสำหรับสร้างข้อมูลอินพุต โดยผู้ใช้สามารถเลือกสร้างข้อมูลอินพุตแบบสุ่ม หรืออัปโหลดรูปภาพ หรือป้อนข้อมูลอินพุตด้วย ตนเอง สำหรับกรณีการสร้างข้อมูลอินพุตแบบสุ่ม ผู้ใช้สามารถกำหนดความยาวอินพุต และเลือกสร้าง ข้อมูลอินพุตโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

กรณีใช้ซอฟต์แวร์สร้างข้อมูลอินพุตแบบสุ่ม

การทดสอบสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์จะกำหนดให้ข้อมูลอินพุตมีความยาว 16 บิต จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module randomInput.py เพื่อสร้างบิตข้อมูลอินพุตและแสดงผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผล ภายใน (Inside) ดังแสดงในรูปที่ 4.1 - รูปที่ 4.3 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตข้อมูล แบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณอินพุตได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณอินพุตที่สร้างโดยใช้ซอฟต์แวร์แสดงดังรูปที่ **4.4** 

5G Standard										
G Modulation 5G Ch	annel Coding	5G High Phy	sical Layer 5G Sim	ulation About						
KMITL HER GRANNET D'ARTERT		Series and	ชุดการเรี           Education           ทปส.           ไฟบานอุลท           This project	ยนรู้การมอดูเล nal kit: Modula แหลา กองรุงวิจัยม t was supported b	ลขั้นและดีมส tion and der สหรัดมาริการก ay The National	อตูเลข้ nodula ระจามส์เ I Broade	ันในมาตรฐ ation in 5G s ค.ศ.ณาทัพทได่ casting and Te	าน 5G standard โพยศิลภาพโทรด lecommunica	มมาคมเพื่อ tion Comr	ปรโอขมีศาสารณส (คำนักงาน กล nission (NBTC).
Input Inside	-	Modu	lation de	Noisy Cl	hannel de	→	Demod Ins	ulation ide	→	Output Inside
Binary Number Generation	r →									
001011110010110	1 <b>-</b> µ88	พธ์ของการสร้	ไางอินพุดแบบกุ่ม							
Configuration	•	Config	uration	Configu	uration		Config	uration		Configuration
Random	J	Select Ma	odulati v	Select Cha	annel 🗸		Select De	modul ~		
Input Length	7						Max-Log	~		
16	J — "'	1001200405	ín							
Software OF	PGA	<ul> <li>Software</li> </ul>	⊖ FPGA	O Software	⊖ FPGA		<ul> <li>Software</li> </ul>	⊖ FPGA		
RUN CLE	AR	RUN	CLEAR	RUN	CLEAR		RUN	CLEAR		CLEAR
Signal Plot		Signa	el Plot	Signal	Plot		Signa	I Plot		Signal Plot
		Constella	ation Plot	Constella	tion Plot					

รูปที่ 4.1 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

	1 👷 🔹 กานไม กานไม้ การเรียนรู้การเช่า ไปประเทศการเรียนรู้การเช่า ไปประเทศการเรียนรู้การเช่า ไปประเทศการเรียนรู้การเช่า	และกอดรหัสช่องสัญญาณในมาตรฐา tel coding in 5G standard มะอหัมนาริการกระรายเงิย กิจการ์แรงไดน์ และกั i by The National Broadcasting and Telecom	<b>ณ 5G</b> ดารโพรคมนาคมเรือประโยชน์สาธารณส (สำ munication Commission (NBTC).	านักงาน กระเช.)		
Input Inside	Encoding Inside	Modulation	Noisy Channel	Demodulation     Inside	Decoding Inside	Output     Inside
nary Number Generation -	⇒					
onfiguration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
onfiguration	Configuration Select Channel Encoder	Configuration Select Modulati ~	Configuration Select Channel v	Configuration Select Demodul ~	Configuration Select Channel Decoder v	Configuration
Configuration Indom ~ Input Length for P	Configuration Select Channel Encoder	Configuration Select Modulati ~	Configuration Select Channel $\checkmark$	Configuration Select Demodul ~ Mar-Log ~	Configuration Select Channel Decoder	Configuration
Configuration Input Length Input Length Itware OFPGA	Configuration Steet Channel Encoder	Configuration Select Modulas ~	Configuration Select Channel v	Configuration Select Demodul ~ Mar-Log ~ Schware © FPGA	Configuration Select Channel Decoder v	Configuration

รูปที่ 4.2 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

	1							
MITL 🛃	Section 2017 Statutorsursursursursurserset     Section 2017 Statutorsursursursursurserset     Section 2017 Statutorsursursursursursursursursursursursursur	สิ่งใจและเอยาซิการ์บสูงมาทางฐาน 5G e processing in 5G standard การรายใน กับกร้องใหม่ แต่การใจคมรายแล้ว ฟ Broadcasting and Telecommunication Com	Jeโอยมีกราชอ (ก็มีกรามกรรม) rission (NBTC).					
Input Inside	Coding and Rate Matching Inside	→ Scrambling Inside	Modulation Inside	Noisy Channel	Demodulation     Inside	Descrambling     Inside	De coding and Rate Matching Inside	B → Output Inside
Generation -	→							
0111100101101	ผลลัพธ์ของการสร้างอินพุคแบบสุ่ม							
figuration	Configuration	Configuration	Configuration	Configuration	Coefiguration	Configuration	Configuration	Configuratio
niguration :	Configuration Select Channel Encoder	Configuration	Configuration Select Modulatis	Configuration	Configuration Select Demodul ~	Configuration Select Scarobin ~	Configuration	Configuratio
figuration on v ut Length	Configuration (Steet Dannel Encoder งาวแบาวายจะเป็นสุด	Configuration	Configuration Select Modulatis v	Configuration Select Owned - v	Coeffiguration Select Demodul v Max-Log v	Configuration Salert Scanolin v	Configuration [Select Channel Decoder	Configuratio
figuration Im view ut Length are O FPGA	Configuration Select Dannel Incoder Incoder Scheme O FRA	Configuration Select Scambin Colonnes O/PSA	Configuration Select Modulats -	Configuration Select Owned	Cooliguration Select Demodul ~ Mar-Log ~ Software O FPGA	Configuration Select Scamble	Configuration Listed Gaussian	. Ceefiguratio
figuration m v at Length at C. FPGA CLEAR	Configuration Select Canad Decade Organization Organizati	Coeffiguration Select Scenario ~ Software OFPEG REN CLEAR	Configuration Select Modulati -> Software PPGA RON CLEAR	Configuration Select Dannel -	Configuration Select Demoted	Configuration Extent Scamble Software OFPGA RUN CLEAR	Caligeration Select David Brooker • •	Cueliguratio

รูปที่ 4.3 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.4 กราฟของสัญญาณข้อมูลอินพุตแบบสุ่มที่สร้างโดยใช้ซอฟต์แวร์

• กรณีใช้อุปกรณ์ FPGA สร้างข้อมูลอินพุตแบบสุ่ม

การทดสอบสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตมีความยาว 16 บิต เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งค่าข้อมูลที่กำหนดความยาวของบิตผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการสร้างบิตข้อมูลอินพุตแบบสุ่มและส่งผลลัพธ์ ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดัง แสดงในรูปที่ 4.5 - รูปที่ 4.7 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตข้อมูลแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณอินพุตได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟ ของสัญญาณอินพุตที่สร้างโดยใช้อุปกรณ์ FPGA แสดงดังรูปที่ 4.8

5G Standard Modulation 5G Cha	nnel Codin	g 5G High Phy	sical Layer 5G Sir	mulation About						
<b>หมาย เกล้าอาดกระ</b> บัง		Nans.	ชุดการเ Educatio ให้ประเทศ This proje	รียนรู้การมอดูแ onal kit: Modula ทรุณราก กองทุณวิจัยห ct was supported b	ลชั่นและดีมอ ition and den athiมมากิจการก by The National	เดิเลซ์ท nodula ธรายเสีย Broadc	เป็นมาตรฐา tion in 5G s เกิลการ์เหต์ศล์ asting and Tele	น 5G tandard และกิจการโทรร scommunica	มนาคมเพื่อป tion Comm	หมือชม์สาธารณะ (สำนักงาน กล iission (NBTC).
Input Inside		Modul Insi	ation de	Noisy C	hannel ide	•	Demodu Insi	ilation de	→	Output Inside
Binary Number Generation	_→									
0110011100110010	<b>→</b> sai	ท่งธ์ของการสร้าง	ອີນທຸດແບບຄຸ່ມ							
Configuration		Config	ration	Config	uration		Configu	ration		Configuration
							g-			
kandom v	1	Select Mo	dulatii V	Select Ch	annel		Select Den	nedul V		
16	← 8213	เขาวของอินพุท					Max-Log	~		
) Software 🔹 FP	GA	<ul> <li>Software</li> </ul>	⊖ FPGA	<ul> <li>Software</li> </ul>	⊖ FPGA		O Software	⊖ FPGA		
RUN CLEA	R	RUN	CLEAR	RUN	CLEAR		RUN	CLEAR		CLEAR
Signal Plot		Signa	Plot	Signa	I Plot		Signal	Plot		Signal Plot

รูปที่ 4.5 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Standard						- 0
G Modulation 5G Channel Cod	ing 5G High Physical Layer 5G Simulation About		- 5G			
พระขอมมาย้าอาดกระบัง	nnula:	oding in 5G standard และกังการกระจะมีอง กิจการ์เกรโตน์ และกิจะ he National Broadcasting and Telecomm	ารโหรดมนาดมเพื่อประโยชน์ศาธารณะ (คำง่ nunication Commission (NBTC).	โกงาน กลาย.)		
Input Inside	Encoding Inside	Modulation	Noisy Channel	Demodulation Inside	Decoding Inside	Output     Inside
Binary Number Generation -	→					
0110011100110010	<del>งสสพธของการสรางอนพุศแบบสุม</del>					
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	Select Channel Encoder	Select Modulativ 🗸	Select Channel 🗸	Select Demodul $ \smallsetminus $	Select Channel Decoder 🗸 🗸	
16	วามยาวของอินพุด			Max-Log ~		
Software OFPGA	Software O FPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software O FPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.6 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

MITI 🥐	🖌 🥞 🐟 ชุดการเรียนรู้กระบวนการทำงานฟิสต์ลเลเอเ	ยร์สำเล็บสุลสาหารฐาน 5G						
and a second	121 Monte Stranger and Stranger	กระเริ่มขางที่มี และกระเริ่มของกระแห้งประ Sing and Telecommunication Commis	lanümernena (hrünkruk nevel.) Ken (NETC).					
Input Inside	Coding and Rose Matching     Inside	Scrambling	Modulation	Noisy Channel	Demodulation     Inside	Descrambling     Inside	De-coding and Rate Matching Inside	Output     Inside
Generation -	<b>→</b>							
011100110010	ผลสัพธ์ของการสร้างอินพุทแบบสุ่ม							
figuration	Configuration	Configuration	Configuration	Configuration	Coeffiguration	Configuration	Configuration	Configuration
figuration	Configuration Select Channel Encoder v	Configuration Select Scambin ~	Configuration Select Modulation	Configuration Select Channel V	Configuration Select Demodul ~	Configuration Select Scandolm	Configuration Select Drame Decoder v	Configuration
figuration om S of Length	Configuration Select Channel Encode	Configuration Select Scambin ~	Configuration Select Modulate ~	Configuration	Configuration Select Denadul ~ Max-Log ~	Configuration Select Scambin ~	Configuration Select Channel Decoder v	Configuration
figuration on v at Length e	Configuration Setue Claused Incoder	Configuration Select Scandoln ~	Configuration Select Modulate ~ Schware O FPGA	Configuration Select Owned	Configuration Select Demodul ~ Max-Log ~ SoftwarePPGA	Configuration Select Scambles v	Configuration [Het Daver Doctor v]	Configuration
figuration Im v at Length at CEAR	Configuration Select Clanel Incode  ProtervisedBogs  O Selects  ProtervisedBogs  RN  CL58	Configuration Safect Scandolin Software OFPGA RUN CLEAR	Configuration Select Modules Software O PPGA RIA CLEAR	Configuration Select Channel 🐨	Configuration Select Demodel	Configuration Select Scanblin v	Configuration Select Channel Decolor	Configuration

รูปที่ 4.7 ผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.8 กราฟของสัญญาณข้อมูลอินพุตแบบสุ่มที่สร้างโดยใช้อุปกรณ์ FPGA

# 4.1.2 ผลการทดสอบ GUI เพื่อแสดงผลการเข้ารหัสช่องสัญญาณมาตรฐาน 5G

การเข้ารหัสช่องสัญญาณมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 2 ของหน้ำต่างชุดการเรียนรู้ การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G และหน้าต่างชุดการเรียนรู้กระบวนการทำงาน ฟิสิคัลเลเยอร์มาตรฐาน 5G โดยผู้ใช้สามารถเลือกช่องสัญญาณภาพได้ทั้งหมด 5 ช่องสัญญาณ ได้แก่ PUSCH, PDSCH, PUCCH, PDCCH และ PBCH นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบการเข้ารหัส ช่องสัญญาณโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

# 4.1.2.1 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

กรณีใช้ซอฟต์แวร์เข้ารหัสช่องสัญญาณ

การทดสอบการเข้ารหัสช่องสัญญาณโดยใช้ซอฟต์แวร์จะกำหนดให้ข้อมูลอินพุตมีความยาว 16 บิตซึ่งสร้างจากการทดสอบข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์ และเลือกช่องสัญญาณกายภาพ จากนั้นเมื่อกดปุ่ม "RUN" กรณีเลือกช่องสัญญาณกายภาพชนิด PUSCH และ PDSCH ซอฟแวร์ GUI จะเรียกใช้ซอฟแวร์ Module LDPCEncoderModule.py เพื่อดำเนินการเข้ารหัสช่องสัญญาณ และ กรณีที่ เลือกช่องสัญญาณ PUCCH, PDCCH และ PBCH ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module PolarEncoderModule.py เพื่อดำเนินการเข้ารหัสช่องสัญญาณ จากนั้นจะแสดงผลลัพธ์ที่ ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.9 - รูปที่ 4.13 โดย ผลลัพธ์ดังกล่าวจะอยู่ในรูปของบิตคำรหัสแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของ สัญญาณที่ได้จากการเข้ารหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้จากการ เข้ารหัสแสดงดังรูปที่ 4.14 - รูปที่ 4.18

5G Standard	G SG High Physical Lawer SG Simulation About					
	รัฐการเรียนรู้การเข้าและ           ชุดการเรียนรู้การเข้าและ           กลกอ.           กาปส.           เกินส.	<mark>เอตรหัสข่องสัญญาณในมาตรฐา</mark> oding in 5G standard แนวกิจการกระจายเสียง กิจการ์ทรทัศน์ และกิจ he National Broadcasting and Telecomr	น 5G การ์เหระมนาคมเพื่อประโยชน์สาธารณะ (สำเ munication Commission (NBTC).	โกงาน กสพช.)		
Input  Inside	Encoding Inside	Modulation Inside	Noisy Channel	Demodulation Inside	Decoding	Output Inside
Binary Number Generation →	LDPC Encoding 0011011000000000	→ Modulation	Noisy Channel	Demodulation	LDPC Decoding	
	ผลลัพธ์ของการเข้ารหัสข่องสัญญาณ					
Configuration	Configuration	Configuration		Configuration	Configuration	Configuration
Input Length	Base Graph 1		SNR (dB) 0	Max-Log ~	Min-Sum	
16	้ <u>ข่องสัญญาณกาย</u> ภาพ				Iteration 10	
Software OFPGA	Software O FPGA	Software OFPGA	O Software O FPGA	• Software O FPGA	◯ Software	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.9 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

G Standard Modulation 5G Channel Co	ding 5G High Physical Layer 5G Simulation Abou					- 0
	/ 👷 📩 nmuta เมื	เละกอดรห์สช่องสัญญาณในมาตรฐา el coding in 5G standard และต่อมาริการกระจะเรียะ กิจการ์แรงไดน และกิจ by The National Broadcasting and Telecom	น 5G เกาท์โทรคมนาคมเพื่อประโอชน์สาธารณะ (ค่ munication Commission (NBTC).	นักกาะ กลาย.)		
Input Inside	Encoding     Inside	Modulation	Noisy Channel	Demodulation	Decoding Inside	Output     Inside
Binary Number Generation	+ LDPC Encoding	<b>→</b>			LDPC Decoding	
1110011100110010	01100111001100100 มิลลัพธ์ของการเข้าวหัสข่องสัญญาณ มิลลัพธ์ของการเข้าวหัสข่องสัญญาณ				;;	
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
andom 🧹	PDSCH	Select Modulativ 🗸	Select Channel 🗸	Select Demodul ~	PDSCH V	
Input Length	Base Graph 1			Max-Log ~	Belief Propagation ~	
6	สองแข้งข้างขบาดบาม				Iteration 10	
Software OFPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software OFPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.10 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

Inguit		รับการเรียนรู้การ การเป็นรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การ การเป็นรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การเรียนรู้การ	กอดรหัสช่องสัญญาณในมาตรฐา coding in 5G standard พ่อนาศังการกรสายสือง ศังการ์แรงโดย์ และคัง The National Broadcasting and Telecom	น 5G การ์เพรตมนาคมเพื่อประโยชน์สาธารณะ (สั nunication Commission (NBTC).	นักการ กลาย.)		
Binary Number Generation       Polar Sequencing       Polar Encoding       Polar Encoding       Polar Encoding       Polar Descupiencing       Polar Descupiencing         01001110011001       000000000000000000000000000000000000	Input Inside	Encoding	Modulation Inside	Noisy Channel	Demodulation	Decoding	Output
Configuration     Conf	Binary Number Generation —	Polar Sequencing     → Polar Encoding     0101000110001100     ↓     LativeSuseman Sectors				Polar Decoding  →  Polar Desequencing	
Configuration         Configur							
Kanoum C     Policing     Policing     Policing     Policing     Policing     Policing     Policing       16     Codeword Length     32     1     Mar-Log     Mar-Log     Socressive Cancellation       5     Software     0 FPGA     O Software     0 FPGA     O Software     0 FPGA							
Software OFPGA OSoftware OFPGA OSoftware OFPGA OSoftware OFPGA	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
	Configuration	Configuration PUCCH Codeword Length 32 Visitinggroumenment	Configuration Select Modulatie	Configuration Select Channel v	Configuration Select Demodul ~ Max-Log ~	Configuration PUCCH Successive Cancellation	Configuration
RUN CLEAR	Configuration Random J Input Length 6 ioftware O FPGA	Configuration           PUCCH           Codeword Length:         32           Visibility framework           Software	Configuration Select Modulatio	Configuration Select Channel  Select Channel	Configuration Select Demodul ~ Max-Log ~ Software O FPGA	Configuration       PUCCH        Successive Cancellation	Configuration
Signal Plot Signal	Configuration Random	Configuration PUCCH Codeword Length 22  f Software For PEGA RUN CLEAR	Select Modulatis v Software OFPGA RUN CLEAR	Configuration Select Channel V	Configuration Select Demodul ~ Max-Log ~ Software OFPGA RUN CLEAR	Configuration PUCCH Soccessive Cancellation Software OFPGA RUN CLEAR	Configuration

รูปที่ 4.11 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

		lation About									
	ผู้ผู้คุณการเรียง Educationa ได้ปัญนุยุตรุม This project v	นรู้การเข้าและถอดรห้ al kit: Channel coding แจก กองหูเวิรับแสทโลนากิรก was supported by The Nati	ัสช่องสัญญา in 5G standa กรุกระจายสือง กิจ onal Broadcasti	ณในมาตรฐา rd การ์องรได่มี และกิจ ng and Telecom	น 5G การโทรคมนาคมเพื่อ munication Come	Istโยชน์สาธารณส (สำ nission (NBTC).	านักงาน กสะเช.)				
Input Inside	Encoding Inside	<b>→</b>	Modula	tion –	Noisy In	ide	Demodu     Insi	ulation de	•	Decoding Inside	Output     Inside
inary Number _	→ Polar → E	Polar →							Polar Decoding	→ Polar Desequencing	
10011100110010	x0001011000110010 01011	4									
	Carteration		<u></u>		66		Conflor				Conferenciar
Configuration	Configuration		Configur	ation	Config	uration	Configu	ration	Centru	onfiguration	Configuration
Configuration	Configuration PDCCH Codeword Length 64	✓ ↓ ที่มีอยู่กะเกายกาห	Configur Select Mod	ation ulati v	Config Select Cl	uration annel v	Configu Select Der Mas-Log	nodul ~	PDCCH Successive Cance	Infiguration	Configuration
indiguration indom v input Length itware O FPGA	Configuration PDCCH Cedeword Langth 64 dea Software O FPGA	ั รา ที่ธุญาณายาพ	Configur Select Mod	ation ulati V	Config Select Cl	uration annel v	Configu Select Den Mas-Log	rration modul v	CC PDCCH Successive Cance	onfiguration	Configuration
nonfiguration ndom v input Length ftware O FPGA N CLEAR	Configuration PDCCH Codeword Length 64 fea Software O FPGA RUN	→ → † migginumanne CLEAR	Configur Select Mod	ation ulati ~	Config Select Cl	eration annel v FPGA CLEAR	Configu Select Den Max-Log O Software RUN	rration modul v v FPGA CLEAR	CC PDCCH Successive Cance Software RUN	PPGA CLEAR	Configuration

รูปที่ 4.12 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

		nano. nmda. tean taka	การเรียนรู้การเข้าและ ational kit: Channel แอลหนุนจาก กอกหูเรียนสอ project was supported by	กอตรห์สช่องสัก coding in 5G sta กัฒนากิจการกระจะเป The National Broad	งญาณในมาตรฐา ndard ๒. กิจการโอรเรียน์ และกิ leasting and Telecor	าน 5G ในการโทรคมนาคมเพื่อปร nmunication Comm	หรือชน์สาธารณส (สำ hission (NBTC).	านักงาน กสะหน่)				
Input Inside	→	Encod	ling Je	→ Mc	dulation Inside	Noisy Cl	hannel de	Demode     Insi	ulation -	•	Decoding Inside	Output     Inside
Binary Num Generatio 0110011100110	ber n →	Polar Sequencing 000000000101000	Polar Encoding [01010000110001100] 1 รัชองการเข้ารหัสช่องสัญญ	→ ma						Polar Decoding	→ Polar Desequencing	
Configurati Random Input Length 16	on v	Configu PBCH Codeword Length 22	ration	Cor Select	figuration Medulati: ~	Configu Select Cha	uration annel v	Configu Select Der Max-Log	aration modul ~	PBCH Successive Can	Configuration	Configuration
Configurati landom Input Lengtł 5	on > h	Configu PBCH Codeword Length 22 O Software O FPGA	ration รังสัญญาณกายกาพ	Con Select	figuration Modulati ∽ are ○ FPGA.	Configu Select Cha	annel v	Configu Select Der Max-Log	aration modul ~ ~ O FPGA	PBCH Successive Can	Configuration	Configuration
Configurati andom Input Length 5 oftware	on > b PPGA LEAR	Configu PBCH Codeword Length 22 O Software OFPGA RUN	ration	Cor Select	figuration Modulati ~ are O FPGA CLEAR	Configu Select Cha	oration annel v FPGA CLEAR	Configu Select Der Max-Log Software RUN	modul ~	PBCH Successive Can Software ( RUN	Configuration	Configuration

รูปที่ 4.13 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.14 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.15 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.16 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.17 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.18 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G • กรณีใช้อุปกรณ์ FPGA เข้ารหัสช่องสัญญาณ การทดสอบการเข้ารหัสช่องสัญญาณโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตมีความยาว 16 บิต ซึ่งสร้างจากการทดสอบข้อมูลอินพุตแบบสุ่มโดยใช้ FPGA และเลือกช่องสัญญาณกายภาพ จากนั้นเมื่อกดปุ่ม "RUN" กรณีเลือกช่องสัญญาณกายภาพชนิด PUSCH และ PDSCH ซอฟต์แวร์ GUI จะส่งบิตข้อมูลอินพุตและกราฟฐานผ่าน Serial Port ไปยังอุปกรณ์ FPGA และกรณีช่องสัญญาณ PUCCH, PDCCH และ PBCH ซอฟต์แวร์ GUI จะส่งบิตข้อมูลอินพุตและความยาวรหัสหลังการ พังค์เจอร์ จากนั้นอุปกรณ์ FPGA จะดำเนินการเข้ารหัสช่องสัญญาณและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.19 - รูปที่ 4.23 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตคำรหัสแบบไบนารี นอกจากนี้ผู้ใช้สามารถ เรียกดูกราฟของสัญญาณที่ได้จากการเข้ารหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของ สัญญาณที่ได้จากการเข้ารหัสแสดงดังรูปที่ 4.24 - รูปที่ 4.28

💰 5G Standard						
5G Modulation 5G Channel Codin	9 5G High Physical Layer 5G Simulation About					
	รัฐการเรียนรู้การเข้าและ Educational kit: Channel ได้ปัญหอุดหมูมราก กองทุนโซ้และ This project was supported by	กอตรหัสช่องสัญญาณในมาตรฐาน coding in 5G standard ห้อแนทิจการกระจายสีขอ กิจการ์แรนไลน์ และกิจ The National Broadcasting and Telecomn	<b>น 5G</b> การ์โพรคมนาคมเพื่อประโมชน์สาธารณะ (ส่าง nunication Commission (NBTC).	นักงาน คสพช.)		
Input Inside	Encoding Inside	Modulation	Noisy Channel	Demodulation Inside	Decoding Inside	Output     Inside
Binary Number Generation	LDPC Encoding	-> Modulation	Noisy Channel	Demodulation	LDPC Decoding	→
	1					
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUSCH ~	QPSK ~	AWGN ~	QPSK 🗸	PUSCH ~	
Input Length	Base Graph 1 🗸		SNR (dB) 0	LUT 🗸	Min-Sum 🗸	
16	ช่องสัญญาณกายภาพ				Iteration 10	
◯ Software	○ Software ● FPGA	◯ Software	◯ Software ● FPGA	◯ Software	○ Software	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.19 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

5G Standard 5G Modulation 5G Channel Co	ding 5G High Physical Layer 5G Simulation About					- 0 ×
	รับ ราง การเร็มปรูการเข้าและกะ Educational kit: Channel co ได้ปัญหมุลพรุมจาก กองพุนใช้เมละที่ส This project was supported by Th	อตรหัสช่องสัญญาณในมาตรฐาน ding in 5G standard มนาริษารกระจบเรื่อง กิจการ์เหรโตน์ และกิจะ e National Broadcasting and Telecomm	L 5G กรี่เรรตมนาตมเพื่อประโยชน์ศาธารณะ (สำห nunication Commission (NBTC).	โกงาน กลังหร.)		
Input Inside	Encoding     Inside	Modulation Inside	Noisy Channel	Demodulation Inside	Decoding Inside	Output     Inside
Binary Number Generation	→ LDPC Encoding	<b>→</b>			LDPC Decoding	
	 ผลลัพธ์ของการเข้ารหัลข่องสัญญาณ					
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~ Input Length	PDSCH V Base Graph 1 V	Select Modulatir ~	Select Channel	Select Demodul ~	PDSCH 🗸	
	ข่องสัญญาณกายภาพ	0 ( h	0.0		Iteration 10	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.20 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

	A kest .	สดการเรียนรัก	ารเข้าและกอง	อรน์สุขโอมสัญห	การณ์ในมาตร	55714 5G	8								
ATTL 5		Educational kit	Channel cod own the second comparison of the second control of the	ing in 5G stan เกริลการกระลายเสีย National Broadc	id <b>ard</b> เ กิจการโมษรโตมี แ asting and Telec	ละกิจการ์โทรง communica	คมนาคมเพื่อประโ ation Commiss	เซน์สาธารณะ (สำ ion (NBTC).	านักงาน กลังช.)						
Input Inside	→	Encoding Inside	-	Mod	ulation iside	+	Noisy Cha Inside	nnel	Demod	ulation e	+	Deco Insi	ding ide	+	Output Inside
nary Number Generation	→ Polar Sequenc	ng → Pol Encor	ing -	•							Poli	ing -	Polar Desequencing		
1100100010010	00000001000	0111C 100101101	0000111												
onfiguration		Configuration		Confi	guration		Configura	tion	Config	uration		Configu	uration		Configuration
onfiguration	PUCCH	Configuration	<b>_</b>	Confi Select N	guration //odulatii v		Configura Select Chan	tion tion	Config Select De	modul v	PUCCH	Configu	uration		Configuration
onfiguration ndom v nput Length	PUCCH Codeword Le	Configuration gth <u>হি</u> েন্দ্র		Confis Select N	guration //cdulatis v		Configura Select Chan	tion ef ~	Configu Select De	modul v	PUCCH Belief Prop.	Configu egation	uration		Configuration
nonfiguration ndom v input Length ftware O FPGA	PUCCH Codeword Le	Configuration gth <u>হি</u> ৺ প্রথমন্টেণ্ড D FPGA	 ∱ 	Confi Select N	guration Acdulatir ↓ re ○ FPGA		Configura Select Chan	tion el ↓	Config Select De LUT	iration modul v	PUCCH Belief Prop. Iteration	Configu egation 10 O FPGA	uration		Configuration
onfiguration ndom v nput Length ftware O FPGA N CLEAR	PUCCH Codeword Le O Seftware RUN	Configuration gth 22	ynumennw HR	Confi Select N Softwar RUN	guration fodulati v re O FPGA CLEAR	c	Configura Select Chan	tion el ~ O FPGA CLEAR	Config Select De LUT O Software RUN	Install of FPGA CLEAR	PUCCH Belief Prop Iteration O Software RUR	Configu egation 10 • FPGA	CLEAR		Configuration

รูปที่ 4.21 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

	ti vitano. vitano de la companya de	รเรียนรู้การเข้าและถอ tional kit: Channel coo อุสหนุนาก กองหนูรัชบลงพัฒน oject was supported by The	ดรหัสช่องสัญญ ling in 5G stand อภัณารถชอบต้อง i National Broadcas	ม <b>าณในมาตรฐา</b> ย lard กิจการ์แรงไดน์ และกิจ sting and Telecomi	น 5G การโทรคมนาคมเพื่อเ munication Comn	ประโยชน์ศาธารณะ (คำ nission (NBTC).	นักถาม กระเช.)				
Input -	Encodi     Inside	ng 🗖	Modu	lation de	Noisy C	ide	Demodu     Insi	ulation e	•	Decoding Inside	Output     Inside
Binary Number Generation –	→ Polar Sequencing → 000000000000000000000000000000000000	Polar Encoding - 11000011011010010 1 มองการเข้ารหัสของสัญญาณ	→ 1						Polar Decoding	→ Polar Desequencing	
Configuration andom ··· Input Length S	Configure PDCCH Codeword Length 64	stion	Config Select Mo	uration odulati: v	Config Select Ch	uration nannel v	Configu Select Den LUT	aration modul ~	PDCCH Belief Propagat Reration 10	Configuration	Configuration
Toonfiguration ndom v Input Length Itware OFPGA	Configura PDCCH Cedeword Length 64	ation   ร้องสัญญาณการภาพ	Config Select Ma	uration edulatis v	Config Select CP	variation variante	Configu Select Den LUT	aration modul v	PDCCH Beilet Propagat Iteration 10 Software	Configuration	Configuration
Tonfiguration ndom v Input Length ftware OFPGA N CLEAR	Configure POCCH Codeword Length 64 O Software O FPGA RUN	Nion	Config Select Mo O Software RUN	uration odulats v E O FPGA CLEAR	Config Select Ch Software RUN	uration nanoel v	Configu Select Den LUT O Software RUN	aration modul v FPGA CLEAR	PDCCH Belief Propagat Reration 10 O Software C RUN	Configuration	Configuration

รูปที่ 4.22 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

	ti nano. nnula tido nnula	การเรียนรู้การเข้าและกอ icational kit: Channel cod กุนอุทรุนมาก กอกรูปรับพรรัดม project was supported by The	ลรหัสช่องสัญญ ing in 5G stand กรับกระระจะสะจะ National Broadcas	ม <b>ากเป็นมาตรฐา lard</b> กิจการ์อารโตน์ และกิ sting and Telecon	าน 5G โลการ์โหรสมนาย nmunication C	แต่อประโยชน์กรารกล Commission (NBTC).	(ส่วนักงาน กสาช.)					
Input Inside	Enco	ding •	Modu Ins	ilation	→ No	isy Channel Inside	Derr	odulation Inside	+	Decor	ding de	Output     Inside
Binary Number Generation –	Polar Sequencing 00000001000001110	Polar Encoding - 100101101100000111 ↑ พร้ชองการเข้ารหัสข่องสัญญาณ	•						Pola Decod	rng →	Polar Desequencing	
Configuration	Config	uration	Config	uration	Co	onfiguration	Con	figuration		Configu	ration	Configuration
Configuration	Configu	uration	Config Select Mo	uration	Ca	onfiguration	Con	figuration Demodul V	PBCH	Configu	ration	Configuration
Configuration	Configu PBCH Codeword Length 3	uration	Config Select Mo	uration odulatir v	Co	onfiguration set Channel v	Con Select	figuration Demodul v	PBCH Belief Propa	Configu	ration	Configuration
Configuration Indom v	Configu PBCH Codeword Length 3	uration 2 ช่องสัญญาณกายภาพ	Config Select Me	uration odulatir v	Co	onfiguration st Channel v	Con Select	figuration Demodul V	PBCH Belief Propa Iteration	Configu gation	ration	Configuration
Configuration Indom V Input Length	Configu PBCH Codeword Length	uration 2 ช่องสัญญาณกายกาห	Config Select Ma	odulatii v	Co Sele	enfiguration et Channel → bware ● FPGA	Con Select LUT	figuration Demodul V V are O FPGA	PBCH Belief Propa Iteration	Configu gation 10 O FPGA	ration	Configuration
Configuration ndom v Input Length ftware O FPGA N CLEAR	Configu PBCH Codeword Length 2 O Software O FPGA	uration 2 voxiliggrammerme CLEAR	Config Select Ma Software RUN	odulati - O FPGA CLEAR	Ca Sele	to figuration tt Channel v toware O FPGA	Con Select LUT O Softw RUN	figuration Demodul V V ere O FPGA CLEAR	PBCH Belief Propa Iteration O Software RUN	Configu gation 10 O FPGA	CLEAR	Configuration

รูปที่ 4.23 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.24 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.25 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.26 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.27 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.28 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

# 4.1.2.2 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G

#### กรณีใช้ซอฟต์แวร์เข้ารหัสและปรับอัตรารหัส

การทดสอบการเข้ารหัสและปรับอัตรารหัสโดยใช้ซอฟต์แวร์จะกำหนดให้ข้อมูลอินพุตมีความ ยาว 16 บิตซึ่งสร้างจากการทดสอบข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์ และเลือกช่องสัญญาณ กายภาพ จากนั้นเมื่อกดปุ่ม "RUN" กรณีเลือกช่องสัญญาณกายภาพชนิด PUSCH และ PDSCH ซอฟแวร์ GUI จะเรียกใช้ซอฟแวร์ Module LDPCEncoderModule.py เพื่อดำเนินการเข้ารหัสและ ปรับอัตรารหัส และกรณีที่เลือกช่องสัญญาณ PUCCH, PDCCH และ PBCH ซอฟต์แวร์ GUI จะ เรียกใช้ซอฟต์แวร์ Module PolarEncoderModule.py เพื่อดำเนินการเข้ารหัสและปรับอัตรารหัส จากนั้นแสดงผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.29 - รูปที่ 4.33 โดยผลลัพธ์ดังกล่าวจะอยู่ในรูปของบิตคำรหัสแบบไบนารี นอกจากนี้ผู้ใช้สามารถ เรียกดูกราฟของสัญญาณที่ได้จากการเข้ารหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของ สัญญาณที่ได้จากการเข้ารหัสแสดงดังรูปที่ 4.34 - รูปที่ 4.38

MITL 🛃	نهای المالی              ورور ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱ ۲۵۱	ยร์สำรรับสุขมาตรฐาน 5G ing in 5G standard โลกซิเซนิล เองโรกซิเซนิลของเหมร์อยู่ชโอชอ์ ting and Telecommunication Commission	insารณ์ (ก็นักงาน กระหะ.) (NBTC).					
Input  Inside	Coding and Rate Matching Inside	→ Scrambling →	Modulation Inside	Noisy Channel Inside	Demodulation Inside	Descrambling     Inside	De-coding and Rate Matching	Output Inside
Binary Number Generation 10000000111011 azdindra.emad <sup>+</sup> mia uzev/fudermika	CCC Encoding         B Internanting         Code Block Internanting         Code Block Internanting           Understanding         1010001000000000000000000000000000000	-	Modulation		Demodulation		Image: Control Block Decomposition         Code Block Decomposition         CRC Decoding           ↓         ↑         ↑         ↑           Dolandinary         Code Block CC Decode         ↓           ↓         Code Block CC Decode         ↓           ↓         Code Block Block Block Decode         ↓           ↓         Code Block Decode         ↓           ↓         LBPC Decode         ↓           ↓         LBPC Decode         ↓	
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random v	PUSCH V	Select Scamblin ~	pi/2 - BPSK 🔍	Select Channel ~	pi/2 - 8PSK 🗸	Select Scamblin ~	PUSCH V	
Input Length	Rate 0.5 LLBRM 0 -				Max-Log ~		Belief Propagation v	
	Qm 1 v nujd 0 v						Iteration 10	
,	No. 1 C					0.000	Add	
oftware O FPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software O FPGA	Software O FPGA	Southers Oberow	C SOLEWINE C HADA	

รูปที่ 4.29 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

MITL 🛃	Silver and the second s	การเรียนเร็กระบวรแการทำงารแ cational kit: High physicsI lay กระกระบวรการกระวัติเอย่าไละเวราะ project was supported by The Natio	RASIALALDUSIA'IS or processing in metanulus Ascelo and Broadcasting ar	สับสู <mark>งสมาครฐาน 5G</mark> 5G standard ฟละ์ แปรมาร์แรงสนายแล้ยประโย d Telecommunication Commissio	olimentat (Adnos. nevel.) n (NEPC).						
Input  Inside	Codi	ng and Rate Matching Inside	+	Scrambling Inside	Modulation	Noisy Channel     Inside	Demodulation     Inside	Descrambling     Inside	De coding and Rate I Inside	Natching -	Output
Binary Number Generation →	CRC Encoding	Bit Interleaving -> Cod Conce	e Block atenation →		Modulation		Demodulation		Code Block Code Block Desegmentation	n → CRC Decoding	
000010001111011	10000100011110110	10001010000100101 1000101	10000100101						†		
เข้าเรียองการเข้ารพัส และปวันอัตรารพัส	Code Block Segmentation	Rate Matching							Bit Code Block Deinterleaving CRC Decode		
	10000100011110110	10110001100010100									
	Ļ	Ť							1 1		
	Code Block CRC Encoding →	LDPC Encoding							Rate DeMatching		
	10000100011110110	10110001100010100									
onfiguration		Configuration		Configuration	Configuration	Configuration	Configuration	Configuration	Configuration		Configuratio
dom 🗸	PDSCH		~	Select Scamblin ~	QP9K U	Select Channel 🤟	OPSK -	Select Scamblin ~	PDSCH		
nput Length	Rate 0.5	LIBRM 0					Mex-Log ~		Belief Propagation		
	Qm 2 ~	njd 🔍 🗸							Iteration 10		
tware OFPGA	O Software O FPGA			Software OFPGA	Software OFPGA	Software O FPGA	Software OFPGA	Software OFPGA	Software OFPGA		
CLEAR	RUN	CLEAR		RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN	CLEAR	CLEAR

รูปที่ 4.30 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

	Market State	ลการเงินเร็กระบารเก lucational kit: High ph ถึงระอุทศษณฑ กองกร้อง is project was supported b	ทรทำงารเพิสิตัสเสเอ ysicsi layer processi อะไม่แก่สึงการกระบบใน y The National Broadcas	บริลำดับสูงมาตร ng in 5G standa ใจกรับข้อมี แต่ไง ting and Telecomm	<b>เฐาน 5G</b> rd rdmaacraatoisfor unication Commissio	iánensia (hánna nine) n (NBTC).	3									
Input +	Co	ding and Rate Matchi Inside	ng	<b>→</b> 50	rambling Inside	Modulation	-	Noisy Channel Inside	Demodula     Inside	tion -	Descram	bling -	De	coding and Rate M Inside	atching	Output     Inside
Binary Number Generation	Segmentation	Coded Bit Interleaving -	Code Block Concatenation	<b>→</b>									Code Block Deconcatenation	CRC Decoding		
)10001001000100	0010001001000100	11111001101100011	11111001101100011													
to day used as the	1	Ť											1	1		
เลยปรับอัตรารพัด	CRC Encoding	Rate Matching	Sub-Block Interleaving										Coded Bit Deinterleaving	Polar Desequencing	e Parity-Check Decoding	
	00100010010001000	1100130111101300C	11001101111011000												+	
	Polar -	Parity -	Polar     Encoding										Rate Dematching	Sub-Block	→ Polar Decoding	
	000000000000000000000000000000000000000	0000000000001000	11001111011011000													
onfiguration		Configuration	-	Cor	figuration	Configuration	-	Configuration	Configura	tion	Configur	ation		Configuration		Configuratio
ndom ~	PUCCH		-	Select	Scamblin ~	Select Modulati		Select Channel ~	Select Demos	dul -	Select Scarr	blin	PUCCH			
nput Length	Punctured Codeword	Length 40							Max-Log				Successive Cancellat	ion		
		การการการ														
tware OFPGA	Software O FPGA	A		O Softw	are OFPGA	O Software OF	PGA	O Software O FPGA	O Software	O FPGA	O Software	⊖ FPGA	O Software O FPG	54		
IN CLEAR	RUN		CLEAR	RUN	CLEAR	RUN CLE	AR.	RUN CLEAR	R(N	CLEAR	RUN	CLEAR	RJN		CLEAR	CLEAR
Signal Plot		Signal Plot		s	ignal Plot	Signal Plot		Signal Plot	Signal Pla	ot	Signal P	fet		Signal Plot		Signal Plot

รูปที่ 4.31 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

MIIL S	namo. mmlat. Ha	cational kit: High physics and the physics of the p	sical layer processi duction of the second s	ng in 5G terrebunds ting and 3	Saarleersignaal Ska standard Clastrandemaachaadisch decommunication Commi	c'untro ission (N	nena (dhànna neves) BC).												
Input  Inside	Cod	ing and Rate Matchine Inside	2	+	Scrambling Inside	+	Modulation Inside	+	Noisy Channel Inside	•	Demodulation Inside	De	Inside	+	Dee	oding and Rat Inside	e Matching	-	Output Inside
Binary Number Generation → sotsotsotsotsotso wandtouterstatssin wattfouterstatissin	CRC Encoding	Sub-Block Interleaving → 1001101011000001 ↑ Polar Encoding	Rate Matching 10011010111000001	<b>→</b>											Rate Dematching ↓ Sub Block Deinterleaving	CRC Descrambl	ing → CRC Decoding		
	↓ CRC Interleaving →	Polar     Sequencing     1000000001100000													↓ Polar Decoding =	+ Polar Desequenc	ing		
Configuration		Configuration			Configuration		Configuration		Configuration		Configuration	C	onfiguration			Configurat	lon		Configuratio
input Length	POCCH Punctured Codeword L RNTI 00000000000 VI	ength 40 0000			Select Scambles w		Select Modulatis		Select Ounnel v		Select Demodul v	Sel	ect Scamblin -		PDCCH Successive Cancellati	on .			
Correst	Conner Office				Contract Contract		Contract Contract		Constant Officia		CAPOR	3 300	Christer Christer		wanned Unru				
IN CHAR	RUN		CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR	F1.0	N CLEAR		FLIPE		CLEAR		CLEAR

รูปที่ 4.32 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

	etnor milat	สารารมาการทำงารมาให้ได้อิตอง High physical layor proce อกรูปในแสดโดยเวลาการมายได ported by The National Broad	ວມາວິດຳເຈົ້າ wing in 50 ແກ້ວການັ້ນກາ່ ແຫ່ນາງ and	สูงมาตาฐาน 5G standard ปันชางารโครงนายมลัยปะไ Idecommunication Commiss	landrisins sion (NETC	at (Andress mane) ).												
Inside +	Coding and Rate Inside	Matching	-	Scrambling Inside	→ ■	Modulation Inside	+	Noisy Channel Inside	*	Demodulation Inside	•	Descrambling Inside		De codin	and Rate	e Matching	•	Output Inside
Sinary Number →	CRC Encoding	Rate Matching	<b>→</b>											Rate Dematching		CRC Decoding		
010001001000100	00100010010001001	10010011101110001																
สมส์ของการสำรริส	1	1												4		1		
และปวับอัสรารพัส	CRC	Sub-Block Interleaving												Sub-Block Deinterleaving		CRC Deinterleaving		
	10000001001101000	10010011101110001																
	1	†												1		1		
	Polar Sequencing	Polar Encoding												Polar Decoding	->	Polar Desequencing		
adjunction	Configura	tion		Configuration		Configuration		Configuration		Configuration		Confinuation			oofiowrati			Configuratie
andrem	ERCH .		1	Select Scambles		Select Modulation		Select Channel		Select Demochd		Select Scambin	(PRC)					
nput Length	Punctured Codeword Length 854		3							Man-Log v			Suce	essive Cancellation				
	าสะการระบุญพัตรงษ	877W																
tware OFPGA	Software OFPGA			Software OFPGA	0	Software OFPGA		Software O FPGA		Software OFPGA		Software OFPGA	O Sef	tware OFPGA				
				mini coren		max. Cition		-				ANN CLEAR		Rini		0108		CIEAR

รูปที่ 4.33 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.34 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้ ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.35 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้ ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.36 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.37 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.38 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

• กรณีใช้อุปกรณ์ FPGA เข้ารหัสและปรับอัตรารหัส

การทดสอบการเข้ารหัสและปรับอัตรารหัสโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตมีความ ยาว 16 บิต ซึ่งสร้างจากการทดสอบข้อมูลอินพุตแบบสุ่มโดยใช้ FPGA และเลือกช่องสัญญาณ กายภาพ เมื่อกดปุ่ม "RUN" กรณีเลือกช่องสัญญาณกายภาพชนิด PUSCH และ PDSCH ซอฟต์แวร์ GUI จะส่งบิตข้อมูลอินพุตและกราฟฐานผ่าน Serial Port ไปยังอุปกรณ์ FPGA และกรณีช่องสัญญาณ PUCCH, PDCCH และ PBCH ซอฟต์แวร์ GUI จะส่งบิตข้อมูลอินพุตและความยาวรหัสหลังการ พังค์เจอร์ จากนั้นอุปกรณ์ FPGA จะดำเนินการเข้ารหัสช่องสัญญาณและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.39 - รูปที่ 4.43 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตคำรหัสแบบไบนารี นอกจากนี้ผู้ใช้สามารถ เรียกดูกราฟของสัญญาณที่ได้จากการเข้ารหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของ สัญญาณที่ได้จากการเข้ารหัสแสดงดังรูปที่ 4.44 - รูปที่ 4.48

Modulation 5G Channel Codin	ng 5G High Physical Layer 5G Simulation About							
	eperint Susfanzurinnen-inskefanisation feducational kit: High physical layer processi Educational kit: High physical layer processi His project was supported by The National Broadcas	รให้ารใบสูงมาตรฐาน 5G g in 5G standard หารังหลังนี้ เองโทรารังหมะอาณที่อย่ะโด ing and Telecommunication Commissio	คมีภราชนะ (คำนักงาน กลาย.) ก (NETC).					
Input 🔿	Coding and Rate Matching Inside	Scrambling Inside	Modulation Inside	Noisy Channel	Demodulation Inside	Descrambling Inside	De-coding and Rate Matching Inside	Output     Inside
Binary Number Generation	CRC Bit Code Block	→	Modulation		Demodulation		Code Block Deconcatenate Code Block Desegmentation → CRC Decoding	
0000110111101110 เลขสิทธ์ของการสำรภัส							↓ ↑	
และปรับอัดรารพัส	Code Block Rate Matching						Bit Code Block Deinterleaving CRC Decode	
							↓ †	
	Code Block CRC Encoding   LDPC Encoding						Rate DeMatching → LDPC Decoding	
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUSCH V	Select Scamblin $\lor$	pi/2 - BPSK ──	Select Channel 🔍	pi/2 - BPSK 🔍	Select Scamblin $ \smallsetminus $	PUSCH	
Input Length	Rate 0.5 LURM 0 V				LUT 🗸		Min-Sum 🔍	
16	Qm 1 v rv_id 0 v N,L 1 v dovžejejnamama						Iteration 10	
Software OFPGA	Software OFPGA	Software OFPGA	◯ Software ● FPGA	⊖ Software O FPGA	⊖ Software ● FPGA	⊖ Software OFPGA	Software OFPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot

รูปที่ 4.39 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUSCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.40 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDSCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

Note:         Control and Elements         Control and Elements <th></th>	
Inside     Coding and Resultance     Coding and Resultance     Sciencification     Modulation     Bindle     Demodulation	
Bisary Number Generation Concentration autorholeration autorholeration     Segmentation Code Bisch Concentration Co	
Image: Second	
Azerthármík  CKC Robert  Katolin Katol	
8880101111101101 001011111011111 0010111111	
Sequencing → Part → Facolog Sequencing → Octoc → Facolog autocommunic automatication → Definiteering → Definiteering → Decolog	
Configuration Configuration Configuration Configuration Configuration Configuration Configuration Configuration	on
Random         FPLICH         Select Scamblin         Select Modulation         Select Damedia         Select Scamblin         PUICH	
Input Length Puncherd Codeword Length 40 UVT V	
1 hoto 3	
Software 0 PFGA	
RUN CLEAR CLEAR	
Signal Plot	

รูปที่ 4.41 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PUCCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

	אין	ยะวิถ้าคับสูงมาตรฐาน 5G ing in 5G standard กิจกรักษโคมี แล้วเขาจักรมมาตะเจียปรโม sting and Telecommunication Commissio	ณ์กราคม (ค้นักกาะ กลาร.) ก (NBIC).					
Input  Inside	Coding and Rate Matching Inside	Scrambling	Modulation Inside	Noisy Channel	Demodulation Inside	Descrambling Inside	De coding and Rate Matching	Output
Binary Number Generation → 2000/10/11/07/10 เสชิกส์ของกามสำหรัด และปรับปีสาราห์ใด	CRC         Sub-Base         Arabit           000000000000000000000000000000000000	<b>→</b>	Modulation		Demodulation		Ref         CSC         Describing         CSC         Decoding           ↓         ↑         ↑         Decoding         Decoding<	
	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuratio
Configuration		Charles and the	Select Modulation	Select Channel	Extent Demodel	Select Scamblin v	PDCCH V	
indom	PDCCH V	Select scambolin U			Select Demouse ~			
Input Length	PDCCH V Punctured Codeword Length 40	Select scampon			LUT V		Belief Propagation	
Input Length	PDCCH 40 Punctured Codeword Length 40 RNT 0000000000000 tebs8gggrupmenrem	Select scambon U					Belief Propagation V Reration 10	
Indom v Indom v Input Length ftware O FPGA	POCCH   Punctured Codeword Length  40  SNT  00000000000  400-Biggintemser/nv  0 SP6A	Software O FPGA	Software OFPGA	Software O FPGA	Software OFPGA	Software OFPGA	Belief Propagation V Rearbinn 10	

รูปที่ 4.42 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PDCCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

MITL 🛃	same. anda. a	ดควารเรียนรู้กรรณวรมกา lucational kit: High phy นักระอุทรุษราก กอกระโด้แล is project was supported by	รพ่างการพิสิตัสและอ sicel layer processi สโละเป็นการกระบบไห The National Broadcar	บร์สำคัญสูงมา ng in 5G star harmbredieE แล fing and Teleco	ตรฐาน 5G dard ระกรักระบารแล้ง กทนกication Com	definedirism mission (NBR	na (Andrena navas.) ].												
Input -	. Co	iding and Rate Matchin Inside	9		Scrambling Inside	+	Modulation Inside	+	Noisy Channel Inside	+	Demodulation Inside	+	Descrambling Inside	-	De codin	g and Rat Inside	e Matching	-	Output
Generation -	CRC Encoding	Sub-Block Interleaving	Rate Matching				Modulation				Demodulation				Rate Dematching		CRC Decoding		
0110111101110	00001301111011301	10110011110100111	10110011110100111																
ล้มสารระการสำรรมส	1	1													1		1		
ละปรับอัตรารพื่อ	CRC Scrambling	Polar Encoding													Sub-Block Deinterleaving		CRC Deinterleaving		
	0000110111011101	10110011110100111																	
	1	Ť													4		1		
	CRC -	Polar     Sequencing													Polar Decoding	-	Polar Desequencing		
	00111101010101010111	0011110101010101011																	
figuration	-	Configuration			onliguration		Configuration		Configuration		Configuration		Configuration			Configurat	ion		Configuratio
om v	PDCCH		~	Se	lect Scamblin 🤟		Select Modulativ ~		Select Channel ~		Select Demodul ~		Select Scamblin ~	990	н				
ut Length	Punctured Codeword	Length 40									LUT			Bali	/ Propagation				
	RNT 0000000000	00000												Itera	tion 10				
are OFPGA	Software OFPG	ช่องสัญญาณการภาพ A		0.5	ftware OFPGA		) Software O FPGA		O Software O FPGA		⊖ Software O FPGA		O Software O FPGA	⊖ \$o	tower OFPGA				
CLEAR	RUN		CLEAR		N CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN		CLEAR		CLEAR

รูปที่ 4.43 ผลลัพธ์การเข้ารหัสช่องสัญญาณมาตรฐาน 5G ชนิด PBCH โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.44 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUSCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.45 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDSCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.46 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PUCCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.47 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PDCCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.48 กราฟของสัญญาณที่ได้จากการเข้ารหัสช่องสัญญาณชนิด PBCH ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

## 4.1.3 ผลการทดสอบ GUI เพื่อแสดงผลการสแครมมาตรฐาน 5G

การสแครมมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 3 ของหน้ำต่างชุดการเรียนรู้กระบวนการ ทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G โดยผู้ใช้สามารถเลือกรูปแบบการสร้างลำดับสแครมได้ทั้งหมด 3 รูปแบบ ได้แก่ การใช้ลำดับแบบตายตัว การสร้างลำดับแบบสุ่มเทียม และการป้อนลำดับด้วยตนเอง นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบการสแครมโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA อย่างไรก็ตาม สำหรับการสแครมโดยใช้อุปกรณ์ FPGA จะสามารถสร้างลำดับการสแครมโดยใช้ลำดับแบบตายตัว เท่านั้น

กรณีใช้ซอฟต์แวร์สแครม

การทดสอบการสแครมโดยใช้ซอฟต์แวร์จะกำหนดให้ความยาวของลำดับการสแครมเท่ากับ ความยาวของเอาต์พุตที่ได้จากการเข้ารหัสและปรับอัตรารหัส และเลือกการสร้างลำดับแบบสุ่มเทียม จากนั้นเมื่อกดปุ่ม "RUN" ซอฟแวร์ GUI จะเรียกใช้ซอฟแวร์ Module nrPDSCHPRBS.py เพื่อ ดำเนินการสร้างลำดับการสแครมและดำเนินการสแครม จากนั้นแสดงผลลัพธ์ที่ได้ภายในกล่อง ข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.49 โดยผลลัพธ์ดังกล่าวจะอยู่ในรูปของ บิตแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณสแครมได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณสแครมแสดงดังรูปที่ 4.50

5G Standard 6 Modulation 5G Channel Cod	sing 5G High Physical Layer 5G Simulation About							
	المعنى المعن المعنى المعنى	ร์ที่วงใบสูงมาตรฐาน 5G g in 5G standard เกาล็กรโตมี มอริษาร์กระบารมาที่อย่ายโอร ing and Telecommunication Commissio	ພັກລາຍລ (ຄຳນັດການ ການານ) ກ (NBTC).					
Input Inside	Coding and Rate Matching Inside	Scrambling Inside	Modulation Inside	Noisy Channel	Demodulation     Inside	Descrambling     Inside	De-coding and Rate Matching Inside	Output     Inside
Binary Number -	→ Segmentation Coded Bit Interleaving → Code Block Concatenation	→ Scrambling -	Modulation	Noisy Channel	Demodulation	Descrambling	Code Block CRC Decoding -> Desegmentation	
0100000110000011	□ 0100000110000011 ↓ ↑	01100101011110110						
	CRC Rate Sub-Block Interleaving	มออัพธ์พิ <b>ได้จากการสมคร</b> ม					Coded Bit Desequencing Coded Decoding	
							<u>↓</u> <u>↑</u>	
	Polar         Parity         Polar           Sequencing         →         Check         →         Encoding						Rate Dematching → Sub-Block Decoding → Polar Decoding	
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random	BKCH V	Parato-Randon v	Select Modulatia	ANGN	Select Demodul	Parato Randon -	(BICCH	
Input Length	Punctured Codeword Length 40	Scrambling Sequence		SNR (4R) 0	Mandan	Descrambling Sequence	Successive Cancellation	
16		00000010000110100				00000010000110100		
Software OFPGA	Software OFPGA	ช้าตับสนตรม O Software ◯ FPGA	Software O FPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software O FPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
			Constellation Plot	Constellation Plot				

รูปที่ 4.49 ผลลัพธ์การสแครมมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.50 กราฟของสัญญาณสแครมที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

• กรณีใช้อุปกรณ์ FPGA สแครม

การทดสอบการสแครมโดยใช้อุปกรณ์ FPGA จะกำหนดให้ความยาวของลำดับการสแครม เท่ากับความยาวของเอาต์พุตที่ได้จากการเข้ารหัสและปรับอัตรารหัส และเลือกใช้ลำดับสแครมแบบ ตายตัว เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งความยาวเอาต์พุตและรูปแบบการสร้างลำดับ สแครม ผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการสร้างลำดับ สแครมและดำเนินการสแครม จากนั้นส่งผลลัพธ์กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ใน ส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.51 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตคำรหัส แบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณที่ได้จากการสแครมได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้จากการเข้ารหัสแสดงดังรูปที่ 4.52
SG Standard SG Modulation SG Channel Cod	ng SG High Physical Layer SG Simulation About SG High Physical Layer SG Simulation About SG High Physical Layer processil SG High Physical Layer processil SG High Physical Layer processil SG High Physical Layer SG Simulation About SG Simulation	บริสำคับสุดมาทรฐาน SG ing in SG standard formionitaG unforministic เป็น	ฉักราชนะ (ก็นักกระกระช.) - กรรรว					
Input Inside Binary Number Generation 010000110000011	The paget an apped by the filteral filteral Control of East Markets Institution of Control filteral Control of Control filteral Control filteral Contr	tray and Fakesminiancition Commission → Screambing	Modulation Inside Modulation	Koiry Channel Inside Noiry Channel	Demodulation Inside Demodulation	Descrambling Inside Descrambling	Concepting and 2 min Anthology     Instance 2 min 2 mi	Output     Inside
Configuration Random v Input Length 16 Software OFPGA RUN CLEAR	Code Bask (Code Canada)         LOC           CROSCHIMMONT         001100111100000           Configuration         001100111100000           Code Canada         00110011100000           Code Canada         00110011100000           Code Canada         00110011100000           Code Canada         001100010000           Code Canada         0011000000000000           Code Canada         0011000000000000000000000000000000000	Configuration Faced Sequence Biotolostolotolou Africanows to Schower & PISA RUM CLEAR	Configuration	Configuration Select Channel v Softmare O FPGA RUN CLEAR	Configuration CPSX C LUT C Software OFPGA RUN CLEAR	Configuration Field Sequence Original Sequence Original Sequence Original Sequence Original Sequence Original Run CLLAR	Bask may         LUCC           Consignation         California           Record         C           Mon-Som         C           Coloners         Official           Coloners         Official           RM         CLEAR	Configuration
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot

รูปที่ 4.51 ผลลัพธ์การสแครมมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.52 กราฟของสัญญาณที่ได้จากการสแครมที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

#### 4.1.4 ผลการทดสอบ GUI เพื่อแสดงผลการมอดูเลชันมาตรฐาน 5G

การมอดูเลชันมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 2 ของหน้ำชุดการเรียนรู้การมอดูเลชัน และดีมอดูเลชันมาตรฐาน 5G คอลัมน์ที่ 3 ของหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G และคอลัมน์ที่ 4 ของหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G โดยผู้ใช้สามารถเลือกรูปแบบการมอดูเลชันได้ทั้งหมด 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM อย่างไรก็ตาม สำหรับหน้าต่างชุดการเรียนรู้ การเข้าและถอดรหัสมาตรฐาน 5G และชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเยอร์ลำดับสูงจะ ตัวเลือกรูปแบบการมอดูเลชันจะสอดคล้องกับช่องสัญญาณกายภาพที่อยู่ในส่วนการเข้ารหัส ช่องสัญญาณ นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบการมอดูเลชันโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

#### 4.1.4.1 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้มอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

# • กรณีใช้ซอฟต์แวร์ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลชันโดยใช้ซอฟต์แวร์ จะกำหนดให้ข้อมูลอินพุตมีความยาว 16 บิต ซึ่งได้จากการทดสอบสร้างข้อมูลอินพุตแบบสุ่มโดยใช้ซอฟต์แวร์ และเลือกการมอดูเลชัน จากนั้นเมื่อ กดปุ่ม "RUN" ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module modulation.py เพื่อดำเนินการ มอดูเลชันและแสดงผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงใน รูปที่ 4.53 - รูปที่ 4.59 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน (Complex Number) นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอ ดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและ แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันซึ่งทดสอบโดยใช้ซอฟต์แวร์ แสดงดังรูปที่ 4.60 - รูปที่ 4.66 และรูปที่ 4.67 - รูปที่ 4.73 ตามลำดับ



รูปที่ 4.53 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ π/2-BPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

<b>หระจอมเกล้าลาดกระบัง</b>	innuta: مراجع المحالي محالي المحالي محالي محالي محالي محالي محالي محالي محالي محالي محا محالي المحالي المحالي المحالي المحالي المحالي محالي محالي محالي محالي محال	ารเรียนรู้การมอดูเลชันและดืมอดูเ ational kit: Modulation and demo เอลหนูแลาก กอหนูแร้นับและพัฒนากิจการกระจา oject was supported by The National Bro	เลชันในมาตรฐาน 5G dulation in 5G standard พศัยง กิจการ์หรหัศน์ และกิจการ์หรอมนาอม oadcasting and Telecommunication C	แพื่อประโยชน์สาธารณะ (สำนักงาะ ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	-> Modulation	$\rightarrow$	Demodulation	Hard Decision
1001111100101101	(-0.7071-0.7071j) (0			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random v	Configuration BPSK v	Configuration Select Channel v	Configuration BPSK V	Configuration
Configuration Random v Input Length	Configuration BPSK v	Configuration Select Channel v	Configuration BPSK v Max-Log v	Configuration
Configuration Random ~ Input Length 16	Configuration BPSK รูปแบบการมอดูเลขัม	Configuration Select Channel v	Configuration BPSK ✓ Mae-Log ✓	Configuration
Configuration Random v Input Length 16 Software OFPGA	Configuration 	Configuration Select Channel V	Configuration BPSK > Max-Log > Software C FPGA	Configuration
Configuration Random V Input Length 16 O Software O FPGA RUN CLEAR	Configuration BPSK ) gUurumsuaguaëu Software O FPGA RUN CLEAR	Configuration Select Channel V Software OPPGA RUN CLEAR	Configuration BPSK  Masc-Log	Configuration

รูปที่ 4.54 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ BPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

Jo chainer ee	d build a		* 8	
ระจอมเกล้าลาดกระบัง	Y yean Educa กาปส. ให้บบุบ This pr	ารเรียนรู้การมอดูเลชันและดีมอดู ational kit: Modulation and demo เอุดหนุนจาก กองหุนวิจัยผละทั้ยนากิจการกระจ oject was supported by The National Br	เลชันในมาตรฐาน 5G idulation in 5G standard ายเสียง กิจการ์พรทัศน์ และกิจการ์พรคมนาคม roadcasting and Telecommunication Ci	เพื่อประโยชน์สาธารณะ (สำนักง ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	→ Modulation	$\rightarrow$	Demodulation	Hard Decision
1001111100101101	(-0.7071+0.7071j) (C			
	ผลลัพธ์ของมอดูเลชัน			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random v	Configuration	Configuration Select Channel v	Configuration QPSK V	Configuration
Configuration Random ~ Input Length	Configuration	Configuration Select Channel v	Configuration QPSK V Mar-Log V	Configuration
Configuration Random ~ Input Length 16	Configuration □ CPSK	Configuration Select Channel v	Configuration QPSK V Mar-Log V	Configuration
Configuration Random v Input Length 16 Software OFPGA	Configuration 	Configuration Select Channel ~ Software OFPGA	Configuration QPSK Mar-Log Software FPGA	Configuration
Configuration Random v Input Length 16 Software OFPGA RUN CLEAR	Configuration	Configuration Select Channel ~ Software OFPGA RUN CLEAR	Configuration QPSK Mar-Log Software FPGA RUN CLEAR	Configuration

รูปที่ 4.55 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ QPSK โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

Modulation 5G	G Channel Codin	g 50 High Physical La	ayer 50 sintu			
ระจอมเกล้าลาดกร	<b>Ц С</b>	nmua.	<b>ชุดการเรีย</b> Educationa ได้รับทุนอุดหนุเ This project v	เนรู้การมอดูเลชั่นและดื่มอดู al kit: Modulation and demo แจาก กองหุนวิจัยและพัฒนากิจการกระจ was supported by The National Br	เลชั่นในมาตรฐาน 5G idulation in 5G standard กะเดียง กิจการ์แรงรัสน์ และกิจการ์โหรดมนาณ roadcasting and Telecommunication C	มเพื่อประโยชน์สาธารณะ (สำนักงา Commission (NBTC).
Input Inside	<b>→</b>	Modulation Inside	→	Noisy Channel	Demodulation	Output Inside
Binary Nun Generatie	nber ion →	Modulation	→		Demodulation	Hard Decision
100111110010	01101	(-0.3162+0.9487)	j) (-			
Configurat	tion	Configuratio	'n	Configuration	Configuration	Configuration
Configurat Random Input Lengt 16	tion ~ th	Configuratio [16QAM รูปแบบการมอลูเ	ภา  เลซัน	Configuration Select Channel v	Configuration 16QAM  V Max-Log  V	Configuration
Configurat Random Input Lengt 16	tion th FPGA	Configuratio	on ราว เลชัน FPGA	Configuration Select Channel v	Configuration 160AM Max-Log Software FPGA	Configuration
Configurat Random Input Lengt 16 Software ( RUN	tion th FPGA CLEAR	Configuratio	on Siarču FPGA EAR	Configuration Select Channel V Software O FPGA RUN CLEAR	Configuration 160AM Max-Log Software FPGA RUN CLEAR	Configuration

รูปที่ 4.56 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 16QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Channel Codi	ng 5G High Physical Layer 5G Sin	nulation About		
	<ul> <li>ชุดการเรื Educatio เสร้บรุเนอุด This project</li> </ul>	รี่ยนรู้การมอดูเลชั่นและดื่มอดูเ mal kit: Modulation and democ หนุนจาก กองทุนวิจัยและทัฒนากิจการกรรจา ct was supported by The National Bro	เลชันในมาตรฐาน 5G dulation in 5G standard พเด็ง กิจการ์เหรเดน์ และกิจการ์เหรดมนาดม sadcasting and Telecommunication C	แพื่อประโยชน์สาธารณะ (สำนักงา ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation -	Modulation -	<b>&gt;</b>	Demodulation	Hard Decision
1001111100101101	(-0.1543+1.0801j) (-			
	ผลลัพธ์ของมอดูเลชัน			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random v	Configuration	Configuration Select Channel V	Configuration 64QAM	Configuration
Configuration Random v Input Length	Configuration	Configuration Select Channel v	Configuration 64QAM V Max-Log V	Configuration
Configuration Random ~ Input Length 16	Configuration 64QAM รูปแบบการมอลูเลชั่ม	Configuration Select Channel ~	Configuration 64QAM ~ Max-log ~	Configuration
Configuration Random v Input Length 16 Software OFPGA	Configuration GAQAM ) juuuummagaaðu ) Software O FPGA	Configuration Select Channel ↓ Software ○ FPGA	Configuration 64QAM V Max-Log V Software O FPGA	Configuration
Configuration Random V Input Length 16 Software OFPGA RUN CLEAR	Configuration GAQAM T TUUUMTSUBGLAR Software OFPGA RUN CLEAR	Configuration Select Channel ~	Configuration 64QAM Max-Log Software FPGA RUN CLEAR	Configuration

รูปที่ 4.57 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 64QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

		So simulation About		
	NUT NAND. NUTA. Start	การเรียนรู้การมอดูเลชั่นและดีมอ cational kit: Modulation and den ทุนอุดหนูแจาก กองหูแจ้งขณะทัฒนากิจการกร project was supported by The National	อดูเลขันในมาตรฐาน 5G nodulation in 5G standard ระจามสัยง กิจการ์เทรงัสน์ และกิจการ์เทรดมนาคม Broadcasting and Telecommunication Co	เพื่อประโยชน์สาธารณะ (สำนักงาม ommission (NBTC).
Input Inside	Modulation	Noisy Channel	Demodulation     Inside	Output Inside
Binary Number Generation	→ Modulation	$\rightarrow$	Demodulation	Hard Decision
1001111100101101	(-0.0767+1.1504j) (C			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random V Input Length	Configuration	Configuration Select Channel	Configuration 256QAM ~ Max-Log ~	Configuration
Configuration Random V Input Length 16	Configuration	Configuration Select Channel v	Configuration 256QAM v Max-Log v	Configuration
Configuration Random v Input Length 16 Software O FPGA	Configuration 256QAM Software FPGA	Configuration Select Channel v	Configuration 2560AM Max-Log ~ Software O FPGA	Configuration
Configuration Random V Input Length 16 Software O FPGA RUN CLEAR	Configuration 256QAM ~ Software O FPGA RUN CLEAR	Configuration Select Channel v Software OFPGA RUN CLEAR	Configuration 256QAM Max-Log Software FPGA RUN CLEAR	Configuration

รูปที่ 4.58 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 256QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

Jo Channel Col	ing 5G High Physical Layer 5G Simi	lation About	-	
ระจอมแกล้าลาดกระบัง	มายามาร์สารรรม         รัฐสามาร์สารรรม           มายามาร์สารรรม         เป็นการเรียง           มายามาร์สารรรม         เป็นการรม           มายามาร์สารรม         เป็นการม	หนรู้การมอดูเลชั่นและดีมอดูเส al kit: Modulation and demod แลาก กองหุนวิจัยและทัฒนากิจการกระจาย was supported by The National Bro	ลชั่นในมาตรฐาน 5G lulation in 5G standard มหิยง กิจการ์หรทัศน์ และกิจการ์หรดมนาดม adcasting and Telecommunication Co	พื่อประโยชน์สาธารณะ (สำนัก mmission (NBTC).
Input Inside	Modulation  Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	$\rightarrow$ Modulation $\rightarrow$		Demodulation	Hard Decision
1001111100101101	(-0.1149+1.1105j) (-			
Configuration	Configuration	Configuration	Configuration	Configuration
Random	1024QAM ~	Select Channel V	1024QAM	
Input Length			Max-Log V	
Input Length 16 Software O FPGA	Software O FPGA	• Software OFPGA	Software OFPGA	
Input Length 16 Software O FPGA RUN CLEAR	Software FPGA RUN CLEAR	© Software O FPGA RUN CLEAR	Software FPGA	CLEAR

รูปที่ 4.59 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 1024QAM โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.60 กราฟของสัญญาณมอดูเลชันแบบ π /2-BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.61 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.62 กราฟของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.63 กราฟของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.64 กราฟของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.65 กราฟของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.66 กราฟของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.67 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ π /2-BPSK ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.68 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้ซอฟต์แวร์บน หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.69 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้ซอฟต์แวร์บน หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.70 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้ซอฟต์แวร์บน หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.71 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้ซอฟต์แวร์บน หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.72 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.73 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

## • กรณีใช้อุปกรณ์ FPGA ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลชันโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตมีความยาว 16 บิต ซึ่งได้ จากการทดสอบสร้างข้อมูลอินพุตแบบสุ่มโดยใช้อุปกรณ์ FPGA และเลือกการมอดูเลชัน เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งข้อมูลอินพุตและรูปแบบการมอดูเลชันผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการมอดูเลชันและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดง บน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.74 - รูปที่ 4.80 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดู กราฟและ แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่าน การมอดูเลชันซึ่งทดสอบโดยใช้อุปกรณ์ FPGA แสดงดังรูปที่ 4.81 - รูปที่ 4.87 และ รูปที่ 4.88 - รูปที่ 4.94 ตามลำดับ

🥖 🔛 🐟 ชดการเรี	Idiation Produc		
Li nans. กทปส. Educatio ได้รับทุนอุลษ This project	รี่ยนรู้การมอดูเลชั่นและดีมอดูเล nal kit: Modulation and demod เหนาก กองหุนวิจัยและพัฒนากิจการกระจาย t was supported by The National Broz	าชันในมาตรฐาน 5G ulation in 5G standard เสียง กิจการ์โหรดมนาดม adcasting and Telecommunication Co	พื่อประโยชน์สาธารณะ (สำนักงาม mmission (NBTC).
Modulation Inside	Noisy Channel	Demodulation  Inside	Output Inside
Modulation — (0.7071+0.7071)) ( ↑ ผลลัทธ์ของมอยูเลขัม	•	Demodulation	Hard Decision
Configuration	Configuration Select Channel v	Configuration pi/2 - BPSK v LUT v	Configuration
รูปแบบการอยู่เลขม			
Software SPGA	Software OFPGA	○ Software	
Software O FPGA	O Software O FPGA	Software OFPGA	CLEAR
	Modulation     Inside     Modulation     (0.7071 • 0.7071)) (-()     ↑     #RăňnŚwasusajtarŭu     Configuration     [pi/2 - 8P5K ∨)	Modulation     Noisy Channel       Inside     →       Modulation     →       (0.7071 • 0.7071)) (<)	Instruction       →       Noisy Channel       →       Demodulation         Inside       →       Inside       Inside       Inside         Modulation       →       Inside       Inside       Inside         (0:7071-0:7071) (-       ↓       Inside       Inside       Inside         waterweisesungundu       →       Configuration       Configuration       Configuration         (µ/2 - BPSK       Select Channel       µ/2 - BPSK        Inside

รูปที่ 4.74 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ π/2-BPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

	50 Channel Cod	ing 5G High Physical Layer	G Simulation About	-	
<b>ระจอมเกล้าล</b>	าดกระบัง	រុង 👷 🆄 🕺 ដែល ក្រោម. ការបារ. ដែល ក្រោម.	า <b>ารเรียนรู้การมอดูเลช้</b> ก cational kit: Modulation หูนอุดหนุนจาก กองหุนวิจัยและพั project was supported by Tl	นและดีมอดูเลชั่นในมาตรฐาน 5G n and demodulation in 5G standard แนะทิจกรรรรมเสียเกิจการ์โทรทัศน์ และกิจการ์โทรดม he National Broadcasting and Telecommunicatio	แาคมเพื่อประโยชน์สาธารณะ (สำนักงาน on Commission (NBTC).
Ing Ins	out ide	Modulation Inside	Noisy Char	nnel   Demodulation  Inside	Output     Inside
Binary Gene	Number ration –	→ Modulation	$\rightarrow$	Demodulation	Hard Decision
00110100	01101110	(0.7071+0.7071j) (0.			
		ผลลัพธ์ของมอดูเลขัน			
	uration	Configuration	Configura	dion Configuration	Configuration
Config					
Config Random	~	BPSK ~	Select Chann	el 🗸	
Configu Random Input L	∼ ength	BPSK ~	Select Chann	el v BPSK v Max-Log v	
Configu Random Input L 16	∼ ength	ิ BPSK	Select Chann	el v Max-Log v	
Configu Random Input L 16 Software	ength	BPSK	Select Chann	el v BPSK v Max-Log v D FPGA O Software O FPGA	
Config Random Input L 16 Software RUN	ength FPGA CLEAR	BPSK	Select Chann	el v BPSK v Max-Log v O FPGA O Software O FPGA CLEAR RUN CLEAR	CLEAR
Configu Random Input L 16 Software RUN Signa	ength O FPGA CLEAR	BPSK	Select Chann	el v BPSK v Max-Log v D FPGA O Software O FPGA CLEAR RUN CLEAR rt Signal Plot	CLEAR Signal Plot

รูปที่ 4.75 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ BPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

Modulation 5G Channel C	oding 5G High Physical Layer 5G S	simulation About		
ระจอมแกล้าลาดกระเงีย สาม	Vient States and Stat	เรียนรู้การมอดูเลชั่นและดีมอดูเ ional kit: Modulation and demod ดหนุนจาก กองนุนวิจัยและพัฒนากิจการกระจะ iect was supported by The National Bro	ลชั่นในมาตรฐาน 5G dulation in 5G standard ยเดียง กิจกาจโทรงโดน์ และกิจการโทรดมนาดม องdcasting and Telecommunication C	มพื่อประโยชน์ศาธารณะ (สำนักงา ommission (NBTC).
Input Inside	Modulation	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	→ Modulation	→ Noisy Channel	Demodulation	Hard Decision
0101001110111011	(0.7071-0.7071j) (0.: ผลลัพธ์ของมอดูเลชัน			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random ~	Configuration	Configuration Select Channel ~	Configuration QPSK v	Configuration
Configuration Random ~ Input Length 16	Configuration	Configuration Select Channel ~	Configuration QPSK V LUT V	Configuration
Configuration Random ~ Input Length 16 Software • FPGA	Configuration	Configuration Select Channel v	Configuration QPSK LUT Software FPGA	Configuration
Configuration Random Input Length 16 Software O FPGA RUN CLEAR	Configuration CPSK 3UWUUMTSLaggarðu Software OFPGA RUN CLEAR	Configuration Select Channel ~ O Software O FPGA RUN CLEAR	Configuration QPSK LUT Software PFGA RUN CLEAR	Configuration

รูปที่ 4.76 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ QPSK โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

Modulation 5G Channel G	oding 5G High Physical Layer 5G	Simulation About		
ระจอมเกล้าลาดกระนัง	V มาก เมาก กลาย กลาย กลาย กลาย กลาย กลาย เมากา เป็นเวลา เป็นเป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็นเวลา เป็น เป็นเวลา เป็น เป็น เป็น เป็น เป็น เป็น เป็น เป็น	รเรียนรู้การมอดูเลชั่นและดีมอดูเล tional kit: Modulation and demod เลหนูแจาก กองทุนวิจัยแลงพัฒนากิจการกระจะ ject was supported by The National Bro	ลชันในมาตรฐาน 5G lulation in 5G standard แล้ยง กิจการ์โทรทัศน์ และกิจการ์โทรตมเนาณ adcasting and Telecommunication C	มเพื่อประโยชน์สาธารณะ (สำนักงาน commission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	→ Modulation	$\rightarrow$	Demodulation	Hard Decision
0011010001101110	(0.9487+0.9487j) (0.			
	เ ผลลัพธ์ของมอดูเลขัน			
	•			
	· ·			
	·			
	·			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random ~	Configuration	Configuration Select Channel v	Configuration	Configuration
Configuration Random ✓ Input Length 16	Configuration โรCAM รูปแบบการมอรูแะชั่น	Configuration Select Channel v	Configuration 1904M V Max-Log V	Configuration
Configuration Random V Inpt Length 16 Software © FPGA	Configuration โ6QAM	Configuration Select Channel v	Configuration 16QAM V Max-Log V Software PF6A	Configuration
Configuration Random v Int Length Software O FPGA RUN CLEAR	Configuration	Configuration Select Channel ~ Software O FPGA RUN CLEAR	Configuration 16QAM	Configuration

รูปที่ 4.77 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 16QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

	4 4 4 4		-	
ระจอมเกล้าลาดกระบัง	รับ (100 การเสียง) (100 การเสียง) (	เรียนรู้การมอดเลชันและดีมอดูเล onal kit: Modulation and demod พนุนจาก กองหุนวิจัยและพัฒนากิจการกระจา ct was supported by The National Bro	ลชั่นในมาตรฐาน 5G Julation in 5G standard ยเสียง กิจการ์โทรงไตน์ และกิจการ์โทรตมนาตม adcasting and Telecommunication C	มพื่อประโยชน์สาธารณะ (สำนักงาร ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	→ Modulation -	→	Demodulation	Hard Decision
0011010001101110	(0.7715+1.0801j) (0.			
	 ผลลัพธ์ของมอดูเลขัน			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random V	Configuration	Configuration Select Channel v	Configuration 64QAM V	Configuration
Configuration Random V Input Length	Configuration	Configuration Select Channel ~	Configuration 64QAM ~ Max-Log ~	Configuration
Configuration Random v Input Length 16	Configuration 64QAM ្ รูปแบบการมอลูเลชั่น	Configuration Select Channel v	Configuration 64QAM V Max-Log V	Configuration
Configuration Random v Input Length 16 Software O FPGA	Configuration	Configuration Select Channel ~	Configuration 64QAM Max-Leg Software FPGA	Configuration
Configuration Random ~ Input Length 16 Software OFPGA RUN CLEAR	Configuration	Configuration Select Channel ~	Configuration 64QAM ··· Max-Log ··· Software O FPGA RUN CLEAR	Configuration

รูปที่ 4.78 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 64QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

<b>ระ</b> งอมเกล้าลาดกระ		Nans. m	ชุดการเ Educatio ได้รับรุนอุต This proje	รี <b>ยนรู้การมอดูเ</b> onal kit: Module หนุนจาก กองทุนวิจัยเ ct was supported	ลชั่นและดื่มอดูเ ation and democ เละพัฒนากิจการกระจา by The National Bro	ลชั่นในมาตรฐา Julation in 5G st ยเสียง กิจการ์เหรงัสน์ sadcasting and Tele	ณ 5G tandard และกิจการ์พรคมนาคม ecommunication Co	เพื่อประโยชน์สาธารณะ (สำนักงาร ommission (NBTC).
Input Inside	→	Modula Insic	ation de	Noisy C	Channel ide	Demodu	ulation 🔶	Output Inside
Binary Numl Generation	$\rightarrow$	Modula	ation _	<b>→</b>		Demodu	ulation	Hard Decision
deficitodeficit		(0.8437+0.9	9971j) (1.					
Configuratio	'n	Configu	ration	Config	uration	Configu	rration	Configuration
Configuration Random Input Length 16	on V	Configur 256QAM รูปแบบการ	ration 	Config Select Ch	uration Nannel V	Configu 256QAM Max-Log	iration	Configuration
Configuration Random Input Length 16	n V	Configur 256QAM	ration	Config Select Ch	uration hannel v	Configu 256QAM Max-Log	ration	Configuration
Configuration Random Input Length 16 Software RUN CI	PN V FPGA EAR	Configu 256QAM guluuunn Software RUN	ration	Config Select CP O Software RUN	uration wannel CLEAR	Configu 256QAM Max-Log Software RUN	o FPGA CLEAR	Configuration

รูปที่ 4.79 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 256QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Channel Co	ling 5G High Physical Layer 5G	Simulation About		
ระงอมแกล้าลาดกระบัง	🔛 🙀 🖄 🕺 Hant Innua. ອີດ ເຊີຍິນທຸມ This pr	ารเรียนรู้การมอดูเลชั่นและดืมอดูเ ational kit: Modulation and demo เอตหนุนจาก กอหหุนจีขัมแสทัฒนากิจการกระจ oject was supported by The National Br	เลช <b>ันในมาตรฐาน 5G</b> dulation in 5G standard พเด็ม กิจการ์เหรเดน์ และกิจการ์เหรดมนาดม oadcasting and Telecommunication C	เพื่อประโยชน์สาธารณะ (สำนักงา ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation	Output Inside
Binary Number Generation	→ Modulation	$\rightarrow$	Demodulation	Hard Decision
0011010001101110	(0.8041+0.9573j) (-1			
	ผลลัพธ์ของมอดูเลขัน			
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random ~	Configuration	Configuration Select Channel v	Configuration 1024QAM V	Configuration
Configuration Random v Input Length 16	Configuration 1024QAM	Configuration Select Channel v	Configuration       1024QAM     V       Max-Log     V	Configuration
Configuration Random v Input Length 16 Software OFPGA	Configuration โป24QAM → รูปเมบบการมอยูเลชัม ◯ Software ● FPGA	Configuration Select Channel ~	Configuration 1024QAM Max-Leg Software FPGA	Configuration
Configuration Random v Input Length 16 Software O FPGA RUN CLEAR	Configuration	Configuration Select Channel v O Software O FPGA RUN CLEAR	Configuration 1024QAM Max-Log Software FPGA RUN CLEAR	Configuration

รูปที่ 4.80 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G แบบ 1024QAM โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.81 กราฟของสัญญาณมอดูเลชันแบบ π /2-BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.82 กราฟของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.83 กราฟของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.84 กราฟของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.85 กราฟของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.86 กราฟของสัญญาณมอดูเลชันแบบ 256QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.87 กราฟของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.88 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ π/2-BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.89 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ BPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.90 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ QPSK ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.91 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 16QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.92 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 64QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G



รูปที่ 4.93 แผนภาพคอนสเตลเลชั่นของสัญญาณมอดูเลชั่นแบบ 256QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชั่นและดีมอดูเลชั่นมาตรฐาน 5G



รูปที่ 4.94 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันแบบ 1024QAM ที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

#### 4.1.4.2 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

กรณีใช้ซอฟต์แวร์ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลชันโดยใช้ซอฟต์แวร์จ<sup>2</sup>ะกำหนดให้รับอินพุตเป็นคำรหัสที่ได้จากส่วน การเข้ารหัสมาตรฐาน 5G และเลือกการมอดูเลชันแบบ π/2 - BPSK จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module modulation.py เพื่อดำเนินการมอดูเลชันและแสดง ผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.95 โดย ผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟและแผนภาพ คอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันซึ่ง ทดสอบโดยใช้ซอฟต์แวร์ แสดงดังรูปที่ 4.96 และรูปที่ 4.97 ตามลำดับ

💰 5G Standard						
5G Modulation 5G Channel Cod	ing 5G High Physical Layer 5G Simulation About					
	รับ (การเป็นแรกการเป็นแรกการเป็นแรก เห็นการเป็นแรกการเป็นแรกการเป็นแรก เห็นการเป็นแรกการเป็นแรก This project was supported by	กอดรหัสช่องสัญญาณในมาตรฐาน coding in 5G standard ค่อมะทิษารคระาะส่อะ กิจการ์เทษัสน์ และกิจก The National Broadcasting and Telecomm	: 5G ารโทรคมนาคมเพื่อประโยชน์สาธารณส (# unication Commission (NBTC).	หน้างกาน กระหร.)		
Input Inside	Encoding     Inside	Modulation	Noisy Channel	Demodulation	Decoding Inside	Output     Inside
Binary Number Generation	→ LDPC Encoding 0011011000000010	→ Modulation →	Noisy Channel	Demodulation	LDPC Decoding	
		<i>แ</i> ลลัพธ์ขอ <sup>ง</sup> มอดูเลขับ				
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUSCH ~	pi/2 - BPSK 🗸 🗸	AWGN ~	pi/2 - BPSK 🗸 🗸	PUSCH 🗸	
Input Length	Base Graph 1	t	SNR (dB) 0	Max-Log ~	Min-Sum	
16		รักแกกแบรทอพิณณภ			Iteration 10	
Software OFPGA	Software OFPGA	Software OFPGA	Software OFPGA	Software OFPGA	⊖ Software	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.95 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.96 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.97 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

### • กรณีใช้อุปกรณ์ FPGA ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลชันโดยใช้อุปกรณ์ FPGA จะกำหนดให้รับอินพุตเป็นคำรหัสที่ได้จาก ส่วนการเข้ารหัสมาตรฐาน 5G และเลือกการมอดูเลชันแบบ QPSK เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งข้อมูลอินพุตและรูปแบบการมอดูเลชันผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้น อุปกรณ์ FPGA จะดำเนินการมอดูเลชันและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายใน กล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.98 โดยผลลัพธ์ดังกล่าวจะแสดง อยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟและแผนภาพคอนสเตลเลชันของ สัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันซึ่งทดสอบโดยใช้อุปกรณ์ FPGA แสดงดังรูปที่ 4.99 และรูปที่ 4.100 ตามลำดับ

SG Standard	Ing SG High Physical Lawer SG Simulation About					
	Image: Instructure by the standard indexed in the standard in the stand	กอตรหัสของสัญญาณในมาตรฐาน coding in 5G standard โดนากิจกรกรายสองกิจการ์เหล่อน เลยกิจก Ine National Broadcasting and Telecomm	<b>t 5G</b> าาซึ่งหรอมนาคมเพื่อประโยชน์สาธารณะ (สำเ nunication Commission (NBTC).	นักงาน กสพช.)		
Input Inside	Encoding	Modulation Inside	Noisy Channel	Demodulation Inside	Decoding	Output     Inside
Binary Number Generation 0000101111100011	LDPC Encoding     cocolon1111000116	→ Modulation → (0.7071-0.7071) (b) наถ้พธ์ของมอดูเลชับ	Noisy Channel	Demodulation	LDPC Decoding	→
Configuration Random ~ Input Length 16	Configuration PUSCH v Base Graph 1 v	Configuration [ GPSK   ] รูปแบบการมอดูเลชั่น	Configuration AWGN ~ SNR (dB) 0	Configuration CPSK v LUT v	PUSCH     Image: Configuration       Min-Sum     Image: Configuration       Reration     10	Configuration
O Software O FPGA	O Software O FPGA	◯ Software ● FPGA	Software OFPGA	O Software O FPGA	O Software O FPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signai Plot	Signal Plot	Constellation Plot	Constellation Plot	signal Plot	Signal Plot	Signal Plot

รูปที่ 4.98 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.99 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.100 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

# 4.1.4.3 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับ สูงมาตรฐาน 5G

กรณีใช้ซอฟต์แวร์ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลขันโดยใช้ซอฟต์แวร์จะกำหนดให้รับอินพุตเป็นสัญญาณสแครมซึ่งได้ จากส่วนการสแครมมาตรฐาน 5G และเลือกการมอดูเลชันแบบ π/2 - BPSK จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module modulation.py เพื่อดำเนินการมอดูเลชัน และแสดงผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูป รูปที่ 4.101 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดู กราฟ และแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่าน การมอดูเลชันซึ่งทดสอบโดยใช้ซอฟต์แวร์ แสดงดังรูปที่ 4.101รูปที่ 4.102 และรูปที่ 4.103 ตามลำดับ



รูปที่ 4.101 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.102 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.103 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

## • กรณีใช้อุปกรณ์ FPGA ทดสอบการมอดูเลชัน

การทดสอบการมอดูเลขันโดยใช้อุปกรณ์ FPGA จะกำหนดให้รับอินพุตเป็นสัญญาณสแครม ซึ่งได้จากส่วนการสแครมมาตรฐาน 5G และเลือกการมอดูเลชันแบบ QPSK เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งข้อมูลอินพุตและรูปแบบการมอดูเลชันผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการมอดูเลชันและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.104 โดยผลลัพธ์ดังกล่าว จะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟและแผนภาพคอนสเตล เลชันของสัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันซึ่งทดสอบ โดยใช้อุปกรณ์ FPGA แสดงดังรูปที่รูปที่ 4.105 และรูปที่ 4.106 ตามลำดับ

(MITL			เการเรียนรู้กระบวนค acational kit: High pi เหลือกระจาก กองรูปจัด	ารทำงานฟิสิตัลเลเอเ iysicsl layer processi อภัศรภายการกระบดิจง	บริสำคับ ng in 50 โลกรั้งการ	สูงมาตรฐาน 5G standard ณีมชาวการักรอนาคมคือป	ອໂມຣລິກາ	กรณะ (ถึนักงาน กละส.)													
linput Inside	<b> </b> →	Coc	i project was supported ling and Rate Match Inside	ing	••• <b>•</b> •	Scrambling Inside	<b>  →</b>	Modulation Inside	+	Noisy Channel Inside	+	Demodulation	•	Descrambling Inside	•	Dea	coding and Re Inside	e Matchin	9	+	Output Inside
Binary Number Generation	<b>→</b>	CRC	Bit Interleaving	Code Block	<b>→</b>	Scrambling	<b>→</b>	Modulation	<b>→</b>	Noisy Channel		Demodulation		Descrambling	Code E Deconce	llock tenate	Code Blo Desegment	$r_{stion} \rightarrow$	CRC Decoding		
0100000110000011		01000001100000111	01001110100101111	01001110100101111		00011011110000101		(0.7071+0.7071)) (0.													
		1	1					<u> </u>							Ļ		Ť.				
		Code Block Segmentation	Rate Matching					ผลลัพธ์ของมอดูเลขับ							Bi	t paving	Code Blo CRC Dece	ck de			
		01000001100000111	00111001111100010																		
		1	† 1												Ļ		Ť				
		Code Block CRC Encoding	LDPC Encoding												Ret	e thing -	-> LDPC Decodin				
		01000001100000111	00111001111100010																		
Configuration			Configuration			Configuration		Configuration		Configuration		Configuration		Configuration			Configurat	ion			Configuration
Random ~		PDSCH				Fixed Sequence $\lor$		QPSK 🗸		Select Channel 🗸		QPSK 😔		Fixed Sequence 😔	PDSCH						
Input Length		Rate 0.5	LLBRM [	0 ~		Scrambling Sequence		The second second second				LUT	De	scrambling Sequence	Min-Sum						
16		Qm 2 v	rv_id [	0 ~		01010101010101010		Specon unofferen						01010101010101010	Iteration	10					
Software OFPGA		Software OFPGA				⊖ Software ● FPGA		⊖ Software ● FPGA		⊖ Software ● FPGA		⊖ Software OFPGA	0	Software O FPGA	⊖ Software	e O FPG	А				
RUN CLEAR		RUN		CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN			CLEAR		CLEAR
Signal Plot			Signal Plot			Signal Plot		Signal Plot		Signal Plot		Signal Plot		Signal Plot			Signal Plo	e			Signal Plot

รูปที่ 4.104 ผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.105 กราฟของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.106 แผนภาพคอนสเตลเลชันของสัญญาณมอดูเลชันที่สร้างโดยใช้อุปกรณ์ FPGA บน หน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

## 4.1.5 ผลการทดสอบ GUI เพื่อแสดงผลของช่องสัญญาณสื่อสาร

ช่องสัญญาณสื่อสารแสดงอยู่ในคอลัมน์ที่ 3 ของหน้าต่างชุดการเรียนรู้การมอดูเลชันและ ดีมอดูเลชันมาตรฐาน 5G คอลัมน์ที่ 4 ของหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณ มาตรฐาน 5G และคอลัมน์ที่ 5 ของหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G โดยผู้ใช้สามารถเลือกรูปแบบของช่องสัญญาณได้ทั้งหมด 2 รูปแบบ ได้แก่ AWGN Channel และ Fading Channel นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบผลของช่องสัญญาณสื่อสาร โดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

### • กรณีใช้ซอฟต์แวร์ทดสอบผลของช่องสัญญาณสื่อสาร

การทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์จะกำหนดให้อินพุตเป็นสัญญาณที่ ผ่านการมอดูเลชันแบบ π/2 - BPSK และเลือกช่องสัญญาณสื่อสารแบบ Fading Channel ที่ค่า SNR 0 dB จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะเรียกใช้ซอฟต์แวร์ Module Channel.py เพื่อ ดำเนินการสร้างค่าสัมประสิทธิ์ของช่องสัญญาณ (Channel Coefficient) และสัญญาณรบกวน (Noise) จากนั้นจึงรวมผลกระทบของช่องสัญญาณดังกล่าวเข้ากับสัญญาณมอดูเลชันและแสดง ผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.107 - รูปที่ 4.109 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดู กราฟและ แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณสื่อสารได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณ สื่อสารซึ่งทดสอบโดยใช้ซอฟต์แวร์ แสดงดังรูปที่ 4.110 และรูปที่ 4.111 ตามลำดับ

Modulation 5G Channel Codi	ng 5G High Physical Layer 5G Simi	lation About		
<b>ระจอมเกล้าอาดกระบัง</b>	ชุดการเรีย Education InnUa. โด้รับรุนอุดหน This project	านรู้การมอดูเลชั่นและดื่มอดูเลชั่นในม al kit: Modulation and demodulation แจาก กองหุนใจขณะทัฒนากิจการกระวายเสียง กิจก was supported by The National Broadcastin	มาตรฐาน 5G in 5G standard มาส์หรหัสน์ และกิจการ์หรดมนาดมเพื่อปร g and Telecommunication Commi	ะโยชน์สาธารณะ (สำนักงาน เ ission (NBTC).
Input Inside	Modulation  Inside	Noisy Channel  Inside	Demodulation  Inside	Output Inside
Binary Number Generation –	Modulation ->	Noisy Channel $\rightarrow$	Demodulation	Hard Decision
0111010100010010	(0.7071+0.7071j) (0.	(0.251+0.4618j) (-0.		
		แลลังเรียว เพ่อ เสือเอเออเสื้อเสอร		
		พยุยมองคงงคงยุกัญ เทยคุย เว		
		ผสสพอขยงของสมุ <sub>ม</sub> ยู แมสยส 13		
		ผลสาวของของสามูมูน เมสอสาว		
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random ~	Configuration	Configuration	Configuration pi/2 - BPSK v	Configuration
Configuration Random v Input Length	Configuration pi/2 - BPSK v	Configuration Fading V SNR (dB) 0 h	Configuration i//2 - BPSK v Max-Log v	Configuration
Configuration Random ✓ Input Length 16	Configuration pi/2 - BPSK v ค่าสัมประสิทธิ์ ของข่องศัญญาณ	Configuration Fading V SNR (dB) 0 Channel Coefficient 0.1195 0.4587 0.471	Configuration bi/2 - BPSK ♥ Max-Log ♥	Configuration
Configuration Random v Input Length 16 Software O FPGA	Configuration pi/2 - BP5K → ค่าลัมประสิทธิ์ ของช่องสัญญาณ Software ◯ FPGA	Configuration Fading V SNR (dB) 0 (Altipo 0.4597 0.471 Software OFPGA SS	Configuration 51/2 - BPSK Max-Log Software FPGA	Configuration
Configuration Random v Input Length 16 Software O FPGA RUN CLEAR	Configuration         pi/2 - BPSK         ด่าลัมประสิทธิ์         ของช่องสัญญาย         Software       FPGA         RUN       CLEAR	Configuration Fading SNR (dB) 0 (Channel Coefficient 0.1195 0.4587 0.471 Software OFPGA RUN CLEAR R	Configuration bi/2 - BPSK Max-Log Software FPGA	Configuration

รูปที่ 4.107 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Standard 5G Modulation 5G Channel Cod	ding 5G High Physical Laver 5G Simulation About					
	<ul> <li>ชุดการเรียนรู้การเข้าและ</li> <li>ชุดการเรียนรู้การเข้าและ</li> <li>Educational kit: Channel</li> <li>ได้ประกอบสุดทระสาก กองชุนได้เหล Intrua.</li> </ul>	กอดรหัสช่องสัญญาณในมาตรฐาน coding in 5G standard พัฒนาใจการสายเสียง กิจการ์เหลโตน์ และกิจกา The National Broadcasting and Telecomm	5G ซึ่งหลมนาคมเพื่อประโยชน์สาธารณะ (สำนั unication Commission (NBTC).	างาน กลังช.)		
Input Inside	Encoding     Inside	Modulation	Noisy Channel	Demodulation Inside	Decoding Inside	Output Inside
Binary Number Generation -	→ LDPC Encoding 0011011000000010	→ Modulation → (0.7071+0.7071)) (-(	Noisy Channel → (-1.9276+0.3972)) (C	Demodulation	LDPC Decoding	
			งสลัพอ์ของข้องสัญญาณสื่อสาร			
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random	PUSCH ~	pi/2 - BPSK 🗸 🗸	Fading ~	pi/2 - BPSK 🔍	PUSCH 🗸	
Input Length	Base Graph 1		SNR (dB)	Max-Log ~	Min-Sum 🗸	
		ค่าสัมประสิทธิ ของช่องสัญญาณ	Channel Coefficient 0.2113 0.142 1.0236		Iteration 10	
		Software O FPGA	Software OFPGA	Software OFPGA	Software PFGA	
Software OFPGA		0101 CI 540	DUDU CLEAD	DIDI CITAD	DID	CITAR
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR

รูปที่ 4.108 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

	CI North States States	รียนรู้กระบวนการทำงานที่มีพัฒลออร onal kit: High physics! layer processi หมุณาก กอกรูโห้มอไม่และวัทการกระบบไป ct was supported by The National Broadcast	เริล้าเสียสุงมาตรฐาน 5G ng in 5G standard หารโองโดร์ แต่กิจารโอรามอร์ ing and Telecommunication Co	flocke <sup>®</sup> locker mmission (N	retat (étilorita nével.) IRC).										
Input Inside	Coding	and Rote Matching Inside	Scrambling	<b>→</b>	Modulation Inside	<b> </b> →	Noisy Channel Inside	•	Demodulation Inside	Descra     Ins	mbling 🚽	De	- coding and Rate M Inside	atching	Output     Inside
Binary Number Generation	-> Segmentation	Coded Bit Code Block Concatenation	→ Scrambling		Modulation	→	Noisy Channel	->	Demodulation	Descra	mbling	Code Block Deconcatenation	CRC Decoding	> Desegmentation	
0100000110000011	0100000110000011 011	01100111011000010	0110010101111011		(0.7071+0.7071j) (0.		(-0.2632+1.355j) (-0								
	CRC Encoding	Rate Matching ← Sub-Block Interleaving				м	 เอ้าเร่ของช่องขัญญาณซื้อสา	•				Coded Bit Deinterleaving	Polar Desequencing	← Parity-Check Decoding	
	01000001100000110 ↓	10010010000000 00000000000000000000000												†	
	Polar Sequencing →	Parity  — Polar Encoding										Rate Dematching	→ Sub-Block Deinterleaving	→ Polar Decoding	
	000000000000000000000000000000000000000	01010000100000													
Configuration	c	onfiguration	Configuration		Configuration		Configuration		Configuration	Config	uration		Configuration		Configura
Random ~	PUCCH		Pseudo-Randon ~		pi/2 - 8PSK ~~~		Fading ~		pi/2 - BPSK 🔍	Pseudo-I	landon 🖂	PUCCH			
Input Length	Punctured Codeword Length	40	Scrambling Sequence				SNR (dE) 0		Max-Log v	Descramblin	ng Sequence	Successive Cancella	ition		
16			00000010000110100		ดำสัมป ของช่องช	ระฮิฟซี่ โญญาณ	Channel Coefficient 0.871 0.3987 0.5159			00000010	00110100				
Software OFPGA	Software OFPGA		Software OFP	jA.	Software OFPGA		Software OFPGA		Software O FPGA	O Software	⊖ FPGA	Software OFF	PGA		
RUN CLEAR	RUN	CLEAR	RUN CLEA	1	RUN CLEAR		RUN CLEAR		RUN CLEAR	RUN	CLEAR	RUN		CLEAR	CLEAR
Canad Dist		Signal Plot	Signal Plot		Signal Plot		Signal Plot		Signal Plot	Sian	Plot		Signal Plot		Signal Pi

รูปที่ 4.109 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.110 กราฟของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้ซอฟต์แวร์





กรณีใช้อุปกรณ์ FPGA ทดสอบการมอดูเลชัน

การทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA จะกำหนดให้นพุตเป็นสัญญาณ ที่ผ่านการมอดูเลชันแบบ QPSK และเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งสัญญาณมอดูเลชันและรูปแบบของช่องสัญญาณสื่อสารผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการรวมผลกระทบของช่องสัญญาณเข้า กับสัญญาณมอดูเลชันและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่ง อยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.112 - รูปที่ 4.114 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ ในรูปของตัวเลขเชิงซ้อน นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟและแผนภาพคอนสเตลเลชันของ สัญญาณที่ผ่านการมอดูเลชันได้โดยกดปุ่ม "Signal Plot" และ "Constellation Plot" ตามลำดับ ตัวอย่างกราฟและแผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านการมอดูเลชันซึ่งทดสอบโดยใช้อุปกรณ์ FPGA แสดงดังรูปที่ 4.115 และรูปที่ 4.116 ตามลำดับ

odulation 5G Channel Cod	ing 5G High Physical Layer 5G Si	mulation About		
ເຈຍມານທ້າລາຍກາະນັ້ນ	ນ ມີ ການປະ. ອີນອີນ ການປະ. ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອອນ ອີນອີນອີນອີນອີນອີນອີນອີນອີນອີນອີນອີນອີນອ	เรียนรู้การมอดูเลชั่นและดีมอดูเล onal kit: Modulation and demodi พนุนจาก กองทุนวิจัยและทัฒนากิจการกรtจาย tet was supported by The National Broa	เช้นในมาตรฐาน 5G ulation in 5G standard เคียง กิจการ์โหรงโตน์ และกิจการ์โหรดมนาดมเ idcasting and Telecommunication Co	เพื่อประโยชน์สาธารณะ (สำนักงาน ommission (NBTC).
Input Inside	Modulation Inside	Noisy Channel	Demodulation  Inside	Output Inside
Binary Number Generation -	> Modulation -	$\rightarrow$ Noisy Channel $\rightarrow$	Demodulation	Hard Decision
0101001110111011	(0.7071-0.7071j) (0.:	(1.2073-0.2941j) (-0		
Configuration	Configuration	Configuration	Configuration	Configuration
Configuration Random ~ Input Length 16	Configuration QPSK ~	Configuration AWGN ~ SNR (dB) 0	Configuration QPSK ~ LUT ~	Configuration
Configuration Random v Input Length 16	Configuration QPSK ~ Software PFGA	Configuration AWGN ~ SNR (dB) 0 Software • FPGA	Configuration QPSK LUT Software FPGA	Configuration
Configuration Random v Input Length 16 Software FPGA RUN CLEAR	Configuration QPSK ~ Software • FPGA RUN CLEAR	Configuration AWGN ~ SNR (dB) 0 Software O FPGA RUN CLEAR	Configuration QPSK LUT Software FPGA RUN CLEAR	Configuration

รูปที่ 4.112 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Standard 5G Modulation 5G Channel Co	ding 5G High Physical Layer 5G Simulation About					
พระจอมแกล้าอาดกระบัง	ทาง เมื่อน เป็น (1997) เมื่อนารายสาย เป็น เป็น เป็น เป็น เป็น เป็น เป็น เป็น	ละกอดรหัสช่องสัญญาณในมมาตรฐา el coding in 5G standard ลหัฒนากิจการกระจะเข้อง กิจการโพรงไสน์ ผงอีก y The National Broadcasting and Telecom	<b>ณ 5G</b> ฉการโพรดมนาคมเพื่อประโยชน์การารณะ (สำน imunication Commission (NBTC).	กงาน กสพช.)		
Input Inside	Encoding     Inside	Modulation	Noisy Channel	Demodulation	Decoding     Inside	Output     Inside
Binary Number Generation	→ LDPC Encoding 00001011111000110	→ Modulation -	→ Noisy Channel	Demodulation	LDPC Decoding	→
			คลลัพธ์ของช่องสัญญาณสื่อสาร			
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUSCH ~	QPSK v	AWGN ~	QPSK 🗸	PUSCH	
Input Length	Base Graph 1		SNR (dB) 0	LUT 🗸	Min-Sum 🗸	
10					Iteration 10	
◯ Software	◯ Software ● FPGA	◯ Software	◯ Software	◯ Software ● FPGA	◯ Software	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot

รูปที่ 4.113 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G
5G Standard 5G Modulation 5G Channel Cod	ng 56 High Physical Layer 56 Simulation About							
	ระดารเรียนรู้กระบวนการทำงามพิมิพัลเลเอ สนินสมโดกส Jit: High physical layer process Physicamator negotiautics/newsrawite Disproject was supported by The National Breedra	มร์สำเด็มสุงมาตรฐาน 5G ng in 5G standard เขาซี่เซลิต์ เมชาะกร์เซลเมาะแต้อย่ะโอร ting and Telecommunication Commissio	เน็กราคม (กันักเวน กระช.) ก (NBTC).					
Input Inside	Coding and Rate Matching Inside	Scrambling	Modulation Inside	Noisy Channel Inside	Demodulation Inside	Descrambling Inside	De coding and Rate Matching Inside	Output     Inside
Binary Number Generation -	CRC Bit Code Block Concatenation	→ Scrambling -	→ Modulation	→ Noisy Channel _	Demodulation	Descrambling	Code Block Deconcatenate Code Block Desegmentation → CRC Decoding	
0100000110000011	01001110100101111 0100101111 0100101111	00011011110000101	(0.7071+0.7071)) (0.	(0.7566=1.1467)) (0.				
	Code Block Rate Segmentation Matching			มณัพด์ของช่องสัญญาณสื่อสาร			Bit Code Block Deinterleaving CRC Decode	
	01000001100000111 							
	Code Block CRC Encoding $\rightarrow$ LDPC Encoding						Rate DeMatching  → LDPC Decoding	
	01000001100000111 00111001111100010							
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random v	POSCH v	Fixed Sequence 🗸	QPSK V	AWGN ~	QPSK V	Fixed Sequence V	POSCH	
Input Length	Rate 0.5 LLBRM 0 ~	Scrambling Sequence		SNR (dE) 0	LUT	Descrambling Sequence	Min-Sum 🗸	
16	Qm 2 v nuid 0 v	01010101010101010				01010101010101010	Iteration 10	
Software OFPGA	Software OFPGA	Software OFPGA	○ Software ● FPGA	Software OFPGA	⊖ Software O FPGA	Software OFPGA	Software OFPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Piet	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
			and and a second second					

รูปที่ 4.114 ผลลัพธ์ทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.115 กราฟของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA บนหน้าต่าง



รูปที่ 4.116 แผนภาพคอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA

### 4.1.6 ผลการทดสอบ GUI เพื่อแสดงผลการดีมอดูเลชันมาตรฐาน 5G

การดีมอดูเลชันมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 4 ของหน้าต่างชุดการเรียนรู้การมอดู เลชันและดีมอดูเลชันมาตรฐาน 5G คอลัมน์ที่ 5 ของหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัส ช่องสัญญาณมาตรฐาน 5G และคอลัมน์ที่ 6 ของหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัล เลเยอร์ลำดับสูงมาตรฐาน 5G โดยผู้ใช้สามารถเลือกรูปแบบการดีมอดูเลชันได้ทั้งหมด 7 รูปแบบ ได้แก่ BPSK, π/2-BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM ทั้งนี้รูปแบบการ ดีมอดูเลชันจะต้องสอดคล้องกับรูปแบบการมอดูเลชัน นอกจากนี้ ผู้ใช้สามารถเลือกอัลกอริทึมการ ดีมอดูเลชันได้ 2 อัลกอริทึม ได้แก่ Max-log และ LUT รวมทั้งสามารถเลือกทดสอบผลการดีมอดูเลชัน โดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

## กรณีใช้ซอฟต์แวร์ทดสอบการดีมอดูเลชัน

การทดสอบผลการดีมอดูเลชันโดยใช้ซอฟต์แวร์จะกำหนดให้อินพุตเป็นข้อมูลที่ผ่าน ช่องสัญญาณสื่อสารและกำหนดรูปแบบการดีมอดูเลชันเป็นแบบ π/2-BPSK เช่นเดียวกับการมอดูเลชัน และเลือกอัลกอริทึมการดีมอดูเลชันแบบ Max-Log จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะ เรียกใช้ซอฟต์แวร์ Module demodulation.py เพื่อดำเนินการดีมอดูเลชันสัญญาณ และแสดง ผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.117 - รูปที่ 4.119 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขจำนวนจริงซึ่งเป็นค่าอัตราส่วนความควรจะ เป็นแบบล็อก (Log-Likelihood Ratio: LLR) นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณที่ผ่าน การดีมอดูเลชันได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ผ่านการดีมอดูเลชันซึ่ง ทดสอบโดยใช้ซอฟต์แวร์ แสดงดังรูปที่ 4.120

Adulation	5G Channel	Coding	5G High Phys	ical Layer	5G Simula	ation About						
ระจอมเกล้าลา	ดกระบัง ค	MUTI	Nans.	ອງອອງ ອີງປະຊາກ ທີ່ໄດ້ສຳມາ ການໄສ.	า <b>ารเรียง</b> cationa ทุนอุดหนุน project w	<b>เร้การมอดู</b> l kit: Modul จาก กองหุนวิจัย as supported	เลชั่นและดีม ation and de และพัฒนากิจการ by The Nation	มอดูเลช emodul กระจามเสี nal Broad	<b>รันในมาตรฐ</b> ation in 5G มง กิจการ์ทรหัสย casting and Te	าน 5G standard มี และกิจการ์โทรศ Jecommunica	ขมนาคมเพื่อ tion Com	ประโยชน์สาธารณะ (สำนักงาน mission (NBTC).
Inp Insi	ut de	+	Modul Insi	ation de	+	Noisy ( Ins	Channel Side	→	Demod Ins	ulation ide	<b> </b> →	Output Inside
Binary M Gener	lumber ation	$\rightarrow$	Modul	ation	$\rightarrow$	Noisy (	Channel	$\rightarrow$	Demod	ulation	$\rightarrow$	Hard Decision
011101010	0010010		(0.7071+0.	7071j) (0.		(0.251+0	.4618j) (-0.		0.4817 -0	.1596 -1.54		0111010101010110
									ผลลัพธ์ของก	ารดีมอดูเลชัน		
Configu	ration		Configu	ration		Config	uration		Config	uration		Configuration
Random	~		pi/2 - BPS	к ~		Fading	~		pi/2 - BP	SK 🗸 🗸	- ຈູປແບບກ	ารดืมอดูเลชั่น
Input Le	ngth					SNR (dB) Channel 0.1195 0.	0 Coefficient 4587 0.471		Max-Log	~	- อัลกอริที	มการดื่มอดูเลชั่น
Software	O FPGA		O Software	O FPGA		O Software	O FPGA		O Software	⊖ FPGA		
RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		CLEAR
Signal	Plot		Signal	Plot		Sign	al Plot		Signa	I Plot		Signal Plot

รูปที่ 4.117 ผลลัพธ์ของการดีมอดูเลชันโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Standard 5G Modulation 5G Channel C	oding 5G High Physical Layer 5G Sim	ulation About											
	V V กลาย กลาย กลาย กลาย กลาย กลาย กลาย กลาย	<b>ยนรู้การเข้าและกอด</b> aal kit: Channel codir แนราก กองรุนให้และทัฒนา/ : was supported by The N	ร <b>ห์สช่องสัญญ</b> ng in 5G standa กิจการกระจายเสียง กิ lational Broadcast	า <b>ณในมาตรฐ</b> ird เการ์โทรโดน์ และก ing and Telecon	<b>าน 5G</b> กรุการโทรคมนาคมเก nmunication Co	ไอประโยชน์สาธารณ nmission (NBTC).	ะ (สำนักงา	754 M#105.)					
Input Inside	Encoding     Inside	<b>→</b>	Modul	ation de	Nois	Channel nside	→	Demodulation Inside	+	Dece	oding ide	<b> </b> →	Output Inside
Binary Number Generation 0011011000000001	→ LDPC Encoding 00110110000000	→ D10	(0.7071+0	ation .	→ Nois (-1.92	r Channel 16+0.3972j) (C	<b>→</b>	Demodulation -0.2217 0.2085 -3.55 † ผลถัพธ์ของการทีมอดูเลซัม	→	LD	PC oding		
Configuration	Configuration		Configu	ration	Con	iguration		Configuration		Config	uration		Configuration
Random ~ Input Length 16 Software O FPGA	PUSCH Base Graph 1 ~		pi/2 - BPS	⊂ FPGA	Fadin SNR (d Chann 0.2113 O Softw	3) 0 el Coefficient 0.142 1.0236 ore OFPGA		pi/2 - BPSK ✓ Max-Log ✓ อัลกอริทีมการหีมอดูเลชัน รูปแบบการหีมอดูเลชัน Software ◯ FPGA		PUSCH Min-Sum Iteration 10	<ul> <li>✓</li> <li>✓</li> </ul>		
RUN CLEAR	RUN	CLEAR	RUN	CLEAR	RUN	CLEAR		RUN CLEAR		RUN	CLEAR		CLEAR
Signal Plot	Signal Plot		Signal	Plot	Si	nal Plot		Signal Plot		Signi	al Plot		Signal Plot
			Constella	ion Plot	Const	ellation Plot							

รูปที่ 4.118 ผลลัพธ์ของการดีมอดูเลชันโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

KMITL		anda.	<b>QAN YAN</b> Educatio Misproje	รียนรู้กระบว mal kit: High ๆและก กองๆอ่ ct was support	unnsv physio Koutelo ed by Tr	ก้างการพืชสิงโดยสะยะ cal layer processis และประกรศรรรษสัยง ส w National Broadcast	บร์ฟ้าสกับส ng in 5G โรการั้งกลั ting and T	(งมาตรฐาน 5G standard ฉัดอริการโครงแกรงเพื่อป decommunication Comm	eໃນບໍລິກຣ ission (N	ารณส (สำนักงาน กระหะ.) BTC).												
Input Inside	•		Coding a	ind Rate Ma Inside	tching		<b>→</b>	Scrambling Inside	+	Modulation Inside	<b>→</b>	Noisy Channel Imide	→	Demodulation Inside	•	Descrambling Inside		De-codi	ing and Rate Ma Inside	tching	→	Output Inside
Binary Number Generation	→ Seg	mentation		Coded Bit terleaving	-	Code Block Concatenation	<b>→</b>	Scrambling	<b>→</b>	Modulation	$\rightarrow$	Noisy Channel	<b>→</b>	Demodulation	<b>→</b>	Descrambling	Code Block Deconcatenation		CRC Decoding			
0100000110000011	0100	1000110000011	011	0011101100001	9	01100111011000010		01100101011110110		(0.7071+0.7071)) (0.		(-0.2632+1.355j) (-0		2.9589 -0.5983 -0.72					t			
		CRC		Rate Matching	←	Sub-Block Interleaving								<i>แลลัพร์ของการสืบอสูลขั</i> บ			Coded Bit Deinterleaving		Polar Desequencing	e Parity-Check Decoding		
	0100	0001100000110	010	1001001000000		1010010010000000											1			t t		
	Se	Polar quencing	→	Parity Check	<b> →</b>	Polar Encoding											Rate Dematching	→	Sub-Block Deinterleaving	→ Polar Decoding		
	0000	000000100000	000	0000000010000	9	21010001100000000																
Configuration			Ce	onfiguration				Configuration		Configuration		Configuration		Configuration		Configuration			Configuration			Configuration
Random ~	PUC	сн						Pseudo-Randon ~		pi/2 - BPSK 🔍		Fading ~		pi/2 - BPSK 🗸 🗸		Pseudo-Randon ~	PUCCH					
Input Length	Pun	ctured Codewo	rd Length	40				Scrambling Sequence				SNR (dE) 0		Max-Log ~		Descrambling Sequence	Successive Cancel	flation				
16								00000010000110100				Channel Coefficient 0.871 0.3987 0.5159		โอกรวิทีมการคืออลูเอขับ รูปแบบการคืออลูเอขับ —		00000010000110100						
Software OFPGA	0.50	ftware O Fi	GA					Software OFPGA		Software OFPGA		Software OFPGA		Software O FPGA		Software OFPGA	Software 0	FPGA				
RUN CLEAR		RUN			0	LEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR	RUN	4		CLEAR		CLEAR
Served Plot				Signal Plot				Signal Plot		Signal Plot		Signal Plot		Signal Plot		Signal Plot			Signal Plot			Signal Plot

รูปที่ 4.119 ผลลัพธ์การดีมอดูเลชันโดยใช้ซอฟต์แวร์บนหน้าต่างชุดการเรียนรู้กระบวนการทำงาน ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.120 กราฟของสัญญาณที่ผ่านการดีมอดูเลชันโดยใช้ซอฟต์แวร์

## • กรณีใช้อุปกรณ์ FPGA ทดสอบการดีมอดูเลชัน

การทดสอบผลของช่องสัญญาณสื่อสารโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตเป็นข้อมูลที่ ผ่านช่องสัญญาณสื่อสารและกำหนดรูปแบบการดีมอดูเลชันเป็นแบบ เช่นเดียวกับการมอดูเลชัน และ เนื่องจากความซับซ้อนของอัลกอริทึม Max-Log กรณีการใช้อุปกรณ์ FPGA จะใช้อัลกอรึทึม LUT ใน การดีมอดูเลชันเท่านั้น จากนั้นเมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งสัญญาณที่ผ่านช่องสัญญาณ สื่อสารและรูปแบบการดีมอดูเลชันผ่าน Serial Port ไปยังอุปกรณ์ FPGA ซึ่งอุปกรณ์ FPGA จะ ดำเนินการดีมอดูเลชัน และส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความ ซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.121 - รูปที่ 4.123 โดยผลลัพธ์ดังกล่าวจะแสดง อยู่ในรูปของตัวเลขจำนวนจริงซึ่งเป็นค่า LLR นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณที่ผ่าน การดีมอดูเลชันได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ผ่านการดีมอดูเลชันซึ่ง ทดสอบโดยใช้อุปกรณ์ FPGA แสดงดังรูปที่ 4.124

iG Standard												
Modulation	5G Chanr	nel Coding	5G High Phys	sical Layer	5G Simul	ation About	]					
<b>รร</b> จอมเกล้าลา	ดกระบัง		nans.	ອງອອງ ອີງອີງອີງອີງອີງອີງອີງອີງອີງອີງອີງອີງອີງອ	า <b>ารเรียง</b> c <b>ationa</b> ทุนอุดหนุน project w	<b>นรู้การมอดูเ l kit: Modul</b> a ลาก กองทุณวิจัยเ /as supported l	<b>ลชั่นและดีม ation and de</b> เละพัฒนากิจการเ by The Nationa	เอดูเลจ emodul กระจามเสื al Broad	ชั <b>นในมาตรฐา</b> ation in 5G st <sup>ยง</sup> กิจการโทรทัศน์ casting and Tele	ณ 5G tandard และกิจการโทรเ ecommunica	คมนาคมเพื่อ stion Com	ประโยชน์สาธารณะ (สำนักงาน mission (NBTC).
Inp Insid	ut de	→	Modul Insi	lation ide	→	Noisy C Ins	Channel ide	→	Demodu Insid	ılation de	<b>→</b>	Output Inside
Binary N Genera	lumber ation	$\rightarrow$	Modul	lation	$\rightarrow$	Noisy C	hannel	$\rightarrow$	Demodu	lation	→	Hard Decision
010100111	0111011		(0.7071-0.	.7071j) (0.:		(1.2073-0	.2941j) (-0		6.8295 - 1.6	6637 -1.74		0111001100111011
									ผลสัพธ์ของการ	รดีมอดูเลขัน		
Configu	ration		Configu	uration		Config	uration		Configu	ration		Configuration
Random	~		QPSK	~		AWGN	~		QPSK	~	- รูปแบบก′	ารดีมอดูเลชั่น
Input Le	ngth					SNR (dB)	0		LUT		- อัลกอริทึม	มการดีมอดูเลชั่น
) Software	O FPG/	4	◯ Software	O FPGA		◯ Software	• FPGA		◯ Software	O FPGA		
RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		CLEAR
Signal	Plot		Signa	I Plot		Signa	I Plot		Signal	Plot		Signal Plot

รูปที่ 4.121 ผลลัพธ์ของการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G

5G Standard						
5G Modulation 5G Channel Codi	ng 5G High Physical Layer 5G Simulation About					
พระขอมแกล้าอาดกระบัง	<ul> <li>ชุดการเรียนรู้การเข้าและ Educational kit: Channel ได้บทุนอุดทุนเราก กอทุนโร้มผะ This project was supported by</li> </ul>	ะกอดรหัสช่องสัญญาณในมาตรฐา coding in 5G standard พัฒนากิจการกระจายต้อง กิจการโทรทัศน์ และกิ The National Broadcasting and Telecom	<b>ณ 5G</b> จการ์โพรคมนาคมเพื่อประโยชน์สาธารณะ ( imunication Commission (NBTC).	สำนักงารเ กสพช.)		
Input Inside	Encoding Inside	Modulation	Noisy Channel	Demodulation     Inside	Decoding Inside	Output     Inside
Binary Number Generation —	LDPC     Encoding	→ Modulation -	→ Noisy Channel	$\rightarrow$ Demodulation $\rightarrow$	LDPC Decoding	→
0000101111100011	00001011111000110	(0.7071+0.7071j) (0.	(2.1366+1.3995j) (1.	1.465 0.9596 1.0013		
				T ผลลัพธ์ของการคืมอดูเลขัน		
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUSCH	QPSK ~	AWGN ~	QPSK 🗸 🗸	PUSCH V	
Input Length	Base Graph 1 v		SNR (dB) 0	LUT V	Min-Sum 🗸	
10				อัลกอริทีมการดื่มอดูเลชั่น 🚽 รปแบบการดื่มอดเลชั่น	Iteration 10	
◯ Software	◯ Software	◯ Software ● FPGA	◯ Software	Software OFPGA	◯ Software ● FPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
		Constellation Plot	Constellation Plot			

รูปที่ 4.122 ผลลัพธ์ของการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

5G Standard 56 Modulation 56 Channel I	Coding 56 High Physical Layer 56 Simulation About							
	المعنى المعنى المعنى المعنى المعنى المعنى المعنى	รีสำเร็บสูงมาตรฐาน, 5G g in 5G standard ภาษักที่หนั woher-ซึ่งหนองหมด้อย่ายใดขัดราคน (ค่ามั ng and Telecommunication Commission (NBTC).	NTE MARE)					
Input Inside	Coding and Rate Matching Inside	→ Scrambling → Mo Inside I	dulation 🔶	Noisy Channel	Demodulation  Inside	Descrambling Inside	De-coding and Rate Matching Inside	Output     Inside
Binary Number Generation 0100000110000011	→ Ecoling Participation (Constantial Constantial Constantia Constantial Constantial Constantial Const	→ Scandbling → Mo 000110111000001 (5.707	autation →	Noity Channel	<ul> <li>→</li> <li>2 № 3.2014 т. Кама <ul> <li>2 № 3.2014 т. Кама </li> <li>2 № 3.2014 т. Кама </li> </ul> </li> <li>2 № 3.2014 т. Кама </li> </ul>	Descrambling	Code Block Description         Code Block Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description         Colic Description <thcolic description<="" th="">         Colic Description&lt;</thcolic>	
Configuration	Configuration	Configuration Conf	iguration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	POSCH	Fixed Sequence  V  OPSK		AWGN ~	QPSK -	Fixed Sequence ~	POSCH v	
Input Length	Rate 0.5 LLBRM 0 V	Scrambling Sequence		SNR (dE)	LUT	Descrambling Sequence	Min-Sum v	
16	Qm 2 v nuid 0 v	01010101010101010			อัลกอริพัมการศัสธรูเลขัน	0101010101010101010	Iteration 10	
	NL 1 V				รูปแบบการศีมธรูเลขัน			
⊖ Software ● FPGA	O Software O FPGA	⊖ Software OFPGA ⊖ Softw	ne OFPGA	Software OFPGA	Software OFPGA	O Software O FPGA	O Software O FPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR RUN	CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot Sig	nal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot

รูปที่ 4.123 ผลลัพธ์การดีมอดูเลชันโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G



รูปที่ 4.124 กราฟของสัญญาณที่ผ่านการดีมอดูเลชันโดยใช้อุปกรณ์ FPGA

## 4.1.7 ผลการทดสอบ GUI เพื่อแสดงผลการดีสแครมมาตรฐาน 5G

การดีสแครมมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 7 ของหน้าต่างชุดการเรียนรู้กระบวนการ ทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G โดยผู้ใช้สามารถเลือกรูปแบบการสร้างลำดับดีสแครมได้ทั้งหมด 3 รูปแบบ ได้แก่ การใช้ลำดับแบบตายตัว การสร้างลำดับแบบสุ่มเทียม และการป้อนลำดับด้วยตนเอง นอกจากนี้ ผู้ใช้สามารถเลือกทดสอบการดีสแครมโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA อย่างไรก็ตาม รูปแบบการสร้างลำดับดีสแครมและการลำดับดีสแครมจะต้องตรงกับการสแครม และการดีสแครม โดยใช้อุปกรณ์ FPGA จะสามารถสร้างลำดับการดีสแครมโดยใช้ลำดับแบบตายตัวเท่านั้น

## กรณีใช้ซอฟต์แวร์ดีสแครม

การทดสอบการดีสแครมโดยใช้ซอฟต์แวร์จะกำหนดให้อินพุตเป็นสัญญาณดีมอดูเลชัน และ เลือกการสร้างลำดับแบบสุ่มเทียมตามการสแครม จากนั้นเมื่อกดปุ่ม "RUN" ซอฟแวร์ GUI จะ เรียกใช้ซอฟแวร์ Module nrPDSCHPRBS.py เพื่อดำเนินการดีสแครม จากนั้นแสดงผลลัพธ์ที่ได้ ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.125 โดยผลลัพธ์ดังกล่าว จะอยู่ในรูปของตัวเลขจำนวนจริง นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณสแครมได้โดยกด ปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณสแครมแสดงดังรูปที่ 4.126

5G Standard 5 Modulation 56 Channel Cor	ding 55 High Physical Layer 55 Simulation About							
	المعنى المعن معنى المعنى ا معنى المعنى المعنى معنى المعنى ال	ร้างกับสุงมาตรฐาน 5G in 5G standard ทั้งกลัด เลขโรการังกระจาดแล้อประโยช and Telecommunication Commission	ฉัตอาคาส (คำอิกงาน กลาง) ก (NBTC).					
Input Inside	Coding and Rate Matching Inside	Scrambling Inside	Modulation Inside	Noisy Channel	Demodulation  Inside	Descrambling Inside	De-coding and Rate Matching Inside	Output     Inside
Binary Number Generation	→ Segmentation Coded Bit Interleaving → Code Block Concatenation -		Modulation -	-> Noisy Channel -	→ Demodulation →	Descrambling	Code Block CRC Decoding Desegmentation	
0100000110000011	01100111011000010 ↓ 1 01100111011000010 ↓ 01100111011000010	01100101011110110	(0.7071+0.7071)) (0.	(-0.2632+1.355)) (-0	2.9589 -0.5983 -0.72	2.9589 -0.5983 -0.72		
	CRC Rate Sub-Block Interfeaving					สตถัพธ์ของการพิสมครม	Coded Bit Polar Check Desequencing Decoding	
	□1000001100000110 ↓ □1010010010000000 □101000000000 ↑							
	Polar Sequencing → Parity → Polar Encoding						Rate Dematching → Sub-Block Deinterleaving → Decoding	
	0000000000100000 000000100000 010100000 010100000 0101000000							
Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random ~	PUCCH	Pseudo-Randon ~	pi/2 - BPSK v	Fading ~	pl/2 - BPSK 🗸	Pseudo-Randon ~	PUCCH U	
Input Length	Punctured Codeword Length 40	Scrambling Sequence		SNR (dB) 0	Max-Log ~	Descrambling Sequence	Successive Cancellation	
16		00000010000110100		Channel Coefficient 0.871 0.3987 0.5159	สำคับการศึสนครม 🛶	00000010000110100		
Software O FPGA	Software OFPGA	Software O FPGA	Software O FPGA	Software OFPGA	Software OFPGA	Software O FPGA	Software OFPGA	
RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
			Constellation Plot	Constellation Rot				

รูปที่ 4.125 ผลลัพธ์การดีสแครมมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.126 กราฟของสัญญาณดีสแครมที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

## กรณีใช้อุปกรณ์ FPGA ดีสแครม

การทดสอบการดีสแครมโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตเป็นสัญญาณดีมอดูเลชัน และเลือกใช้ลำดับสแครมแบบตายตัว เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งสัญญาณดีมอดูเลชัน ผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการดีสแครม จากนั้นส่ง ผลลัพธ์กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูป ที่ 4.127 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของตัวเลขจำนวนจริง นอกจากนี้ผู้ใช้สามารถเรียกดู กราฟของสัญญาณที่ได้จากการดีสแครมได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้ จากการเข้ารหัสแสดงดังรูปที่ 4.128

	1	Same and the second sec	ลการเรียนรู้กระบ lucational kit: Hig ใบรูเอยของการอย is project was suppo	วนการทำงานฟิสิรัลเล h physical layer proce เริ่มแต่แนวกิจกรครามสี rted by The National Broad	ວມາຈິສຳເຈັນ ising in 50 ແກ້ແກ່ນີ້ແກ່ asting and	สูงสมาหาฐารม 5G i standard ครั และกิจการโครคมงาคมเคือง Telecommunication Comm	intlucióne nission (N	กรณะ (กำนักกาม กระช.) BTC).												
Input Inside	+	Co	ding and Rate M Inside	atching	→	Scrambling Inside	•	Modulation Inside	+	Noisy Channel Inside	+	Demodulation Inside	+	Descrambling Inside	+	De-	coding and Rate Match Inside	ing	→	Output Inside
Binary Number Generation		CRC Encoding	Bit Interleaving	→ Code Block Concatenation		Scrambling	<b>→</b>	Modulation		Noisy Channel		Demodulation		Descrambling	->	Code Block Deconcatenate	Code Block Desegmentation	CRC Decoding		
0100000110000011		01000001100000111	010011101001011	11 0100111010010111	1	00011011110000101		(0.7071+0.7071)) (0.		(0.7566+1.1467j) (0.		2.14 3.2434 1.1444 1		2.14 -3.2434 1.1444						
			1														<b>↑</b>			
		Code Block Segmentation	Rate Matching											ADDMENDIOTSABLASS		Bit Deinterleaving	Code Block CRC Decode			
		01000001100000111	001110011111000	110																
		Ļ	1													1	1			
		Code Block CRC Encoding	LDPC     Encoding													Rate _	→ LDPC Decoding			
		01000001100000111	001110011111000	10																
Configuration			Configuration	1		Configuration		Configuration		Configuration		Configuration		Configuration			Configuration			Configuration
Random 🗸		PDSCH				Fixed Sequence $\smallsetminus$		QPSK 😒		AWGN v		QPSK 🗸		Fixed Sequence $\vee$	_	PDSCH				
Input Length		Rate 0.5	LLBR	v 0 ∨		Scrambling Sequence				SNR (dB) 0		LUT 🗸		Descrambling Sequence		Min-Sum				
16		Qm 2 ~ NJL 1 ~	rv_id	0 ~		01010101010101010						สำคัญการศึสษ	A12	01010101010101010	1	Iteration 10				
Software O FPGA		○ Software ○ FPGJ	A			⊖ Software O FPGA		⊖ Software ● FPGA		O Software O FPGA		O Software O FPGA		⊖ Software O FPGA		⊖Software OFPG	IA			
RUN CLEAR		RUN		CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN		CLEAR		CLEAR
Signal Plot			Signal Plot			Signal Plot		Signal Plot		Signal Plot		Signal Plot		Signal Plot			Signal Plot			Signal Plot

รูปที่ 4.127 ผลลัพธ์การดีสแครมมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.128 กราฟของสัญญาณที่ได้จากการดีสแครมที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

### 4.1.8 ผลการทดสอบ GUI เพื่อแสดงผลการถอดรหัสช่องสัญญาณมาตรฐาน 5G

การถอดรหัสช่องสัญญาณมาตรฐาน 5G แสดงอยู่ในคอลัมน์ที่ 6 ของหน้าต่างชุดการเรียนรู้ การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G และคอลัมน์ที่ 8 ของหน้าต่างชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G โดยผู้ใช้สามารถเลือกช่องสัญญาณภาพได้ทั้งหมด 5 ช่องสัญญาณ ได้แก่ PUSCH, PDSCH, PUCCH, PDCCH และ PBCH นอกจากนี้ ผู้ใช้สามารถเลือก อัลกอริทึมการถอดรหัสได้ และสามารถเลือกทดสอบการถอดรหัสช่องสัญญาณโดยใช้ซอฟต์แวร์หรือ อุปกรณ์ FPGA อย่างไรก็ตาม รูปแบบของช่องสัญญาณกายภาพในการถอดรหัสจะต้องตรงกับการ เข้ารหัส

### 4.1.8.1 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

กรณีใช้ซอฟต์แวร์ถอดรหัสช่องสัญญาณ

การทดสอบการถอดรหัสช่องสัญญาณโดยใช้ซอฟต์แวร์จะกำหนดให้อินพุตเป็นสัญญาณดีมอดูเลชัน และเลือกช่องสัญญาณกายภาพแบบ PUSCH ตามการเข้ารหัส รวมทั้งเลือกอัลกอริทึมการถอดรหัส แบบ Belief Propagation ที่มี Iteration = 10 จากนั้นเมื่อกดปุ่ม "RUN" ซอฟแวร์ GUI จะเรียกใช้ ซอฟแวร์ Module LDPCDecoderModule.py เพื่อดำเนินการถอดรหัสช่องสัญญาณและแสดงผล ลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.129 โดยผลลัพธ์ ดังกล่าวจะอยู่ในรูปของบิตข้อมูลแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณที่ได้ จากการถอดรหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้จากการถอดรหัสแสดง ดังรูปที่ 4.130

5G Standard 5 Modulation 5G Channel C	oding 50	i High Physical Layer 5G Simu	lation About	naesta	elasiforor	าดในนาต	55711 5	G									
พระรอบเกล้ายาดกระบัง		ano. nnUa. Education Idfoquonnu This project	al kit: Channel c แลาก กองทุนวิธัมพระ was supported by 1	coding in โมเนากิจกา The Nation	n 5G standa sristanuiku ří nal Broadcast	ind ທາງໂທກໂຫລັ ແ ing and Telec	ละกิจการโช communi	ง สสมนาคมเพื่อป่าย cation Commis	เโบยนีศาสารกละ Ision (NBTC).	(ส่านี้กงาน	navel)						
Input	+	Encoding Inside		+	Modul Insi	ation de	+	Noisy Ch Insid	annel le	+	Demodu Insi	ilation de	+	Decoding Inside		+	Output Inside
Binary Number Generation	<b>→</b>	LDPC Encoding			Modula	ation	<b>→</b>	Noisy Ch	annel	-	Demode	lation		LDPC Decoding			0010011011001001
0011011000000001		001101100000000	10		(0.7071+0.	7071j) (-C		(-1.9276+0.	.3972j) (C		-0.2217 0.2	085 -3.55		0010011011001	001		
														 ผถลัพธ์ของการถอดรหัส	ซ่องสัญญาณ		
Configuration		Configuration			Configu	ration		Configur	ration		Configu	ration		Configuratio	m		Configuration
Random		PUSCH	~		pi/2 - BPS			Fading	-		ni/2 - BPS	0		PUSCH			
Input Length								Chill ( 40) 0			at a los			Relief Propagation			
16		base Graph						Channel Cor	efficient		max-cog	~		Iteration 10			
Software OFPGA		Software OFPGA			O Software	) FPGA		0.2113 0.142	2 1.0236		Software	◯ FPGA		<mark>อัลกอริทีม</mark> O Software ◯ FPGA	การถอดรหัส	1	
RUN CLEAR		RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		RUN	CLEAR		CLEAR
Signal Plot		Signal Plot			Signal	Plot		Signal F	Plot		Signal	Plot		Signal Plot			Signal Plot
		-			Constaller	· · · · ·		Constant									-

รูปที่ 4.129 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.130 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้ซอฟต์แวร์ บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

• กรณีใช้อุปกรณ์ FPGA ถอดรหัสช่องสัญญาณ

การทดสอบการถอดรหัสช่องสัญญาณโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตเป็นสัญญาณ ดีมอดูเลชัน และเลือกช่องสัญญาณกายภาพแบบ PDSCH ตามการเข้ารหัส เนื่องจากความซับซ้อน ของอัลกอริทึมการถอดรหัส กรณีการใช้อุปกรณ์ FPGA จะใช้อัลกอริทึม Min-Sum ในการถอดรหัส เท่านั้น โดยกำหนดให้มี Iteration = 10 เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งสัญญาณดีมอดูเลขัน อัลกอริทึมการถอดรหัส และพารามิเตอร์การถอดรหัสผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้น อุปกรณ์ FPGA จะดำเนินการถอดรหัสช่องสัญญาณและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.131 โดยผลลัพธ์ ดังกล่าวจะแสดงอยู่ในรูปของบิตข้อมูลแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟของสัญญาณที่ ได้จากการถอดรหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้จากการถอดรหัสแสดง ดังรูปที่ 4.132

5G Standard					
5G Modulation 5G Channel Coding 5G High Physical Layer 5G Simulation Abor					
Recently and the second	เละกอดรหัสช่องสัญญาณในมาตรฐา iel coding in 5G standard และพัฒนากิจกรกระบบเสียง กิจกรโทรทัศน์ และกิ l by The National Broadcasting and Telecor	าน 5G เฉการ์โหรดมนาดมเพื่อประโยชน์สาธารณะ (สำค่ immunication Commission (NBTC).	โกงาน กสหร.)		
Input   Encoding Inside Inside Inside	Modulation Inside	Noisy Channel	Demodulation Inside	Decoding Inside	Output Inside
Binary Number Generation → LDPC Encoding	→ Modulation -	→ Noisy Channel _	> Demodulation -	> LDPC Decoding -	→ 1101010111011000
0000101111100011	(0.7071+0.7071j) (0.	(2.1366+1.3995j) (1.	1.465 0.9596 1.0013	110101011101000	
				ผลลัพธ์ของการถอดรทัสช่องสัญญาณ	
Configuration Configuration	Configuration	Configuration	Configuration	Configuration	Configuration
Random v PUSCH	QPSK V	AWGN ~	QPSK ~	PUSCH	
Input Length Base Graph 1		SNR (dB) 0	LUT V	Min-Sum 🗸	
16				Iteration 10	
◯ Software ● FPGA ◯ Software ● FPGA	◯ Software ● FPGA	◯ Software ● FPGA	◯ Software ● FPGA	อัลกอริทีมการถอดรหัส	
RUN CLEAR RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	RUN CLEAR	CLEAR
Signal Plot Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot	Signal Plot
	Constellation Plot	Constellation Plot			

รูปที่ 4.131 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G



รูปที่ 4.132 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G

## 4.1.8.2 ผลการทดสอบ GUI สำหรับชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G

กรณีใช้ซอฟต์แวร์ถอดรหัสและกู้คืนอัตรารหัส

การทดสอบการถอดรหัสและกู้คืนอัตรารหัสโดยใช้ซอฟต์แวร์จะกำหนดให้อินพุตเป็น สัญญาณดีสแครม และช่องสัญญาณกายภาพแบบ PUCCH ตามการเข้ารหัส รวมทั้งเลือกอัลกอริทึม การถอดรหัสแบบ Belief Propagation ที่มี Iteration = 10 จากนั้นเมื่อกดปุ่ม "RUN" ซอฟแวร์ GUI จะเรียกใช้ซอฟแวร์ Module PolarDecoderModule.py เพื่อดำเนินการถอดรหัสและกู้คืน อัตรารหัส จากนั้นแสดงผลลัพธ์ที่ได้ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดง ในรูปที่ 4.133 โดยผลลัพธ์ดังกล่าวจะอยู่ในรูปของบิตข้อมูลแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดู กราฟของสัญญาณที่ได้จากการถอดรหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้ จากการถอดรหัสแสดงดังรูปที่ 4.134



รูปที่ 4.133 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.134 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้ซอฟต์แวร์บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

• กรณีใช้อุปกรณ์ FPGA ถอดรหัสและปรับอัตรารหัส

การทดสอบการถอดรหัสและกู้คืนอัตรารหัสโดยใช้อุปกรณ์ FPGA จะกำหนดให้อินพุตเป็น สัญญาณดีสแครม และเลือกช่องสัญญาณกายภาพแบบ PDSCH ตามการถอดรหัส เนื่องจากความ ซับซ้อนของอัลกอริทึมการถอดรหัส กรณีการใช้อุปกรณ์ FPGA จะใช้อัลกอรีทึม Min-Sum ในการ ถอดรหัสเท่านั้น โดยกำหนดให้มี Iteration = 10 เมื่อกดปุ่ม "RUN" ซอฟต์แวร์ GUI จะส่งสัญญาณ ดีสแครม อัลกอริทึมการถอดรหัส และพารามิเตอร์การถอดรหัสผ่าน Serial Port ไปยังอุปกรณ์ FPGA จากนั้นอุปกรณ์ FPGA จะดำเนินการถอดรหัสช่องสัญญาณและส่งผลลัพธ์ผ่าน Serial Port กลับมาแสดงบน GUI ภายในกล่องข้อความซึ่งอยู่ในส่วนบล็อกแสดงผลภายใน ดังแสดงในรูปที่ 4.135 โดยผลลัพธ์ดังกล่าวจะแสดงอยู่ในรูปของบิตข้อมูลแบบไบนารี นอกจากนี้ผู้ใช้สามารถเรียกดูกราฟ ของสัญญาณที่ได้จากการถอดรหัสได้โดยกดปุ่ม "Signal Plot" ตัวอย่างกราฟของสัญญาณที่ได้จาก การถอดรหัสแสดงดังรูปที่ 4.136

el Codino	56 High Physical Laver	16 Simulation About																	
EV.	💥 🔌 Ed Innula. Thi	กการเรียนรู้กระบวนกา ucational kit: High ph Louzemparty rengifican s project was supported b	ารทำงานฟิสิตัลเลเอเ ysicsl layer processi อรัณะว่าการกระบบริเศ y The National Broadcas	มร์สำเด็บ ng in 5G ในกรับฟล ting and 1	สุขมาตรฐาณ 5G standard เมื่อประกล์เครอนระออร์อ decommunication Come	ປາຊົໂນອາລິກາອ mission (Ni	กรรม (สำนักงาน กระระ.) BTC).												
+	Co	ding and Rate Matchi Inside	ng	+	Scrambling Inside	<b> </b> ≁	Modulation Inside	+	Noisy Channel Inside	+	Demodulation Inside	•	Descrambling Inside	<b> </b> →	De-co	ding and Rate Match Inside	ing	+	Output Inside
$\rightarrow$	CRC Encoding	Bit Interleaving -	Code Block Concatenation	<b>→</b>	Scrambling		Modulation	$\rightarrow$	Noisy Channel	$\rightarrow$	Demodulation	-	Descrambling		Code Block Deconcatenate	Code Block Desegmentation	CRC Decoding	<b>→</b>	1010001111000110
	01000001100000111	01001110100101111	01001110100101111		00011011110000101		(0.7071+0.7071j) (0.		(0.7566+1.1467j) (0.		2.14 3.2434 1.1444 1		2.14 -3.2434 1.1444		2.14 -3.2434 1.1444	10100011110001100	1010001111000110		
	Code Block Segmentation	↑ Rate Matching											ผลอัพธ์ของการออตรพั และผู้สืนอัตรารพัส	4	Bit     Deintorleaving	Code Block CRC Decode			
	01000001100000111	00111001111100010													2.14 1.1444 0.9161 -	10100011110001100			
	↓	1													1	1			
	Code Block CRC Encoding -	Encoding													Rate DeMatching	LDPC Decoding			
	01000001100000111	00111001111100010													0.0 0.0 0.0 0.0 0.0 0.1	10100011110001100			
		Configuration			Configuration		Configuration		Configuration		Configuration		Configuration			Configuration		1 )	Configuration
	PDSCH				Fixed Sequence $\sim$		QPSK 🗸		AWGN ~		QPSK 🗸		Fixed Sequence $\sim$		PDSCH				
	Rate 0.5	LIERM 0			Scrambling Sequence				SNR (dB)		LUT 🔍		Descrambling Sequence		Min-Sum			-	
	Qm 2 ~	wjd 0			01010101010101010								01010101010101010		Iteration 10				
	N_L 1 V O Software O FPGJ				⊖ Software O FPGA		⊖ Software O FPGJ		⊖ Software ● FPGA		○ Software ● FPGA		⊖ Software ● FPGA		⊖ Software O FPGA	อัลก	อริฟิมการออตรพัส		
	RUN		CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN CLEAR		RUN		CLEAR		CLEAR
		Signal Plot			Signal Plot		Signal Plot		Signal Plot		Signal Plot		Signal Plot			Signal Plot			Signal Plot
	el Coding → →	Conce 1934pp. Psycol Low → → → → → → → → → → → → → → → → → → →	Carly Shingh Phyrol and Tar Shandare And Tar Shingh Phyrol and Tar Shandare And Tar Shingh Phyrol and Tar Shingh Phyrol Tar Shingh Phyrol and Tar Shingh Phyrol and Tar Shingh Phyrol Tar Shingh Phyrol and Tar Sh	Carly Shiphyrol (or ) Sounder And Shiphyrol	Carding Shirphytolic is Specified and Specified Specified and Specified Spec	Carding Shiph Phytology of Shandare .etad Shiph Phytology of Shandare .etad Shiph Phytology results and shandare filter phytology results of Shandare Shiph Phytology results and shandare .etad phytology results of Shandare Shiph Phytology results and shandare .etad	Carding Shifpithy Physical by Simulate . Add Second Second Secon	Configuration (Configuration Configuration C	Configuration (Configuration Configuration C	Configuration (Standard Registration)	Configuration of Security Configuration (Security Security Securit	Cecle Stafesty Standard: Spandard Standard Stagender Status Standard Stagender Standard Stagender Status Standard Stagender Status	Centry Strategy Strat	Configuration (Configuration Configuration C	Configuration Standard Reg University Standard Reg Uni	Configuration of Standard Registration and Standard Registration of Sta	Congregation Standard High Provide Unit and Standard High Provide Unit Standard Hight Provide Unit Standard Hight Hight Provide U	Centry Staffshorter bornaum Ander Staffshorter bornaum An	Centry Staffsmaller bounder and Staffsmaller bounder Staffsmaller bounder Staffsmal

รูปที่ 4.135 ผลลัพธ์การถอดรหัสช่องสัญญาณมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.136 กราฟของสัญญาณที่ได้จากการถอดรหัสที่สร้างโดยใช้อุปกรณ์ FPGA บนหน้าต่าง ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์มาตรฐาน 5G

# 4.1.9 ผลการทดสอบ GUI เพื่อทดสอบอัตราบิตผิดพลาดการมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G

เมื่อผู้ใช้กำหนดค่าพารามิเตอร์บนหน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G เสร็จสิ้น ผู้ใช้สามารถเลือกแถบ 5G Simulation เพื่อทดสอบอัตราบิตผิดพลาดของการ มอดูเลชัน โดยเลือก 5G Modulation ภายในกล่องตัวเลือกของส่วนการกำหนดค่า และกดปุ่ม "Setup" จากนั้นซอฟต์แวร์ GUI จะแสดงข้อมูลพารามิเตอร์ที่กำหนดไว้ในหน้าต่างชุดการเรียนรู้การ มอดูเลชันและดีมอดูเลชันในมาตรฐาน 5G นอกจากนี้ ผู้ใช้สามารถกำหนดช่วงของค่า SNR และ จำนวนบล็อกผิดพลาดสูงสุดที่ต้องการทดสอบสมรรถนะ รวมทั้งสามารถเลือกทดสอบอัตราบิต ผิดพลาดโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

> กรณีใช้ซอฟต์แวร์ทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G

ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G โดยใช้ ซอฟต์แวร์ซึ่งกำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกมอดูเลชันแบบ π/2 - BPSK ส่งผ่าน ช่องสัญญาณแบบ Fading Channel และทางฝั่งรับใช้อัลกอริทึมการดีมอดูเลชันแบบ Max-Log แสดงดังรูปที่ 4.137



รูปที่ 4.137 ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G โดยใช้ซอฟต์แวร์

 กรณีใช้อุปกรณ์ FPGA ทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G

ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G โดยใช้ อุปกรณ์ FPGA ซึ่งกำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกมอดูเลชันแบบ QPSK ส่งผ่าน ช่องสัญญาณแบบ AWGN Channel และทางฝั่งรับใช้อัลกอริทึมการดีมอดูเลชันแบบ LUT แสดงดัง รูปที่ 4.138



รูปที่ 4.138 ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA

### 4.1.10 ผลการทดสอบ GUI เพื่อทดสอบอัตราบิตผิดพลาดการเข้าและถอดรหัสมาตรฐาน 5G

เมื่อผู้ใช้กำหนดค่าพารามิเตอร์บนหน้าต่างชุดการเรียนรู้การเข้าและถอดรหัสมาตรฐาน 5G เสร็จ สิ้น ผู้ใช้สามารถเลือกแถบ 5G Simulation เพื่อทดสอบอัตราบิตผิดพลาดของการมอดูเลชัน โดย เลือก 5G Channel Coding ภายในกล่องตัวเลือกของส่วนการกำหนดค่า และกดปุ่ม "Setup" จากนั้นซอฟต์แวร์ GUI จะแสดงข้อมูลพารามิเตอร์ที่กำหนดไว้ในหน้าต่างชุดการเรียนรู้การเข้าและ ถอดรหัสมาตรฐาน 5G นอกจากนี้ ผู้ใช้สามารถกำหนดช่วงของค่า SNR และจำนวนบล็อกผิดพลาด สูงสุดที่ต้องการทดสอบสมรรถนะ รวมทั้งสามารถเลือกทดสอบอัตราบิตผิดพลาดโดยใช้ซอฟต์แวร์ หรืออุปกรณ์ FPGA  กรณีใช้ซอฟต์แวร์ทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G ผลการทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G โดยใช้ซอฟต์แวร์ซึ่ง กำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกเข้ารหัสโดยใช้ช่องสัญญาณกายภาพ PUSCH ที่มีกราฟ ฐาน 1 จากนั้นมอดูเลชันแบบ π/2 - BPSK และส่งผ่านช่องสัญญาณแบบ Fading Channel สำหรับ ทางฝั่งรับใช้อัลกอริทึมการดีมอดูเลชันแบบ Max-Log และใช้อัลกอริทึมการถอดรหัสแบบ Belief Propagation ที่มี Iteration = 10 แสดงดังรูปที่ 4.139



รูปที่ 4.139 ผลการทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G โดยใช้ซอฟต์แวร์

กรณีใช้อุปกรณ์ FPGA ทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G ผลการทดสอบอัตราบิตผิดพลาดของการมอดูเลชันมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA ซึ่ง กำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกเข้ารหัสโดยใช้ช่องสัญญาณกายภาพ PUSCH ที่มีกราฟ ฐาน 1 จากนั้นมอดูเลชันแบบ QPSK และส่งผ่านช่องสัญญาณแบบ AWGN Channel สำหรับทางฝั่ง รับใช้อัลกอริทึมการดีมอดูเลชันแบบ LUT และใช้อัลกอริทึมการถอดรหัสแบบ Min-Sum ที่มี Iteration = 10 แสดงดังรูปที่ 4.140



รูปที่ 4.140 ผลการทดสอบอัตราบิตผิดพลาดของการเข้าและถอดรหัสมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA

## 4.1.11 ผลการทดสอบ GUI เพื่อทดสอบอัตราบิตผิดพลาดกระบวนทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G

เมื่อผู้ใช้กำหนดค่าพารามิเตอร์บนหน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G เสร็จสิ้น ผู้ใช้สามารถเลือกแถบ 5G Simulation เพื่อทดสอบอัตราบิต ผิดพลาดของการมอดูเลชัน โดยเลือก 5G High Physical Layer ภายในกล่องตัวเลือกของส่วนการ กำหนดค่า และกดปุ่ม "Setup" จากนั้นซอฟต์แวร์ GUI จะแสดงข้อมูลพารามิเตอร์ที่กำหนดไว้ใน หน้าต่างชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G นอกจากนี้ ผู้ใช้ สามารถกำหนดช่วงของค่า SNR และจำนวนบล็อกผิดพลาดสูงสุดที่ต้องการทดสอบสมรรถนะ รวมทั้ง สามารถเลือกทดสอบอัตราบิตผิดพลาดโดยใช้ซอฟต์แวร์หรืออุปกรณ์ FPGA

> กรณีใช้ซอฟต์แวร์ทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัลเลเยอร์ ลำดับสูงมาตรฐาน 5G

ผลการทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G โดยใช้ซอฟต์แวร์ซึ่งกำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกเข้ารหัสโดยใช้ช่องสัญญาณกายภาพ PUCCH ที่มีความยาวหลังการพังค์เจอร์ 40 บิต ดำเนินการสแครมโดยใช้ลำดับสแครมแบบสุ่มเทียม จากนั้นมอดูเลชันแบบ π/2 - BPSK และส่งผ่านช่องสัญญาณแบบ Fading Channel สำหรับทางฝั่ง รับใช้อัลกอริทึมการดีมอดูเลชันแบบ Max-Log และใช้อัลกอริทึมการถอดรหัสแบบ Belief Propagation ที่มี Iteration = 10 แสดงดังรูปที่ 4.141



รูปที่ 4.141 ผลการทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G โดยใช้ซอฟต์แวร์

 กรณีใช้อุปกรณ์ FPGA ทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัล เลเยอร์ลำดับสูงรหัสมาตรฐาน 5G

ผลการทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G โดยใช้อุปกรณ์ FPGA ซึ่งกำหนดให้ข้อมูลอินพุตความยาว 16 บิต ถูกเข้ารหัสโดยใช้ช่องสัญญาณ กายภาพ PUSCH ที่มีความยาวหลังการพังค์เจอร์ 40 บิต ดำเนินการสแครมโดยใช้ลำดับสแครมแบบ ตายตัว จากนั้นมอดูเลชันแบบ QPSK ส่งผ่านช่องสัญญาณแบบ AWGN Channel สำหรับทางฝั่งรับ ใช้อัลกอริทึมการดีมอดูเลชันแบบ LUT และใช้อัลกอริทึมการถอดรหัสแบบ Min-Sum ที่มี Iteration = 10 แสดงดังรูปที่ 4.142



รูปที่ 4.142 ผลการทดสอบอัตราบิตผิดพลาดของกระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G โดยใช้อุปกรณ์ FPGA

# 4.2 ผลการทดสอบการทำงานของซอฟต์แวร์ Module4.2.1 รายชื่อซอฟต์แวร์ Module

โครงการนี้สร้างซอฟต์แวร์ Module ภาษา Python สำหรับชุดการเรียนรู้การมอดูเลชันและ ดีมอดูเลชันมาตรฐาน 5G ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G และชุด การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G รวมทั้งสิ้น 9 Module ดังตารางที่ 4.1 ซึ่งซอฟต์แวร์ Module เหล่านี้จะทำงานร่วมกับซอฟต์แวร์ GUI

ซอฟต์แวร์ Module	ซอฟต์แวร์ Module ย่อย	อินพุต	เอาต์พุต
randomInput.py	-	1. จำนวนบิตอินพุต	1. บิตข้อมูลแบบไบนารี
PolarEncoderModule.py	CodeBlockSegmentation	1. ชนิดของช่องสัญญาณ	1. คำรหัสแบบไบนารี
	CRCInterleaver	กายภาพ	
	CRCAttachment	2. ความยาวรหัส	
	CRCScrambling	3. บิตข้อมูลแบบไบนารี	
	PolarSequencing		
	ParityCheckEncoding		
	PolarEncoding		
	SubBlockInterleaver		
	RateMatching		
	CodedBitInterleaver		
	CodeBlockConcatenation		
LDPCEncoderModule.py	CRCEncoder1	1. ชนิดของช่องสัญญาณ	1. คำรหัสแบบไบนารี
	Segmentation	กายภาพ	
	CRCEncoder2	2. พารามิเตอร์การเข้ารหัส	
	LDPCEncoder	3. บิตข้อมูลแบบไบนารี	
	RateMatching		
	BitInterleaving		
	CodeBlockConcatenation		
nrPDSCHPRBS.py	Scrambling	1. คำรหัสแบบไบนารี	1. สัญญาณที่ถูกสแครม
	Descrambling	หรือค่า LLR	หรือดีสแครม
modulation.py	pi2BPSK	1. รูปแบบการมอดูเลชั่น	1. สัญญาณมอดูเลชั่น
	BPSK	2. บิตข้อมูลแบบไบนารี	
	QPSK	หรือคำรหัสแบบบารี หรือ	
	16QAM	สัญญาณที่ถูกสแครม	
	64QAM		
	256QAM		
	1024QAM		
Channel.py	AWGN	1. รูปแบบช่องสัญญาณ	1. สัญญาณที่ผ่านช่อง

ตารางที่ 4.1 ซอฟต์แวร์ Module สำหรับซอฟต์แวร์ GUI

ซอฟต์แวร์ Module	ซอฟต์แวร์ Module ย่อย	อินพุต	เอาต์พุต	
	Fading	2. สัญญาณมอดูเลชั่น	2. สัญญาณสื่อสาร	
		3. ค่า SNR		
demodulation.py	pi2BPSK	1. อัลกอริทึมการดีมอดูเลชัน	1. ค่า LLR	
demodulation_LUT.py	BPSK	2. รูปแบบการดีมอดูเลชัน		
	QPSK	3. สัญญาณที่ผ่านช่อง		
	16QAM	สัญญาณสื่อสาร		
	64QAM			
	256QAM			
	1024QAM			
PolarDecoderModule.py	TraverseIndexesCalculation	1. ชนิดของช่องสัญญาณ	1. บิตข้อมูลเอาต์พุต	
	CodedBitDeInterleaver	กายภาพ	แบบไบนารี	
	PrePolarDecoder	2. ค่า LLR หรือสัญญาณ		
	SCBased5GDecoder	ที่ได้จากการดีสแครม		
	PolarBPDecoder	3. อัลกอริทึมการถอดรหัส		
		4. พารามิเตอร์การถอดรหัส		
LDPCDecoderModule.py	DeCodeBlockConcatenation	1. ชนิดของช่องสัญญาณ	1. บิตข้อมูลเอาต์พุต	
	DeBitInterleaving	กายภาพ	แบบไบนารี	
	DeRateMatching	2. ค่า LLR หรือสัญญาณ		
	LDPCDecoding	ที่ได้จากการดีสแครม		
	CRCDecoder2	3. อัลกอริทึมการถอดรหัส		
	DeSegmentation	4. พารามิเตอร์การถอดรหัส		
	CRCDecoder1			

# 4.2.2 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลข้อมูลอินพุตแบบสุ่ม

ซอฟต์แวร์ Module สร้างข้อมูลอินพุตแบบสุ่มจะใช้กับชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G ชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G ชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G และชุดทดสอบสมรรถนะในระบบสื่อสารไร้ สาย เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้สร้างข้อมูลอินพุตแบบสุ่มจะทำการเรียกใช้ซอฟต์แวร์ randomInput.py โดยมีอินพุตคือความยาวของบิตข้อมูล จากนั้นซอฟต์แวร์ randomInput.py จะ ดำเนินการสร้างข้อมูลอินพุตแบบสุ่มในรูปแบบของไบนารี และส่งกลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.143



รูปที่ 4.143 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงข้อมูลอินพุตแบบสุ่ม

จากรูปที่ 4.143 แสดงตัวอย่างผลลัพธ์การสร้างข้อมูลอินพุตแบบสุ่ม โดยกำหนดให้มีความ ยาวของอินพุต 16 บิต ดังนั้น ผลลัพธ์ที่ได้จึงบิตข้อมูลแบบไบนารีที่มีความยาว 16 บิต ทั้งนี้ เนื่องจาก เป็นการสร้างข้อมูลแบบสุ่ม ในการเรียกใช้งานซอฟต์แวร์ Module แต่ละครั้งจึงอาจให้ผลลัพธ์ที่ แตกต่างกัน

## 4.2.3 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลการเข้ารหัสช่องสัญญาณมาตรฐาน 5G

ซอฟต์แวร์ Module เข้ารหัสช่องสัญญาณมาตรฐาน 5G จะใช้กับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G และชุดทดสอบสมรรถนะในระบบสื่อสารไร้สาย ซึ่งจะประกอบด้วย 2 Module ได้แก่ PolarEncoderModule.py สำหรับการเข้ารหัสโพลาร์ และ LDPCEncoderModule.py สำหรับการ เข้ารหัส LDPC อย่างไรก็ตาม ชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G และชุด การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G จะมีการเรียกใช้ Module ย่อยที่ แตกต่างกัน ดังนี้

# 4.2.3.1 ผลการทดสอบซอฟต์แวร์ Module สำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G

กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการเข้ารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarEncoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ ความยาวรหัส และบิตข้อมูลแบบไบนารี จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย PolarSequencing และ PolarEncoding เพื่อดำเนินการแทรกบิตแช่แข็ง (Frozen Bit) และ ดำเนินการเข้ารหัสโพลาร์ ตามลำดับ เมื่อกระบวนการเข้ารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้ง สองจะส่งผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.144



รูปที่ 4.144 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH

จากรูปที่ 4.144 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PUCCH โดยกำหนดให้ มีความยาวรหัส 32 บิต และมีบิตอินพุตคือ '1000111000010010' ผลลัพธ์ที่ได้จาก Module ย่อย PolarSequencing เป็นบิตข้อมูลแบบใบนารีที่มีการแทรกบิตแช่แข็งให้มีความยาว 32 บิต และ ผลลัพธ์ที่ได้จาก Module ย่อย PolarEncoding เป็นคำรหัสโพลาร์ที่มีความยาว 32 บิต สำหรับ ช่องสัญญาณกายภาพ PDCCH และ PBCH จะให้ผลลัพธ์เช่นเดียวกับกรณีช่องสัญญาณกายภาพ PUCCH เนื่องจากในมาตรฐานกำหนดให้ใช้ Module เดียวกัน

กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการเข้ารหัสจะทำการเรียกใช้ซอฟต์แวร์ LDPCEncoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณการภาพ ความยาวรหัส และบิตข้อมูลแบบไบนารี จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย LDPCEncoder เพื่อดำเนินการเข้ารหัส LDPC เมื่อกระบวนการเข้ารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยจะส่งผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.145



รูปที่ 4.145 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH จากรูปที่ 4.145 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PUSCH โดยกำหนดให้ ใช้กราฟฐาน 1 และมีบิตอินพุตคือ '1000111000010010' ผลลัพธ์จาก Module ย่อย LDPCEncoder เป็นคำรหัส LDPC ที่มีความยาว 136 บิต สำหรับช่องสัญญาณกายภาพ PDSCH จะ ให้ผลลัพธ์เช่นเดียวกับกรณีช่องสัญญาณกายภาพ PUSCH เนื่องจากในมาตรฐานกำหนดให้ใช้ Module เดียวกัน

## 4.2.3.2 ผลการทดสอบซอฟต์แวร์ Module สำหรับชุดการเรียนรู้กระบวนการ ทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

กรณีช่องสัญญาณกายภาพ PUCCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการเข้ารหัส และปรับอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarEncoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ ความยาวรหัสหลังการพังค์เจอร์ และบิตข้อมูลแบบไบนารี จากนั้นเรียกใช้ ซอฟต์แวร์ Module ย่อยดังนี้

- 1) CodeBlockSegmentation เพื่อดำเนินการแบ่งย่อยบล็อกข้อมูล
- 2) CRCAttachment เพื่อดำเนินการเข้ารหัส CRC
- 3) PolarSequencing เพื่อดำเนินการแทรกบิตแช่แข็ง
- 4) ParityCheckEncoding เพื่อดำเนินการเข้ารหัสพาริตี
- 5) PolarEncoding เพื่อดำเนินการเข้ารหัสโพลาร์
- 6) SubBlockInterleaver เพื่อดำเนินการแทรกสลับบล็อกย่อย
- 7) RateMatching เพื่อดำเนินการปรับอัตรารหัส
- 8) CodedBitInterleaver เพื่อดำเนินการแทรกสลับบิตที่ถูกเข้ารหัส
- 9) CodeBlockConcatenation เพื่อดำเนินการต่อบล็อกคำรหัส

เมื่อกระบวนการเข้ารหัสและปรับอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่งผลลัพธ์ กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.146



รูปที่ 4.146 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH

จากรูปที่ 4.146 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PUCCH โดยกำหนดให้ ใช้ความยาวรหัสหลังการพังค์เจอร์ 40 บิต และมีบิตอินพุตคือ '1000111000010010' ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) CodeBlockSegmentation ผลลัพธ์เป็นบิตข้อมูลแบบไบนารีที่มีความยาว 16 บิต จำนวน 1 บล็อก เนื่องจากกรณีนี้ไม่มีการแบ่งย่อยบล็อกข้อมูล

2) CRCAttachment ผลลัพธ์เป็นคำรหัส CRC แบบไบนารีที่มีความยาว 22 บิต ซึ่ง ประกอบด้วยบิตข้อมูล 16 บิต และบิต CRC จำนวน 6 บิต

3) PolarSequencing ผลลัพธ์เป็นคำรหัส CRC ที่มีการแทรกบิตแช่แข็งให้มีความยาว 64 บิต

4) ParityCheckEncoding ผลลัพธ์เป็นคำรหัสพาริตีที่มีการแทนที่บิตพาริตีในตำแหน่งของบิตแช่ แข็งบางตำแหน่ง

5) PolarEncoding ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีความยาว 64 บิต

6) SubBlockInterleaver ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีการสลับตำแหน่ง

7) RateMatching ผลลัพธ์เป็นคำรหัสโพลาร์ที่ถูกปรับอัตรารหัสให้มีความยาวรหัส 40 บิต

8) CodedBitInterleaver ผลลัพธ์เป็นคำรหัสโพลาร์ความยาว 40 บิต ที่มีการแทรกสลับบิต

9) CodeBlockConcatenation ผลลัพธ์เป็นการรวมกันของคำรหัสโพลาร์ในแต่ละบล็อก ซึ่งในที่นี้มี เพียง 1 บล็อก

กรณีช่องสัญญาณกายภาพ PDCCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการเข้ารหัส และปรับอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarEncoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ ความยาวรหัสหลังการพังค์เจอร์ บิต RNTI และบิตข้อมูลแบบไบนารี จากนั้น เรียกใช้ซอฟต์แวร์ Module ย่อยดังนี้

1) CRCAttachment เพื่อดำเนินการเข้ารหัส CRC

2) CRCScrambling เพื่อดำเนินการสแครมคำรหัส CRC เข้ากับบิต RNTI

3) CRCInterleaver เพื่อดำเนินการแทรกสลับคำรหัส CRC

4) PolarSequencing เพื่อดำเนินการแทรกบิตแช่แข็ง

5) PolarEncoding เพื่อดำเนินการเข้ารหัสโพลาร์

6) SubBlockInterleaver เพื่อดำเนินการแทรกสลับบล็อกย่อย

7) RateMatching เพื่อดำเนินการปรับอัตรารหัส

เมื่อกระบวนการเข้ารหัสและปรับอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่งผลลัพธ์ กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.147



รูปที่ 4.147 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PDCCH

จากรูปที่ 4.147 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PDCCH โดยกำหนดให้ ใช้ความยาวรหัสหลังการพังค์เจอร์ 40 บิต บิต RNTI คือ '0000000000000000' และมีบิตอินพุตคือ '1000111000010010' ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) CRCAttachment ผลลัพธ์เป็นคำรหัส CRC แบบไบนารีที่มีความยาว 40 บิต ซึ่ง ประกอบด้วยบิตข้อมูล 16 บิต และบิต CRC จำนวน 24 บิต

2) CRCScrambling ผลลัพธ์เป็นคำรหัส CRC ที่ถูกสแครมเข้ากับบิต RNTI ในที่นี้บิต RNTI เป็น 0 ทั้งหมด ดังนั้นผลลัพธ์ที่ได้จากการสแครม CRC จะเท่ากับผลลัพธ์ของการเข้ารหัส CRC

3) CRCInterleaver ผลลัพธ์เป็นคำรหัสสแครม CRC ที่มีการแทรกสลับบิต CRC ให้อยู่ใน ระหว่างบิตข้อมูล

4) PolarSequencing ผลลัพธ์เป็นคำรหัส Interleaved CRC ที่มีการแทรกบิตแช่แข็งให้มี ความยาว 64 บิต

5) PolarEncoding ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีความยาว 64 บิต

6) SubBlockInterleaver ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีการสลับตำแหน่ง

7) RateMatching ผลลัพธ์เป็นคำรหัสโพลาร์ที่ถูกปรับอัตรารหัสให้มีความยาวรหัส 40 บิต

กรณีช่องสัญญาณกายภาพ PBCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการเข้ารหัสและ ปรับอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarEncoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ ความยาวรหัสหลังการพังค์เจอร์ และบิตข้อมูลแบบไบนารี จากนั้นเรียกใช้ ซอฟต์แวร์ Module ย่อยดังนี้

1) CRCAttachment เพื่อดำเนินการเข้ารหัส CRC

2) CRCInterleaver เพื่อดำเนินการแทรกสลับคำรหัส CRC

3) PolarSequencing เพื่อดำเนินการแทรกบิตแซ่แข็ง

4) PolarEncoding เพื่อดำเนินการเข้ารหัสโพลาร์

5) SubBlockInterleaver เพื่อดำเนินการแทรกสลับบล็อกย่อย

6) RateMatching เพื่อดำเนินการปรับอัตรารหัส

เมื่อกระบวนการเข้ารหัสและปรับอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่งผลลัพธ์ กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.148



รูปที่ 4.148 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PBCH จากรูปที่ 4.148 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PBCH โดยความยาว รหัสหลังการพังค์เจอร์ถูกกำหนดไว้ตายตัวเป็น 864 บิต และมีบิตอินพุตคือ '1000111000010010' ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) CRCAttachment ผลลัพธ์เป็นคำรหัส CRC แบบไบนารีที่มีความยาว 40 บิต ซึ่ง ประกอบด้วยบิตข้อมูล 16 บิต และบิต CRC จำนวน 24 บิต

2) CRCInterleaver ผลลัพธ์เป็นคำรหัส CRC ที่มีการแทรกสลับบิต CRC ให้อยู่ในระหว่าง บิตข้อมูล

3) PolarSequencing ผลลัพธ์เป็นคำรหัส Interleaved CRC ที่มีการแทรกบิตแช่แข็งให้มีความ ยาว 512 บิต

4) PolarEncoding ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีความยาว 512 บิต

5) SubBlockInterleaver ผลลัพธ์เป็นคำรหัสโพลาร์ที่มีการสลับตำแหน่ง

6) RateMatching ผลลัพธ์เป็นคำรหัสโพลาร์ที่ถูกปรับอัตรารหัสให้มีความยาวรหัส 864 บิต หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงบิตของผลลัพธ์ เพียงบางส่วน

กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการเข้ารหัสและปรับอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ LDPCEncoderModule.py โดยมี อินพุตคือชนิดของช่องสัญญาณกายภาพ พารามิเตอร์การเข้ารหัส และบิตข้อมูลแบบไบนารี จากนั้น เรียกใช้ซอฟต์แวร์ Module ย่อยดังนี้

1) CRCEncoder1 เพื่อดำเนินการเข้ารหัส CRC ของบิตข้อมูลอินพุต

2) Segmentation เพื่อดำเนินการแบ่งย่อยบล็อกข้อมูล

3) CRCEncoder2 เพื่อดำเนินการเข้ารหัส CRC ของบล็อกข้อมูลย่อย

4) LDPCEncoder เพื่อดำเนินการเข้ารหัส LDPC

5) RateMatching เพื่อดำเนินการปรับอัตรารหัส

5) BitInterleaving เพื่อดำเนินการแทรกสลับบิตในคำรหัส LDPC

6) CodeBlockConcatenation เพื่อดำเนินการต่อบล็อกคำรหัส

เมื่อกระบวนการเข้ารหัสและปรับอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่งผลลัพธ์ กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.149



รูปที่ 4.149 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เข้ารหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH

จากรูปที่ 4.149 แสดงตัวอย่างผลลัพธ์การเข้ารหัสกรณีช่องสัญญาณ PUSCH โดยกำหนด พารามิเตอร์ Rate = 0.5, Qm = 1, N\_L = 1, I\_LBRM = 0, rv\_id = 0 และมีบิตอินพุตคือ'100011 1000010010' ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) CRCEncoder1 ผลลัพธ์เป็นคำรหัส CRC แบบไบนารีที่มีความยาว 32 บิต ซึ่งประกอบด้วย บิตข้อมูล 16 บิต และบิต CRC จำนวน 16 บิต

2) Segmentation ผลลัพธ์เป็นคำรหัส CRC ที่มีความยาว 32 บิต จำนวน 1 บล็อก เนื่องจาก กรณีนี้ไม่มีการแบ่งย่อยบล็อกข้อมูล

3) CRCEncoder2 ผลลั้พธ์เป็นคำรหัส CRC ที่มีความยาว 32 บิต จำนวน 1 บล็อก เช่นเดียวกับเอาต์พุตของซอฟต์แวร์ Module Segmentation เนื่องจากกรณีที่ไม่มีการแบ่งย่อย บล็อกข้อมูลจะไม่มีการเข้ารหัส CRC ครั้งที่สอง

4) LDPCEncoder ผลลัพธ์เป็นคำ LDPC ที่มีความยาว 659 บิต

5) RateMatching ผลลัพธ์เป็นคำรหัส LDPC ที่ถูกปรับอัตรารหัสให้มีความยาว 120 บิต

6) CodeBlockConcatenation ผลลัพธ์เป็นการรวมกันของคำรหัส LDPC ในแต่ละบล็อก ซึ่งในที่นี้มีเพียง 1 บล็อก หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงบิตของผลลัพธ์ เพียงบางส่วน และสำหรับช่องสัญญาณกายภาพ PDSCH จะให้ผลลัพธ์เช่นเดียวกับกรณีช่องสัญญาณ กายภาพ PUSCH เนื่องจากในมาตรฐานกำหนดให้ใช้ Module เดียวกัน

### 4.2.4 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลการสแครมหรือดีสแครมมาตรฐาน 5G

ซอฟต์แวร์ Module ดำเนินการสแครมหรือดีสแครมโดยสร้างลำดับแบบสุ่มเทียมจะใช้กับชุด การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G และชุดทดสอบสมรรถนะใน ระบบสื่อสารไร้สาย เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการสแครมหรือดีสแครมโดยสร้างลำดับ แบบสุ่มเทียมจะทำการเรียกใช้ซอฟต์แวร์ nrPDSCHPRBS.py โดยมีอินพุตคือคำรหัสแบบไบนารี (สำหรับกรณีการสแครม) หรือค่า LLR (สำหรับกรณีการดีสแครม) จากนั้นซอฟต์แวร์ nrPDSCHPRBS.py จะดำเนินการลำดับการสแครมรูปแบบของไบนารี และนำไปดำเนินการสแครม กับคำรหัส หรือนำไปดีสแครมกับค่า LLR ที่ได้จากการดีมอดูเลชัน เมื่อกระบวนการดีสแครมเสร็จสิ้น ผลลัพธ์จะถูกส่งกลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.150 - รูปที่ 4.151



รูปที่ 4.150 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลการสแครม

จากรูปที่ 4.150 แสดงตัวอย่างผลลัพธ์การสแครมโดยสร้างลำดับแบบสุ่มเทียม ซึ่งกำหนดให้ คำรหัสที่เป็นอินพุตของ Module คือ '100010100110100001001000001100110011101' ดังนั้น ผลลัพธ์ที่ได้จะเป็นคำรหัสสแครมที่มีความยาว 40 บิต ซึ่งเท่ากับความยาวของคำรหัสอินพุต



รูปที่ 4.151 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลการดีสแครม

จากรูปที่ 4.151 แสดงตัวอย่างผลลัพธ์การดีสแครมโดยสร้างลำดับแบบสุ่มเทียม ซึ่ง กำหนดให้ค่า LLR ที่เป็นอินพุตของ Module คือ '-7.5358 -5.2621 0.6562 7.1351 -7.5165 10.1648 8.0277 1.6452 4.5929 -0.6132 -4.6551 -8.6363 4.4656' ดังนั้น ผลลัพธ์ที่ได้จะเป็น ค่า LLR ที่ถูกดีสแครมที่มีความยาว 13 บิต ซึ่งเท่ากับความยาวของค่า LLR อินพุต

### 4.2.5 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลการมอดูเลชันมาตรฐาน 5G

ซอฟต์แวร์ Module มอดูเลชันจะใช้กับชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G ชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G ชุดการเรียนรู้กระบวนการทำงาน ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G และชุดทดสอบสมรรถนะในระบบสื่อสารไร้สาย เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการมอดูเลชันมาตรฐาน 5G จะทำการเรียกใช้ซอฟต์แวร์ modulation.py โดยมีอินพุตคือรูปแบบการมอดูเลชันและข้อมูลอินพุต หรือคำรหัส หรือสัญญาณสแครม จากนั้น ซอฟต์แวร์ modulation.py จะดำเนินการมอดูเลชันตามรูปแบบการมอดูเลชันที่กำหนดโดยเรียกใช้ งานซอฟต์แวร์ Module ย่อยของรูปแบบการมอดูเลชันนั้น ๆ และส่งผลลัพธ์ของการมอดูเลชัน กลับไปยังซอฟต์แวร์ GUI ในรูปแบบของตัวเลขเชิงซ้อนซึ่งแสดงค่าของแต่ละสัญลักษณ์ (Symbol) ดังแสดงในรูปที่ 4.152



รูปที่ 4.152 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงการมอดูเลชันมาตรฐาน 5G

จากรูปที่ 4.152 แสดงผลลัพธ์การมอดูเลชันมาตรฐาน 5G โดยกำหนดให้บิตอินพุตคือ "100111000010010" และกำหนดรูปแบบการมอดูเลชันแบบ 64QAM ดังนั้น ผลลัพธ์ที่ได้จึงเป็น ตัวเลขเชิงซ้อนซึ่งแสดงค่าของสัญลักษณ์จำนวน 3 สัญลักษณ์

# 4.2.6 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลของช่องสัญญาณสื่อสาร

ซอฟต์แวร์ Module ช่องสัญญาณสื่อสารจะใช้กับชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชัน มาตรฐาน 5G ชุดการเรียนรู้ การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G ชุดการเรียนรู้ กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G และชุดทดสอบสมรรถนะในระบบสื่อสารไร้สาย เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการทดสอบผลของช่องสัญญาณสื่อสาร จะทำการเรียกใช้ ซอฟต์แวร์ Channel.py โดยมีอินพุตคือรูปแบบของช่องสัญญาณ ค่า SNR และสัญญาณมอดูเลชัน จากนั้นซอฟต์แวร์ Channel.py ดำเนินการรวมผลกระทบของช่องสัญญาณเข้ากับสัญญาณมอดูเลชัน โดยเรียกใช้ซอฟต์แวร์ Module ย่อยของช่องสัญญาณที่กำหนด และส่งผลลัพธ์กลับไปยังซอฟต์แวร์ GUI ในรูปแบบของตัวเลขเชิงซ้อนซึ่งแทนค่าของสัญลักษณ์ที่ได้รับผลกระทบจากช่องสัญญาณสื่อสาร รูปที่ 4.153 แสดงผลลัพธ์ของผลกระทบของช่องสัญญาณสื่อสาร โดยกำหนดให้สัญญาณมอดูเลตคือ '(-0.1543+0.1543j) (-0.4629+0.1543j) (0.7715+0.4629j)' ส่งผ่านช่องสัญญาณแบบ AWGN Channel ที่มีค่า SNR = 0 dB ดังนั้น ผลลัพธ์ที่ได้จึงเป็นตัวเลขเชิงซ้อนซึ่งแทนค่าของสัญลักษณ์ที่ ได้รับผลกระทบจากช่องสัญญาณสื่อสาร



รูปที่ 4.153 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลของช่องสัญญาณสื่อสาร



รูปที่ 4.154 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module เพื่อแสดงผลการดีมอดูเลชันมาตรฐาน 5G

#### 4.2.8 ผลการทดสอบซอฟต์แวร์ Module เพื่อแสดงผลการถอดช่องสัญญาณรหัสมาตรฐาน 5G

ซอฟต์แวร์ Module ถอดรหัสช่องสัญญาณมาตรฐาน 5G จะใช้กับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง มาตรฐาน 5G และชุดทดสอบสมรรถนะในระบบสื่อสารไร้สาย ซึ่งจะประกอบด้วย 2 Module ได้แก่ PolarDecoderModule.py สำหรับการถอดรหัสโพลาร์ และ LDPCDecoderModule.py สำหรับ การเข้ารหัส LDPC อย่างไรก็ตาม ชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G และ ชุดการเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G จะมีการเรียกใช้ Module ย่อย ที่แตกต่างกัน ดังนี้

# 4.2.8.1 ผลการทดสอบซอฟต์แวร์ Module สำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G

กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการถอดรหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarDecoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และค่า LLR ที่ได้จากการ ดีมอดูเลชัน จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย TraverseIndexesCalculation สำหรับคำนวณ ดัชนีการถอดรหัส และสำหรับกรณีที่ผู้ใช้เลือกอัลกอริทึมการเข้ารหัสแบบ Successive Cancellation หรือ Successive Cancellation List ซอฟต์แวร์ GUI จะเรียกใช้ Module ย่อย SCBased5GDecoder เพื่อดำเนินการถอดรหัสและดึงบิตข้อมูลที่ถอดรหัสได้ออกจากบิตแช่แข็ง แต่สำหรับกรณีที่ผู้ใช้เลือกอัลกอริทึมการถอดรหัสแบบ Belief Propagation ซอฟต์แวร์ GUI จะเรียกใช้ Module ย่อย PolarBPDecoder เพื่อดำเนินการถอดรหัสและดึงบิตข้อมูลที่ถอดรหัสได้ ออกจากบิตแช่แข็ง จากนั้นจะส่งผลลัพธ์บิตที่ถอดรหัสได้ (Coded Bit) และบิตข้อมูลที่ถอดรหัสได้ เรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและถอดรหัสช่องสัญญาณ มาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH

จากรูปที่ 4.155 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH แสดงตัวอย่างผลลัพธ์การถอดรหัสกรณีช่องสัญญาณ PUCCH โดยกำหนดให้ใช้อัลกอริทึมการ ถอดรหัสแบบ Successive Cancellation List ที่มี List Size = 4 ผลลัพธ์ที่ได้จากถอดรหัสจะ ประกอบด้วย 2 ส่วน ได้แก่ บิตที่ถอดรหัสได้ '0000000000001110001011100011110' ซึ่งจะแสดง ในส่วน Polar Decoding บนซอฟต์แวร์ GUI และบิตข้อมูลที่ถอดรหัสได้ '001111110011110' ซึ่งจะ แสดงในส่วน Polar Desequencing บนซอฟต์แวร์ GUI สำหรับช่องสัญญาณกายภาพ PDCCH และ PBCH จะให้ผลลัพธ์เช่นเดียวกับกรณีช่องสัญญาณกายภาพ PUCCH เนื่องจากในมาตรฐานกำหนดให้ ใช้ Module เดียวกัน

กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการถอดรหัสจะทำการเรียกใช้ซอฟต์แวร์ LDPCDecoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และค่า LLR จากนั้นเรียกใช้ ซอฟต์แวร์ Module ย่อย LDPCDecoding เพื่อดำเนินการถอดรหัส LDPC เมื่อกระบวนการเข้ารหัส เสร็จสิ้นซอฟต์แวร์ Module ย่อยจะส่งผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.156 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH

-2.2407 -4.835 0.8548 -1.215	52 -1.9341 8.7497 -0 4 2.556 1.9607 9.39	).4559 -7.6831 -5.4495 4.1538 -9. 38 -4.2398 -3.6099 0.5298 4.4418	0826 2.9953 -2.3 2.8694 9.671 -4	883 12.9754 -1.2442 -6.8321 -3.139 -0.814 .7552 -7.2787 0.3123 -0.2138 -0.6695				
Succ	essive Cancellation	n List						
	List size = 4							
GUI	РИССН	PolarDecoderModul	e.py	TraverseIndexesCalculation	<b>→</b>	-	SCBased5GDecoder	]-
1								
						•	PolarBPDecoder	
	Polar Desequence	ing 110001011100011110	Polar Decodir 001111111001	g 1110				

รูปที่ 4.155 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH PDCCH และ PBCH


รูปที่ 4.156 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้การเข้าและ ถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH

จากรูปที่ 4.156 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ การเข้าและถอดรหัสช่องสัญญาณมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH แสดงตัวอย่างผลลัพธ์การถอดรหัสกรณีช่องสัญญาณ PUSCH โดยกำหนดให้ใช้อัลกอลิทึมการ ถอดรหัสแบบ Min-Sum ที่มี Iteration = 10 ผลลัพธ์ที่ได้จาก Module ย่อย LDPCDecoding กรณี MSDecode เป็นบิตข้อมูล '0100000100011110' ซึ่งจะแสดงบนซอฟต์แวร์ GUI

#### 4.2.8.2 ผลการทดสอบซอฟต์แวร์ Module สำหรับชุดการเรียนรู้กระบวนการ ทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G

กรณีช่องสัญญาณกายภาพ PUCCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการถอดรหัส และกู้คืนอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarDecoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และสัญญาณดีสแครม จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย ดังนี้

1) TraverseIndexesCalculation สำหรับคำนวณดัชนีการถอดรหัส

2) CodedBitDeInterleaver สำหรับดำเนินการแบ่งบล็อกย่อยและแทรกสลับบิตที่ถูกเข้ารหัส

3) PrePolarDecoder สำหรับดำเนินการกู้คืนอัตรารหัสและแทรกสลับบล็อกย่อย

4) SCBased5GDecoder สำหรับดำเนินการถอดรหัสโพลาร์ ถอดรหัสพาริตี นำบิตแช่แข็ง ออกจากบิตที่ถอดรหัส ถอดรหัส CRC และต่อบล็อกข้อมูล (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Successive Cancellation หรือ Successive Cancellation List)

5) PolarBPDecoder สำหรับดำเนินการถอดรหัสโพลาร์ ถอดรหัสพาริตี นำแช่แข็งออกจาก บิตที่ถอดรหัส ถอดรหัส CRC และต่อบล็อกข้อมูล (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Belief Propagation)



รูปที่ 4.157 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUCCH

เมื่อกระบวนการถอดรหัสและกู้คืนอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่ง ผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI รูปที่ 4.157 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณ กายภาพ PUCCH แสดงตัวอย่างผลลัพธ์การถอดรหัสกรณีช่องสัญญาณ PUCCH โดยกำหนดให้ใช้ อัลกอริทึมการถอดรหัสแบบ Successive Cancellation List ที่มี List Size = 4 ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) TraverseIndexesCalculation ผลลัพธ์เป็นค่าดัชนีการถอดรหัส

2) CodedBitDeInterleaver ผลลัพธ์ประกอบด้วย 2 ส่วน ได้แก่ ค่า LLR ที่ถูกแบ่งเป็น บล็อกย่อยซึ่งจะแสดงในส่วน Code Block Deconcatenation บนซอฟต์แวร์ GUI และค่า LLR ที่ถูกแทรกสลับ ซึ่งจะแสดงในส่วน Coded Bit Deinterleaving 3) PrePolarDecoder ผลลัพธ์ประกอบด้วย 2 ส่วน ได้แก่ ค่า LLR ที่มีการกู้คืนอัตรารหัส ซึ่งจะแสดงในส่วน Rate Dematching บนซอฟต์แวร์ GUI และค่า LLR ที่ถูกแทรกสลับบล็อกย่อย ซึ่งจะแสดงในส่วน Sub-Block Deinterleaving บนซอฟต์แวร์ GUI

4) SCBased5GDecoder ผลลัพธ์ประกอบด้วย 5 ส่วน ดังนี้

- บิตที่ได้จากการถอดรหัสโพลาร์ ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar Decoding บนซอฟแวร์ GUI
- บิตที่ได้จากการถอดรหัสพาริตี ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Parity-Check Decoding บนซอฟแวร์ GUI
- บิตที่ได้จากการนำบิตแช่แข็งออก ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar
   Desequencing บนซอฟแวร์ GUI
- บิตข้อมูลที่ได้จากการถอดรหัส CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Decoding บนซอฟแวร์ GUI
- บิตข้อมูลทั้งหมดที่นำบิตข้อมูลแต่ละบล็อกมาต่อรวมกัน ซึ่งอยู่ในรูปแบบไบนารี โดย จะแสดงในส่วน Desegmentation บนซอฟแวร์ GUI อย่างไรก็ตามในกรณีนี้มีบล็อก ของบิตข้อมูลเพียง 1 บล็อก

หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงผลลัพธ์เพียง บางส่วน

กรณีช่องสัญญาณกายภาพ PDCCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการถอดรหัส และกู้คืนอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarDecoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และสัญญาณดีสแครม จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย ดังนี้

1) TraverseIndexesCalculation สำหรับคำนวณดัชนีการถอดรหัส

2) PrePolarDecoder สำหรับดำเนินการกู้คืนอัตรารหัสและแทรกสลับบล็อกย่อย

3) SCBased5GDecoder สำหรับดำเนินการถอดรหัสโพลาร์ นำบิตแช่แข็งออกจากบิตที่ถอดรหัส ได้ แทรกสลับ CRC ดีสแครม CRC และถอดรหัส CRC (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Successive Cancellation หรือ Successive Cancellation List)

4) PolarBPDecoder สำหรับดำเนินการถอดรหัสโพลาร์ นำบิตแช่แข็งออกจากบิตที่ถอดรหัสได้ แทรกสลับ CRC ดีสแครม CRC และถอดรหัส CRC (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Belief Propagation)

เมื่อกระบวนการถอดรหัสและกู้คืนอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่ง ผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI รูปที่ 4.158 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณ กายภาพ PDCCH แสดงตัวอย่างผลลัพธ์การถอดรหัสกรณีช่องสัญญาณ PDCCH โดยกำหนดให้ใช้ อัลกอริทึมการถอดรหัสแบบ Belief Propagation ที่มี Iteration = 10 ผลลัพธ์จาก Module ย่อย ต่าง ๆ มีรายละเอียดดังนี้

1) TraverseIndexesCalculation ผลลัพธ์เป็นค่าดัชนีการถอดรหัส

2) PrePolarDecoder ผลลัพธ์ประกอบด้วย 2 ส่วน ได้แก่ ค่า LLR ที่มีการกู้คืนอัตรารหัส ซึ่งจะแสดง ในส่วน Rate Dematching บนซอฟต์แวร์ GUI และค่า LLR ที่ถูกแทรกสลับบล็อกย่อย ซึ่งจะแสดงใน ส่วน Sub-Block Deinterleaving บนซอฟต์แวร์ GUI

3) PolarBPDecoder ผลลัพธ์ประกอบด้วย 5 ส่วน ดังนี้

- บิตที่ได้จากการถอดรหัสโพลาร์ ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar Decoding บนซอฟแวร์ GUI
- บิตที่ได้จากการนำบิตแช่แข็งออก ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar
   Desequencing บนซอฟแวร์ GUI
- บิตที่ได้จากการแทรกสลับ CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Deinterleaving บนซอฟแวร์ GUI
- บิตที่ได้จากการดีสแครม CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Descrambling บนซอฟแวร์ GUI
- บิตข้อมูลที่ได้จากการถอดรหัส CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Decoding บนซอฟแวร์ GUI

หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงผลลัพธ์เพียง บางส่วน 1.1862 -5.0538 -0.1878 -5.7468 -4.198 0.8191 -7.7584 0.2992 9.2608 -1.6297 -3.6707 -9.6563 5.0889 -10.0404 4.883 9.051 -1.0991 -0.9045 7.6566 -11.8211 3.8337 -7.8681 -11.9823 -6.2542 4.2494 ...



รูปที่ 4.158 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้ กระบวนการฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PDCCH

กรณีช่องสัญญาณกายภาพ PBCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ดำเนินการถอดรหัสและ กู้คืนอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ PolarDecoderModule.py โดยมีอินพุตคือชนิดของ ช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และสัญญาณดีสแครม จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อย ดังนี้

1) TraverseIndexesCalculation สำหรับคำนวณดัชนีการถอดรหัส

2) PrePolarDecoder สำหรับดำเนินการกู้คืนอัตรารหัสและแทรกสลับบล็อกย่อย

3) SCBased5GDecoder สำหรับดำเนินการถอดรหัสโพลาร์ นำบิตแช่แข็งออกจากบิตที่ถอดรหัส ได้ แทรกสลับ CRC และถอดรหัส CRC (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Successive Cancellation หรือ Successive Cancellation List)

4) PolarBPDecoder สำหรับดำเนินการถอดรหัสโพลาร์ นำบิตแช่แข็งออกจากบิตที่ถอดรหัสได้ แทรกสลับ CRC และถอดรหัส CRC (สำหรับกรณีที่ผู้ใช้เลือกการถอดรหัสแบบ Belief Propagation)

เมื่อกระบวนการถอดรหัสและกู้คืนอัตรารทั้สเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่ง ผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI รูปที่ 4.159 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถ อ ด ร ห ั ส ส ำ ห ร ั บ ซ ุ ด ก า ร เ ร ี ย น ร ู ้ ก ร ะ บ ว น ก า ร ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PBCH แสดงตัวอย่างผลลัพธ์การ ถอดรหัสกรณีช่องสัญญาณ PBCH โดยกำหนดให้ใช้อัลกอริทึมการถอดรหัสแบบ Successive Cancellation ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) TraverseIndexesCalculation ผลลัพธ์เป็นค่าดัชนีการถอดรหัส

2) PrePolarDecoder ผลลัพธ์ประกอบด้วย 2 ส่วน ได้แก่ ค่า LLR ที่มีการกู้คืนอัตรารหัส ซึ่งจะแสดง ในส่วน Rate Dematching บนซอฟต์แวร์ GUI และค่า LLR ที่ถูกแทรกสลับบล็อกย่อย ซึ่งจะแสดงใน ส่วน Sub-Block Deinterleaving บนซอฟต์แวร์ GUI

3) PolarBPDecoder ผลลัพธ์ประกอบด้วย 4 ส่วน ดังนี้

- บิตที่ได้จากการถอดรหัสโพลาร์ ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar Decoding บนซอฟแวร์ GUI
- บิตที่ได้จากการนำบิตแช่แข็งออก ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน Polar
   Desequencing บนซอฟแวร์ GUI
- บิตที่ได้จากการแทรกสลับ CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Deinterleaving บนซอฟแวร์ GUI
- บิตข้อมูลที่ได้จากการถอดรหัส CRC ซึ่งอยู่ในรูปแบบไบนารี โดยจะแสดงในส่วน CRC
   Decoding บนซอฟแวร์ GUI

หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงผลลัพธ์เพียง บางส่วน

-0.5508 0.2	2908 -1.0693 -1.1029 1.6203 -0.847 1.2644 0.8208 1.4364 -0.0543 -1.7776 1.415	6 -0.5978 -0.6358	
0.1149 1.2	//1 -0.9406 -0.0938 -0.6632 0.694 -1.2126 -0.8327 -0.4613 0.3047 0.2597 0.445	8	
	Successive Cancellation		
GUI	PBCH PolarEncoderModule.py    Tr	averseIndexesCalculatior	1
Î		t t	
		PrePolarDecoder	
F	Rate Dematching		
-	0.5572 1.1468 -0.7759 -0.9909 0.4947 -0.4854 1.6975 1.6444 0.9752 0.9298 -1.	5499 1.4256	
(	0.2588 0.471 -0.4614 0.8829 -1.6059 0.0808 0.4984 -0.5448 -0.7424 -1.0296 -1.5	5518 0.5312	
	Sub Black Deleteration		
	0 5572 1 1468 -0 7759 -0 9909 0 4947 -0 4854 1 6975 1 6444 0 9752 0 9298 -1 1	5499 1 4256	
	0.2588 0.471 -0.4614 0.8829 -1.6059 0.0808 0.4984 -0.5448 -0.7424 -1.0296 -1.5	518 0 5312	
			•
		SCD	Delev DDD e se den
	Polar Decoding	SCBased5GDecoder	PolarPBDecoder
	000000000000000000000000000000000000000		
	Polar Deserversion		
	501501110101111110011110111011100101	¥.,	
0	CRC Deinterleaving	• •	
(	0100110101011011110111101111011111000101		
(	CRC Decoding		
(	0100110101011011		
		¥.	

รูปที่ 4.159 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการ ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PBCH กรณีซ่องสัญญาณกายภาพ PUSCH และ PDSCH เมื่อซอฟต์แวร์ GUI ได้รับคำสั่งให้ ดำเนินการถอดรหัสและกู้คืนอัตรารหัสจะทำการเรียกใช้ซอฟต์แวร์ LDPCDecoderModule.py โดย มีอินพุตคือชนิดของช่องสัญญาณกายภาพ อัลกอริทึมการถอดรหัส พารามิเตอร์การถอดรหัส และ สัญญาณดีสแครม จากนั้นเรียกใช้ซอฟต์แวร์ Module ย่อยดังนี้

1) DeCodeBlockConcatenation เพื่อดำเนินการแบ่งค่า LLR ออกเป็นบล็อกย่อย

2) DeBitInterleaving เพื่อดำเนินการแทรกสลับค่า LLR

3) DeRateMatching เพื่อดำเนินการกู้คืนอัตรารหัส

4) LDPCDecoding เพื่อดำเนินการถอดรหัส LDPC

5) CRCDecoder2 เพื่อดำเนินการถอดรหัส CRC ของแต่ละบล็อกย่อย

5) DeSegmentation เพื่อดำเนินการรวมบิตที่ได้จากการถอดรหัส CRC ในแต่ละบล็อกย่อย

6) CRCDecoder1 เพื่อดำเนินการถอดรหัส CRC ของบล็อกข้อมูลรวม

เมื่อกระบวนการถอดรหัสและกู้คืนอัตรารหัสเสร็จสิ้นซอฟต์แวร์ Module ย่อยทั้งหมดจะส่ง ผลลัพธ์กลับไปแสดงผลยังซอฟต์แวร์ GUI จากรูปที่ 4.160 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถ อ ด ร ห ั ส ส ำ ห ร ั บ ซ ุ ด ก า ร เ ร ี ย น ร ู ้ ก ร ะ บ ว น ก า ร ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCHแสดงตัวอย่าง ผลลัพธ์การถอดรหัสกรณีช่องสัญญาณ PUSCH โดยกำหนดให้ใช้อัลกอริทึมการถอดรหัสแบบ Belief Propagation ที่มี Iteration = 10 ผลลัพธ์จาก Module ย่อยต่าง ๆ มีรายละเอียดดังนี้

1) DeCodeBlockConcatenation ผลลัพธ์เป็นค่า LLR จำนวน 1 บล็อก เนื่องจากในกรณีนี้ ไม่มีการแบ่งย่อย

2) DeBitInterleaving ผลลัพธ์เป็นค่า LLR ที่มีการแทรกสลับตำแหน่ง

3) DeRateMatching ผลลัพธ์เป็นค่า LLR ที่มีการกู้คืนอัตรารหัส

4) LDPCDecoding ผลลัพธ์เป็นบิตแบบไบนารีที่ได้จากการถอดรหัส LDPC

5) CRCDecoder2 ผลลัพธ์เป็นบิตที่ได้จากการถอดรหัส CRC ในแต่ละบล็อกย่อย อย่างไรก็ตาม เนื่องจากในที่นี้ไม่มีการแบ่งบล็อกย่อยจึงไม่มีการถอดรหัส CRC ในขั้นตอนนี้

5) DeSegmentation ผลลัพธ์เป็นการนำบิตที่ได้จากการถอดรหัส CRC ในแต่ละบล็อกย่อย มาต่อกัน

6) CRCDecoder1 ผลลัพธ์เป็นบิตข้อมูลที่ได้จากการถอดรหัส CRC ของบล็อกข้อมูลรวม หมายเหตุ: เนื่องจากผลลัพธ์ของบาง Module ย่อยมีความยาวมาก ในที่นี้จึงแสดงผลลัพธ์เพียงบางส่วน



รูปที่ 4.160 แผนภาพการเรียกใช้งานซอฟต์แวร์ Module ถอดรหัสสำหรับชุดการเรียนรู้กระบวนการ ฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G กรณีช่องสัญญาณกายภาพ PUSCH และ PDSCH

## 4.3 ผลการทดสอบการทำงานของอุปกรณ์ FPGA

#### 4.3.1 รายชื่อซอฟต์แวร์สำหรับการสร้างวงจรบนชิปเอฟพีจีเอ

โครงการนี้ได้เขียนซอฟต์แวร์สำหรับการสร้างวงจรบนชิปเอฟพีจีเอ ภายใต้ภาษา VHDL ที่ใช้งาน ร่วมกับซอฟต์แวร์ GUI ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G รวมทั้งสิ้น 9 ระบบ ย่อย โดยแสดง ซึ่งซอฟต์แวร์เหล่านี้จะถูกสังเคราะห์ เชื่อมโยง และโปรแกรมไปยังชิปเอฟพีจีเอ และ ชิปเอฟพีจีเอจะถูกเชื่อมเข้ากับคอมพิวเตอร์ผ่านการสื่อสารแบบ serial เพื่อทำงานร่วมกับซอฟต์แวร์ GUI ชุดการเรียนรู้

## ตารางที่ 4.1 ซอฟต์แวร์ชุดคำสั่งของระบบย่อย

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
top_entity_sim.vhdl	simulator_package.vhdl	ชุดการเรียนรู้ส่วนประ
	RxSerial.vhdl	มวลผลบนอุปกรณ์ FPGA
	rx_buffer.vhdl	
	simulator.vhdl	
	tx_buffer.vhdl	
	TxSerial.vhd	
	memory_interface.vhdl	
RxSerial.vhd	-	Serial receiver
rx_buffer.vhdl	-	Receiver buffer
simulator.vhdl	sim_controller.vhdl	-
	uniform_random_input_generat	
	or.vhdl	
	channel_encoder.vhdl	
	digital_modulation.vhdl	
	gaussian_random_input_generat	
	digital domodulation ybdl	
	channel decoder vhdl	
sim_controller.vhdl	-	Simulator controller
uniform_random_input_generat	combined Tausworthe 88.v	Random input
or.vhdl	hdl	generator
channel_encoder.vhdl	ldpc_encoder.vhdl	channel encoder
	polar_encoder.vhdl	(ประกอบด้วยรหัส LDPC
		และ Polar)
digital_modulation.vhdl	-	Modulator
gaussian_random_input_generat	noisegen_top.vhdl	Noise generator
or.vhdl	combined_Tausworthe_88.v	
	hdl	
	LUTsincos.vhdl	
	LUTcosonefour.vhdl	
	logCal_top.vhdl	
	CofROM.vhdl	
	xinPropare.vhdl	
	polyCal.vhdl	

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
	sqrtCal.vhdl	
	cordic_calculation.vhdl	
	cordic_equation.vhdl	
	cordic_stage_0.vhdl	
	cordic_stage_1.vhdl	
	cordic_stage_2.vhdl	
	cordic_stage_3.vhdl	
	cordic_stage_4.vhdl	
	cordic_stage_5.vhdl	
	cordic_stage_6.vhdl	
	cordic_stage_7.vhdl	
	cordic_stage_8.vhdl	
	cordic_stage_9.vhdl	
	cordic_stage_10.vhdl	
	cordic_stage_11.vhdl	
	cordic_stage_12.vhdl	
	Div_VHDL_control.vhdl	
	Div_lut.vhdl	
digital_demodulation.vhdl	LLR_BPSK.vhdl	Demodulator
	LLR_p2BPSK.vhdl	
	LLR_QPSK.vhdl	
	LLR_16QAM.vhdl	
	LUT16QAM_cal.vhdl	
	LUT_16QAM.vhdl	
	LLR_64QAM.vhdl	
	LUT64QAM_cal.vhdl	
	LUT_64QAM.vhdl	
	LLR_256QAM.vhdl	
	LUT256QAM_cal.vhdl	
	LUT_256QAM.vhdl	
	LLR_1024QAM.vhdl	
	LUT1024QAM_cal.vhdl	
	LUT_1024QAM.vhdl	

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
channel_decoder.vhdl	belief_propagation_layered.	channel decoder
	vhdl	
	belief_propagation_package	
	d.vhdl	
	memory_controller.vhdl	
	parity_check_matrix_memor	
	y_generator_hdl.vhdl	
	app_memory_generator_hdl	
	.vhdl	
	check_to_var_memory_gen	
	erator_hdl.vhdl	
	data_arrangement.vhdl	
	barrel_shifter_QSN_bypass.v	
	hdl	
	barrel_shifter_QSN.vhdl	
	barrel_shifter_QSN_reverse.v	
	hdl	
	node_processing_unit.vhdl	
	c2v_subtraction.vhdl	
	c2v_addition.vhdl	
	sign_comparison.vhdl	
	minima_structure.vhdl	
	minima_structure_64.vhdl	
	minima_structure_32.vhdl	
	minima_structure_16.vhdl	
	minima_structure_8.vhdl	
	minima_structure_4.vhdl	
	comparator_1_multiplexer_	
	1.vhdl	
	comparator_1_multiplexer_	
	2.vhdl	
	approximate_min_sum.vhdl	
tx_buffer.vhdl	-	Transmitter buffer
TxSerial.vhd	-	Serial transmitter

#### 4.3.2 ระบบของวงจรบนชิปเอฟพีจีเอ

ระบบของวงจรบนซิปเอฟพีจีเอประกอบด้วย 10 ระบบย่อย แสดงดังรูปที่ 4.161 ประกอบด้วย

1) Serial receiver สำหรับการรับข้อมูลด้วยโพรโทคอล UART จากคอมพิวเตอร์

2) Receiver buffer สำหรับการพักข้อมูลที่รับจากคอมพิวเตอร์ เพื่อส่งต่อไปยังส่วนต่าง ๆ ในวงจร รวมถึงแรม

3) Simulator controller สำหรับการควบคุมโหมดการจำลองสมรรถนะและโหมดแสดง ระบบ

4) Random input generator สำหรับการสร้างข้อมูลอินพุตแบบสุ่ม เพื่อใช้ร่วมกับระบบ อื่น ๆ

5) LDPC encoder สำหรับการเข้ารหัส LDPC ตามมาตรฐาน 5G

6) Polar encoder สำหรับการเข้ารหัสโพลาร์ตามมาตรฐาน 5G

7) Modulator สำหรับการมอดูเลตข้อมูลตามมาตรฐาน 5G

8) Noise generator สำหรับการบวกสัญญาณรบกวนทั้งแบบ AWGN และเฟดดิงตาม มาตรฐาน 5G

9) Demodulator สำหรับการดีมอดูเลตข้อมูลตามมาตรฐาน 5G

10) LDPC decoder สำหรับการถอดรหัส LDPC ตามมาตรฐาน 5G

11) Polar decoder สำหรับการถอดรหัสโพลาร์ตามมาตรฐาน 5G

12) Transmitter buffer สำหรับการพักข้อมูลจากระบบอื่น ๆ รวมถึงแรม เพื่อส่งต่อไปยัง คอมพิวเตอร์

13) Serial transmitter สำหรับการส่งข้อมูลด้วยโพรโทคอล UART ไปยังคอมพิวเตอร์

ระบบย่อยจากรายการดังกล่าวจะเป็นระบบย่อยที่ถูกแบ่งตามแผนภาพระบบโดยรวม ซึ่ง ในทางปฏิบัติระบบย่อยเหล่านี้สามารถอยู่ภายใต้ระบบใด ๆ ได้อีก เช่น ระบบย่อย LDPC encoder และ Polar encoder จะอยู่ภายใต้ Channel encoder ระบบย่อย LDPC decoder และ Polar decoder จะอยู่ภายใต้ Channel decoder และระบบย่อย Simulator controller Random input generator Channel encoder Modulator Noise generator Demodulator และ Channel decoder จะอยู่ภายใต้ Simulator อีกต่อหนึ่ง

System		
	Simulator	
Serial receiver Receiver buffer	Simulator controller Random input generator Channel encoder Modulator Noisy generator Channel decoder	Transmitter buffer Serial Memory controller

รูปที่ 4.161 ระบบของวงจรบนชิปเอฟพีจีเอ

#### 4.3.3 ผลการทดสอบระบบย่อย Serial receiver

ระบบย่อย Serial receiver ทำหน้าที่รับข้อมูลด้วยโพรโทคอล UART จากคอมพิวเตอร์ โดย คอมพิวเตอร์จะส่งข้อมูลทีละ 8 บิตต่อเวลาอย่างอนุกรมมายังชิปเอฟพีจีเอ แสดงรายละเอียดระบบ ย่อย Serial receiver ดังรูปที่ 4.162 โดยผลการทดสอบระบบย่อย Serial receiver แสดงดังรูปที่ 4.163



### รูปที่ 4.162 รายละเอียดระบบย่อย Serial receiver

11000000       00000001       00000000       11111100       00001101       01000101       0101111         10100101       0010010       00110101       00100000       10100101       10110101       00001010         10100101       1011010       00100101       01101010       10100101       10110101       00001010       10111101         10110101       10001010       10110101       00100111       1111010       01001010       1011010         10110101       10001011       00001011       01101010       10001010       1011010         10110101       01001011       00101011       01101010       10010101       10001010         10110100       01100101       0100101       1100101       1000101       1001110         1001001       0111110       0110101       1000000       1011101       1001110         10010001       0111001       0101011       1000001       1001011       1000001       1011101         10010001       0111010       0110000       1100001       1000001       1000001       1000001       1000001       10000110       1000001       1000001       1000001       1000001       1000001       1000001       1000001       100000101       100000100       100100	~		_				0.0.57	e Program 2	n: Serial Capt	📲 RealTerr
Display       Port       Capture       Pins       Send       Echo Port       12C       12C-2       12CMisc       Misc       Image: Constraint of the second secon			11010 11110 10111 10110 11101 01010 01110 10101 11100 11100 11100 11011 11011 110110	$\begin{array}{c} 01000111\\ 00000010\\ 10110010\\ 01110010\\ 01011001\\ 01011001\\ 010111001\\ 11000000\\ 11000010\\ 10000111\\ 0100100\\ 01100110\\ 10011011\\ 01001000\\ 10110000\\ 010000010\\ 0100000000\\ 000000010\\ 00000000$	$\begin{array}{c} 00001101\\ 10100010\\ 11001011\\ 01101010\\ 01000101\\ 10100001\\ 10100001\\ 1000001\\ 10111111\\ 00000110\\ 1100000\\ 01011111\\ 00101001\\ 01010000\\ 010110010\\ 01011001\\ 01100100\\ 10110010\\ 0110000\\ 10110000\\ 10110000\\ 01100000\\ 01100000\\ 00000000$	11111100 00100000 00110110 10110100 01100101 010010	00000000 000000111 01011111 00100111 101101	0000000 0111010 0111010 110101 110101 1101001 000101 0101000 0101000 0101000 0111010 0111010 1110001 101001 101001	00000001 01011101 00010010 11111010 001001	1000000 1000011 00110101 00110111 1010100 011111 1010100 0111000 01110000 1100001 1100010 1100010 1100010 01010101
0 ^C LF Repeats       1 ÷	2001 2000 s sconnect (D (2) (D (3) TS (8) CD (1) SR (6) ng (9) REAK ror	Free           State          C          C          C          C          C          C          C          C          C          C          C          C          C          C          C          E          E	vn <u>Clear</u> 	ISC +CR +CR +CR +CR +CR +CR SMBUS Pelays 0 € 1 € 0	I2CMisc N Gend ASCII Gend ASCII trip Spaces Stop <u>R</u> epeat	12C   12C-2	Echo Port	ns Send	C LF Rept C LF Rept Port pture.txt	Display Por 0xC0 0 Dump File to c:\temp\ca

รูปที่ 4.163 ผลการทดสอบ timing diagram ของระบบย่อย Serial receiver

จากรูปที่ 4.163 แสดงผลการทดสอบการรับข้อมูลจากคอมพิวเตอร์มายังระบบย่อย Serial receiver และส่งกลับมาแสดงผลบนโปรแกรม terminal บนคอมพิวเตอร์ เพื่อตรวจสอบว่าค่าที่ รับเข้าไปยังระบบย่อยมีความถูกต้อง ผลการทดสอบดังกล่าวอาจแสดงผลการทดสอบร่วมกันของ ระบบย่อย Serial receiver และ Serial transmitter

#### 4.3.4 ผลการทดสอบระบบย่อย Receiver buffer

ระบบย่อย Receiver buffer ทำหน้าที่พักข้อมูลที่รับจากคอมพิวเตอร์ เพื่อส่งต่อไปยังส่วน ต่าง ๆ ในวงจร รวมถึงแรม โดยข้อมูลชุดละ 8 บิตจากระบบย่อย Serial receiver จะถูกนำมาจัดเรียง เป็นสัญญาณที่มีความยาวขนาดต่าง ๆ ตามที่กำหนดไว้ โดยสามารถแยกประเภทสัญญาณได้จากชุด ข้อมูลส่วนหัว (header) ที่มีความยาว 8 บิตทั้งหมด ประเภทและความยาวของสัญญาณจำแนกโดย ระบบย่อย Receiver buffer สามารถสรุปได้ดังตารางที่ 4.2 โดยจะแสดงรายละเอียดระบบย่อย Receiver buffer ดังรูปที่ 4.164 และแสดงผลการทดสอบระบบย่อย Receiver buffer ดังรูปที่ 4.165

ประเภทสัญญาณ	ส่วนหัว	ความยาวข้อมูล				
ส่วนหัวทั่วไป						
Modulation flag	00010001					
Channel coding flag	00010010	-				
Simulation flag	00011000	16				
ส่วนหัวสำหรับระบบย่อย Simi	ulator controller ภายใต้ Simulator					
snrValue	00011010	4080				
snrNumber	00011011	8				
maxBlockError	00011100	4080				
maxBlockLength	00011101	32				
ส่วนหัวสำหรับระบบย่อย Rand	dom input generator ภายใต้ Simul	ator				
uniformBitLength	00100001	16				
ส่วนหัวสำหรับระบบย่อย LDP(	C encoder ภายใต้ Channel encode	er และ Simulator				
Rate	00110001	8				
liftingSize	00110010	16				
I_LBRM	00110011	8				
N_L	00110100	8				
rv_id	00110101	8				
infoLength	00110110	16				

ตารางที่ 4.2 ประเภทและความยาวของสัญญาณจำแนกโดยระบบย่อย Receiver buffer

ประเภทสัญญาณ	ส่วนหัว	ความยาวข้อมูล
infoBits	00110111	8448
channelType	01000101	8
modScheme	01010001	8
ส่วนหัวสำหรับระบบย่อย Pola	ar encoder ภายใต้ Channel encode	er และ Simulator
infoBits	01000001	1712
infoLength	01000010	16
codewordLength	01000011	16
rntiBits	01000100	16
channelType	01000101	8
ส่วนหัวสำหรับระบบย่อย Moc	dulator ภายใต้ Simulator	
modScheme	01010001	8
modBitLength	01010010	16
modBitInput	01010011	1024
ส่วนหัวสำหรับระบบย่อย Nois	se generator ภายใต้ Simulator	
channelAndSNR	00100011	24
sqrtVar	00100100	16
gaussianSymbolLength	00100101	16
gaussianValueInput	00100110	32768
complexChannel	00100111	16384
Coefficient		
inverseComplex	00101000	16384
ChannelCoefficient		
ส่วนหัวสำหรับระบบย่อย Den	nodulator ภายใต้ Simulator	r
modScheme	01010001	8
channelAndSNR	00100011	24
inverseSqrtVar	01010101	16
demodEquation	01010110	8
demodSymbolLength	01010111	16
demodValueInput	01011000	32768
ส่วนหัวสำหรับระบบย่อย LDP	C decoder ภายใต้ Channel decode	er และ Simulator
channelType	01000101	8
decoderConfig	00111000	8
iteration	00111001	8
offsetAndScale	00111010	32
processorNumber	00111011	8
liftingSize	00111101	16
ldpcLLRSymbolLength	00111110	16
ldpcLLRInput	00111111	8192

ประเภทสัญญาณ	ส่วนหัว	ความยาวข้อมูล
ส่วนหัวสำหรับระบบย่อย Pola	ar decoder ภายใต้ Channel decode	er และ Simulator
rntiBits	01000100	16
channelType	01000101	8
offsetAndScale	00111010	32
decoderConfig	01000111	8
crcPolynomial	01001000	24
frozenPosition	01001010	2048
llrSymbolLength	01001011	16
llrInput	01001100	8192



รูปที่ 4.164 รายละเอียดระบบย่อย Receiver buffer



รูปที่ 4.165 ผลการทดสอบ timing diagram ของระบบย่อย Receiver buffer

จากรูปที่ 4.165 แสดงผลการทดสอบการพักและจัดเรียงข้อมูลจากระบบย่อย Serial receiver เพื่อ ส่งต่อไปยังระบบย่อยอื่น ๆ และแรม โดยข้อมูลหนึ่งประเภทจะถูกเริ่มตรวจจับจากข้อมูลส่วนหัวชุด แรก จากนั้นตามด้วยชุดข้อมูลประเภทนั้นตามจำนวนบิตหรือเฟรมที่กำหนดไว้ตามตารางก่อนหน้า เมื่อข้อมูลถูกจัดเรียงเป็นสัญญาณตามความยาวที่กำหนดเสร็จสิ้น สัญญาณเหล่านี้จะถูกส่งต่อไปยัง ระบบย่อยถัดไป หากสัญญาณนั้นมีความยาวมากเป็นพิเศษจะถูกจัดเก็บในบล็อกแรมแทน

#### 4.3.5 ผลการทดสอบระบบย่อย Simulator controller

ระบบย่อย Simulator controller สำหรับการควบคุมโหมดการจำลองสมรรถนะและโหมด แสดงระบบ โดยระบบย่อยนี้จะรับคำสั่งจากคอมพิวเตอร์ สำหรับโหมดการจำลองสมรรถนะ สัญญาณ ของระบบย่อยต่าง ๆ จะถูกโยงให้มีการทำงานเป็นวงรอบ เพื่อทำการประมาณสมรรถนะของระบบ ตามวิธี Monte Carlo โดยการจำลองการทำงานของระบบซ้ำหลายรอบ โหมดการจำลองสมรรถนะ จะถูกใช้งานร่วมกับชุดทดสอบสมรรถนะในโปรแกรมชุดการเรียนรู้บนคอมพิวเตอร์ สำหรับโหมด แสดงระบบ สัญญาณของระบบย่อยภายใต้ simulator จะถูกเชื่อมระหว่างระบบย่อย Receiver buffer และ Transmitter buffer แทนที่การเรียงต่อกับระบบย่อยอื่น ๆ เนื่องจากจำเป็นต้องรับส่ง สัญญาณภายในระบบย่อยระหว่างโปรแกรมชุดการเรียนรู้บนคอมพิวเตอร์ โดยจะแสดงรายละเอียด ระบบย่อย Simulator controller ดังรูปที่ 4.166 และแสดงผลการทดสอบระบบย่อย Simulator controller ดังรูปที่ 4.167



รูปที่ 4.166 รายละเอียดระบบย่อย Simulator controller



รูปที่ 4.167 ผลการทดสอบ timing diagram ของระบบย่อย Simulator controller

จากรูปที่ 4.167 แสดงผลการทดสอบการควบคุมโหมดการจำลองสมรรถนะและโหมดแสดง ระบบ โดยหากเลือกโหมดการจำลองสมรรถนะ สัญญาณภายในระบบย่อย Simulator controller จะมีการใช้งานสำหรับการจำลองสมรรถนะ เช่น การเก็บจำนวนรอบ นับจำนวนความผิดพลาด เป็น ต้น หากเลือกโหมดแสดงระบบ ระบบย่อยภายใต้ simulator จะถูกเชื่อมระหว่างระบบย่อย Receiver buffer และ Transmitter buffer ซึ่งจะทำให้สัญญาณภายในระบบย่อย Simulator controller ส่วนใหญ่จะไม่ถูกใช้งาน

#### 4.3.6 ผลการทดสอบระบบย่อย Random input generator

ระบบย่อย Random input generator สำหรับการสร้างข้อมูลอินพุตแบบสุ่ม เพื่อใช้ร่วมกับ ระบบอื่น ๆ โดยระบบย่อยนี้จะรับความยาวบิตอินพุตแบบสุ่ม เพื่อที่จะสร้างสัญญาณสุ่มที่มีการ กระจายแบบเอกรูป โดยระบบย่อยจะเรียกใช้งานวงจร combine Tausworthe generator ที่ สามารถสร้างตัวเลขที่มีการกระจายแบบเอกรูปได้ โดยจะนับจำนวนชุดตัวเลขที่ถูกสร้างจากวงจร ดังกล่าวตามค่าความยาวบิตอินพุตแบบสุ่ม ชุดข้อมูลที่ถูกสร้างจะถูกเก็บไว้ในแรม โดยจะแสดง รายละเอียดระบบย่อย Random input generator ดังรูปที่ 4.168 และแสดงผลการทดสอบระบบ ย่อย Random input generator ดังรูปที่ 4.169



รูปที่ 4.168 รายละเอียดระบบย่อย Random input generator



รูปที่ 4.169 ผลการทดสอบ timing diagram ของระบบย่อย Random input generator

จากรูปที่ 4.169 แสดงผลการทดสอบการสร้างข้อมูลอินพุตแบบสุ่ม โดยระบบย่อยจะรับ ความยาวบิตอินพุตแบบสุ่มไว้ในสัญญาณ sUniformFrameLength จากนั้นสัญญาณนี้จะถูกลดค่า เพื่อนับจำนวนชุดข้อมูลที่จะถูกสร้างขึ้น ชุดข้อมูลที่ถูกสร้างจะเป็นสัญญาณ sUniformFrameLength และถูกเก็บเข้าแรมทันที

#### 4.3.7 ผลการทดสอบระบบย่อย LDPC encoder

ระบบย่อย LDPC encoder สำหรับการเข้ารหัส LDPC ตามมาตรฐาน 5G ระบบย่อยนี้จะทำ การเข้ารหัส LDPC ชุดข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะรับบิตอินพุตจากแรมและ พารามิเตอร์อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการเข้ารหัส LDPC ผลลัพธ์ที่ได้ เรียก คำ รหัส จะถูกจัดเก็บในแรม โดยจะแสดงรายละเอียดระบบย่อย LDPC encoder ดังรูปที่ 4.170 และ แสดงผลการทดสอบระบบย่อย LDPC encoder ดังรูปที่ 4.171



รูปที่ 4.170 รายละเอียดระบบย่อย LDPC encoder



รูปที่ 4.171 ผลการทดสอบ timing diagram ของระบบย่อย LDPC encoder

จากรูปที่ 4.171 แสดงผลการทดสอบการเข้ารหัส LDPC ตามมาตรฐาน 5G โดยระบบย่อย จะทำการเข้ารหัสจากบิตข้อมูลที่มีสัญญาณชื่อ rto\_top\_circulant ส่งไปยังวงจรหมุนภายในระบบ ย่อย data\_cyclic และวงจรคำนวณบิตพาริตีภายในระบบย่อย parity ในลำดับถัดไปตามโครงสร้าง เมทริกซ์ตรวจสอบพาริตีมาตรฐาน 5G ผลลัพธ์การคำนวณบิตพาริตีจะถูกส่งออกมาจากวงจรคำนวณ บิตพาริตีในระบบย่อย parity เพื่อถูกนำไปเก็บไว้ในแรม

#### 4.3.8 ผลการทดสอบระบบย่อย Polar encoder

ระบบย่อย Polar encoder สำหรับการเข้ารหัสโพลาร์ตามมาตรฐาน 5G ระบบย่อยนี้จะทำ การเข้ารหัสโพลาร์ชุดข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะรับบิตอินพุตจากแรมและพารามิเตอร์ อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการเข้ารหัสโพลาร์ ผลลัพธ์ที่ได้ เรียก คำรหัส จะถูก จัดเก็บในแรม โดยจะแสดงรายละเอียดระบบย่อย Polar encoder ดังรูปที่ 4.172 และแสดงผลการ ทดสอบระบบย่อย Polar encoder ดังรูปที่ 4.172



รูปที่ 4.172 รายละเอียดระบบย่อย Polar encoder



รูปที่ 4.173 ผลการทดสอบ timing diagram ของระบบย่อย Polar encoder

จากรูปที่ 4.173 แสดงผลการทดสอบการเข้ารหัสโพลาร์ตามมาตรฐาน 5G โดยระบบย่อยจะ ทำการหาตำแหน่งบิตข้อมูลและบิตแช่แข็งตามมาตรฐาน 5G และเก็บข้อมูลตำแหน่งไว้ในสัญญาณชื่อ sFrozenPosition ภายในระบบย่อย polar\_sequencing จากนั้นระบบจะทำการเข้ารหัสจากบิต ข้อมูลที่มีสัญญาณชื่อ sInfoWithCRC ที่ถูกเรียงตำแหน่งบิตข้อมูลและบิตแช่แข็งแล้วภายในระบบ ย่อย polar\_encoder ผลลัพธ์ที่ได้ เรียก คำรหัส จะถูกจัดเก็บในแรม

#### 4.3.9 ผลการทดสอบระบบย่อย Modulator

ระบบย่อย Modulator สำหรับการมอดูเลตข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะรับบิต อินพุตจากแรมและพารามิเตอร์อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการมอดูเลต การมอดู เลตภายใต้มาตรฐาน 5G มีเลือกกว่า 7 รูปแบบ ขึ้นอยู่กับเงื่อนไขชุดข้อมูล ช่องสัญญาณการสื่อสาร และตัวแปรอื่น ผลลัพธ์การมอดูเลตจะถูกจัดเก็บเข้าแรม โดยจะแสดงรายละเอียดระบบย่อย Modulator ดังรูปที่ 4.174 และแสดงผลการทดสอบระบบย่อย Modulator ดังรูปที่ 4.175



รูปที่ 4.174 รายละเอียดระบบย่อย Modulator

586	REATION - Simulation - top_entity	t_sin_nuat	Jesthens	h_snapshit																		?
	Untilled 1																					?00×
6	0	8.4	14.11	a server a la la la	X HI																	
4																						
102	No. of Concession, Name			AT						-73-400-000 es		12.00.002.00					14.100.000.04					
3		_	-	-,		*******	4				4	. Chine and the				 						
	digital_modulation_compon	nent	_																			 
	> S digital_modulation_comp	ponent														 						 
	A CR		-			nnnn										 						 
	U effected to be the					_																
ž	V sterroReadMod					_																
	StrikReadyNod	1																				
5	Valid Streval and	0																				
4	> V s_ram_enable_a(10)	00				00				X						10						
5	> V s_ram_write_enable_a[t	1.0] 00				00										10						
1	> V s_ram_address_o(11)?	15.01 00	10000		033333444	**********	65555111111111111111111111111111111111	60			00000	00000	00000	00000		20000		00000	00000	00000	00000	000000
	> V s_ram_dala_in_a(10)31	1.5] 00	30000		•	333311110,000	000000									00842046,85	1111100					
	> V s_ram_data_out_4(10)3	37.0) 03	547645			1111111111111	wann -									02541048,						
	> V s_ran_enable_s(10)	00	*																			
	Marine Marine Marine	5 FT 00	-																10			
	> W s ram data in bit dElt	1.01 00	10000										00000000	331111440								
	> V s_ram_data_out_b(10)3	51.0												mmu								· · · · ·
	Vals_ram_load_state	58,	at en		et., M	11_mapty			X		Lapat_Loaded	X					45.,ALL	1++4+4				
	Vis_ram_boad_state_delay	r st	al en		e6.,	ALL PROPERTY.				i –		-	X				15,043					
	& s_ram_load_count	0		4					00000			100000					0					
	Vis_ram_boad_count_delay	e 0							00000			00000						8				
	& s_modulation_ready	0	-																			
	& s_modulation_ready_del	fay 0	-																			
	W shuthteggle	0														(11)						-
	> W streatstread (	00	-			50										100						
	> Watmarthtindeds Ct	00	-													10						
	> V sRealNodValue[15.0]	00	54												038							
	· Managements does not be																					
		<	2.5																			

รูปที่ 4.175 ผลการทดสอบ timing diagram ของระบบย่อย Modulator

จากรูปที่ 4.175 แสดงผลการทดสอบการมอดูเลตข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะ นำข้อมูลจากแรมแบ่งย่อยเป็นกลุ่มบิตที่มีความยาวตามประเภทการมอดูเลตที่ใช้จากสัญญาณ sModScheme จากนั้นจะใช้ตารางค้นหาในการโยงค่าชุดบิตจากสัญญาณ sModBitSet ไปเป็นค่า เชิงซ้อนในสัญญาณ sRealModValue และ sImagModValue เป็นผลลัพธ์การมอดูเลต ผลลัพธ์ เหล่านี้จะถูกเก็บในแรม

#### 4.3.10 ผลการทดสอบระบบย่อย Noise generator

ระบบย่อย Noise generator สำหรับการบวกสัญญาณรบกวนทั้งแบบ AWGN และเฟดดิง ตามมาตรฐาน 5G โดยระบบย่อยจะทำการสร้างสัญญาณรบกวนขึ้นจากวงจร Box-Muller เพื่อสร้าง ค่าเลขสุ่มที่มีการกระจายแบบเกาส์เซียน โดยเลขสุ่มนี้จะมีค่าเฉลี่ยที่ 0 และความแปรปรวนเท่ากับ 1 ค่าเลขสุ่มดังกล่าวจะสามารถนำไปสร้างเป็นสัญญาณรบกวนเกาส์เซียนขาวบวกได้ รวมถึงค่า สัมประสิทธิ์ช่องสัญญาณของช่องสัญญาณเฟดดิงเรย์ลีย์ ค่าสัมประสิทธิ์ช่องสัญญาณจะถูกคูณเข้าไป กับสัญญาณของชุดข้อมูล รวมถึงสัญญาณรบกวนที่ถูกสร้างจะถูกบวกเข้าไปกับสัญญาณของชุดข้อมูล โดยจะแสดงรายละเอียดระบบย่อย Noise generator ดังรูปที่ 4.176 และแสดงผลการทดสอบระบบ ย่อย Noise generator ดังรูปที่ 4.177



รูปที่ 4.176 รายละเอียดระบบย่อย Noise generator



รูปที่ 4.177 ผลการทดสอบ timing diagram ของระบบย่อย Noise generator

จากรูปที่ 4.177 แสดงผลการทดสอบการบวกสัญญาณรบกวนทั้งแบบ AWGN และเฟดดิง สัญญาณรบกวนที่ถูกสร้างขึ้นจะถูกสัญญาณไว้ภายในสัญญาณ sGaussianNoiselVarAdjusted และ sGaussianNoiseQVar Adjusted ค่าสัมประสิทธิ์ช่องสัญญาณจะถูกสร้างขึ้นและถูกเก็บไว้ภายใน สัญญาณ sGaussianRandomSqrt สัญญาณดังกล่าวจะถูกบวกและคูณไปยังสัญญาณอินพุตได้ ผลลัพธ์เป็นสัญญาณที่เกิดการรบกวน sGaussian RandomInputBits สัญญาณดังกล่าวจะถูกจัดเก็บ ไว้ในแรม

#### 4.3.11 ผลการทดสอบระบบย่อย Demodulator

ระบบย่อย Demodulator สำหรับการดีมอดูเลตข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะ รับบิตอินพุตจากแรมและพารามิเตอร์อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการดีมอดูเลต การดีมอดูเลตภายใต้มาตรฐาน 5G มีเลือกกว่า 7 รูปแบบ สอดคล้องกับการมอดูเลต ผลลัพธ์การดีมอ ดูเลตจะถูกจัดเก็บเข้าแรม โดยจะแสดงรายละเอียดระบบย่อย Demodulator ดังรูปที่ 4.178 และ แสดงผลการทดสอบระบบย่อย Demodulator ดังรูปที่ 4.149



รูปที่ 4.178 รายละเอียดระบบย่อย Demodulator



รูปที่ 4.179 ผลการทดสอบ timing diagram ของระบบย่อย Demodulator

จากรูปที่ 4.179 แสดงผลการทดสอบการดีมอดูเลตข้อมูลตามมาตรฐาน 5G โดยระบบย่อย จะนำข้อมูลจากแรมเป็นกลุ่มสัญลักษณ์ จากนั้นจะใช้ตารางค้นหาในการโยงค่าเชิงซ้อนในสัญญาณ rDemodValueInput ไปเป็นค่า LLR ภายใต้สัญญาณ rDemodValue เป็นผลลัพธ์การดีมอดูเลต ผลลัพธ์เหล่านี้จะถูกเก็บในแรม

#### 4.3.12 ผลการทดสอบระบบย่อย LDPC decoder และ Polar decoder

ระบบย่อย LDPC decoder สำหรับการถอดรหัส LDPC ตามมาตรฐาน 5G ระบบย่อยนี้จะ ทำการถอดรหัส LDPC ชุดข้อมูลตามมาตรฐาน 5G โดยระบบย่อยจะรับบิตอินพุตจากแรมและ พารามิเตอร์อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการถอดรหัส LDPC ผลลัพธ์ที่ได้ บิต ข้อมูลเดิม จะถูกจัดเก็บในแรม โดยจะแสดงรายละเอียดระบบย่อย LDPC decoder ดังรูปที่ 4.180 และแสดงผลการทดสอบระบบย่อย LDPC decoder ดังรูปที่ 4.181



รูปที่ 4.180 รายละเอียดระบบย่อย LDPC decoder



รูปที่ 4.181 ผลการทดสอบ timing diagram ของระบบย่อย LDPC decoder

จากรูปที่ 4.181 แสดงผลการทดสอบการถอดรหัส LDPC ตามมาตรฐาน 5G โดยระบบย่อย จะทำการถอดรหัสจากค่า LLR ที่มีสัญญาณชื่อ sLLRInput ส่งไปยังวงจรโหนดตรวจสอบและวงจร โหนดตัวแปรตามโครงสร้างเมทริกซ์ตรวจสอบพาริตีมาตรฐาน 5G ผลลัพธ์การถอดรหัสจะถูกส่งออก มายังสัญญาณ sLLROutput เพื่อถูกนำไปเก็บไว้ในแรม

#### 4.3.13 ผลการทดสอบระบบย่อย Polar decoder

ระบบย่อย Polar decoder สำหรับการถอดรหัสโพลาร์ โดยระบบย่อยจะรับบิตอินพุตจาก แรมและพารามิเตอร์อื่น ๆ จากระบบย่อย Receiver buffer เพื่อทำการถอดรหัสโพลาร์ ผลลัพธ์ที่ได้ บิตข้อมูลเดิม จะถูกจัดเก็บในแรม โดยจะแสดงรายละเอียดระบบย่อย Polar decoder ดังรูปที่ 4.182 และแสดงผลการทดสอบระบบย่อย Polar decoder ดังรูปที่ 4.183





SIN	ULATION - Be	havioral Simulati	on - Functio	nal -	sim_1 - belief	f_pro	pagation_layer	ed_testbench_1									?	2
	Untitled 3																250	×
be	0 1 0		e ar la			1.4	r i ra i ar i	-rixiai										6
Sco		~ ~ ~ ~	1 1		1.515		14 41	1 <b>^</b> [14						5.860.200 ns				
\$																		
urce	Name		Value		5,700.000	ns	5,720.000 ns	5,740.000 ns	5,760.000 ns	5,780.000 ns	5,800.000 ns	5,820.000 ns	5,840.000 ns	5,860.000 ns	5,880.000 ns	5,900.000 ns	5,920.000 ns	١.
So	> ♥ sTermin	ateStatus[0:0]	0					0			1	X			0			
	1 cCheck	lodeMax	8									3						1
	belief_prop	aed_compone	nt			_												
	> helief_p	ropd_compone	nt															
	Li cik		1															t.
cts	> M sDecode	e(0·01	1								·							
- e	> W sDecod	erReadv(0:01	0	1	4							0						
-	& siteratio	n	2								' a	2						
ces	> 🕊 sEndOft	ecoderFrame[0:	0] 0	0	X			1			*			0				
stan	> 😻 sTerminateStatus[0:0]		0					0			1	*			0			
1	> 😽 sinitializ	eStatus[0:0]	0	0	X			i		*				2				
000	lå sRowPro	ocessCount	0	3	0		1	2	3	0	1	2	3	0	1	2	3	
Prot	sBlockR	owProcessCount	2	4	X			Ċ		X		1				2		
	🔓 siteratio	nCount	0	1	X							0						
	> 🛛 sCircula	ntShiftValue[7:0]	27,29,2	8. • •	X				5,30,0,0	,22,6,12,9					27, 29, 28	,4,8,0,0,0		
	> 🕊 sShiftVa	lue[7:0][2:0]	2,0,0,0,	6	3, 6, 3, 2, 0,		1,7,0,0	3,5,1,3,2	1,0,0,0,6,	2,0,0,0,6,	1,7,0,0	5,1,3,2	1,0,0,0,6,	2,0,0,0,6,	6,7,7,1,2,	7,7,7,1	,2,0,0,0	
	> W sEmptys	Slot[7:0]	010000	1	01100000		(			010	00011				¥	01011101		
	> W sAPPRe	arran[7:0][63:0	001111	.11	0000000000	_	000000000	0011111100	0011111100	0011111100	0111111101	0011111101	0111111100	0011111101	0100000001	0100000001	0111111101	
	> sappre	arrang[7:0][63:	0] 010000	101	0000000000	)	0011111100	0011111100	0611111160	0011111100	0111111161	010000001	0111111100	010000001	000000000000000000000000000000000000000	0111111101	0000000001	
	> e sLLRinpu	st[2047:0]	001111	1.00		1110												
	> W SAPPOU	tput[7:0][63:0]	001111	1	0011111100		0000000000	00000001111	0000001111	0000001111				0011111100	1111111111			
	> W st 2000	put[7:0][22:0]	000000		200000000000000000000000000000000000000	1110	0000001111	2011111100	0011111100	0000000000	00000000011	1110011111001	1111100000000	1111110011111	10011111100000	100000000000000000000000000000000000000		
	> W sapping	ut[7:0][63:0]	001111		0000000000		0000000000	0011111100	0011111100	0011111100	0111111101	0011111100	0111111101	0011111100	0111111101	0011111100	0111111101	
	> # sC2Vinn	ut[7:0][22:0]	000000		0000001111		0000000000	0000000000.	0000000000	0000000000	0000000000	0000000000	0000000000	0000000000	0000001111	0000001111	0000000000	
	> W sBitOutr	ut[255:0]	000000	00 00	100000000000	00000	000000000000000000000000000000000000000	1		000000000000000000000000000000000000000	1	000000000000000000000000000000000000000		000000000000000000000000000000000000000				
	> 🖬 decode	[0:0]	0													0		
	> Miteration	1[3:0]	2									2						
	> 🖬 offset [5	:0]	000000								600	000						
	> 🖬 scale[3:	0]	0000								00	do						1
	⇒ ₩ lirinput[	2047:0]	000000	00 00	01111101111	1110	0111111011111	11001111110111:	111100111111011	11111001111110		100111111001111	.11011111110	000000000000	000000000000000000000000000000000000000	000000000000000000000000000000000000000	010010000000	
			<	> <								-	-					×
						_												-

รูปที่ 4.183 ผลการทดสอบ timing diagram ของระบบย่อย Polar decoder

จากรูปที่ 4.183 แสดงผลการทดสอบการถอดรหัสโพลาร์ตามมาตรฐาน 5G โดยระบบย่อย จะทำการถอดรหัสจากค่า LLR ที่มีสัญญาณชื่อ sLLRInput ส่งไปยังวงจรโหนดตรวจสอบและวงจร โหนดตัวแปรตามโครงสร้างเมทริกซ์ตรวจสอบพาริตีของรหัสโพลาร์ ที่ถูกสร้างขึ้นมาโดยเฉพาะ ผลลัพธ์การถอดรหัสจะถูกส่งออกมายังสัญญาณ sLLROutput เพื่อถูกนำไปเก็บไว้ในแรม สำหรับการ ถอดรหัส LDPC และรหัสโพลาร์สามารถใช้งานวงจรถอดรหัสร่วมกันได้ จึงมีชื่อสัญญาณที่คล้ายคลึง กัน

#### 4.3.14 ผลการทดสอบระบบย่อย Transmitter buffer

ระบบย่อย Transmitter buffer ทำหน้าที่พักข้อมูลที่รับจากส่วนต่าง ๆ ในวงจร รวมถึงแรม เพื่อส่งต่อไปยังคอมพิวเตอร์ โดยสัญญาณข้อมูลจากระบบย่อยต่าง ๆ จะถูกนำมาจัดเรียงเป็นชุดข้อมูล ความยาว 8 บิต โดยสามารถแยกประเภทชุดข้อมูลได้จากชุดข้อมูลส่วนหัว (header) ที่มีความยาว 8 บิตท โดยจะแสดงรายละเอียดระบบย่อย Transmitter buffer ดังรูปที่ 4.184 และแสดงผลการ ทดสอบระบบย่อย Transmitter buffer ดังรูปที่ 4.185



รูปที่ 4.184 รายละเอียดระบบย่อย Transmitter buffer



รูปที่ 4.185 ผลการทดสอบ timing diagram ของระบบย่อย Transmitter buffer

จากรูปที่ 4.185 แสดงผลการทดสอบสำหรับการพักข้อมูลจากระบบอื่น ๆ รวมถึงแรม เพื่อ ส่งต่อไปยังคอมพิวเตอร์ โดยสัญญาณประเภทหนึ่งจะถูกแบ่งชุดข้อมูลความยาว 8 บิต และถูกส่งไปยัง คอมพิวเตอร์ การส่งชุดข้อมูลไปยังคอมพิวเตอร์จะทำการส่งชุดข้อมูลส่วนหัวก่อนตามด้วยความยาว ของสัญญาณทั้งหมด จากนั้นชุดข้อมูลที่ถูกแบ่งความยาว 8 บิต จะถูกส่งต่อไปตามหลัง

#### 4.3.15 ผลการทดสอบระบบย่อย Serial transmitter

ระบบย่อย Serial transmitter ทำหน้าที่ส่งข้อมูลด้วยโพรโทคอล UART ไปยังคอมพิวเตอร์ โดยชิปเอฟพีจีเอ จะส่งข้อมูลทีละ 8 บิตต่อเวลาอย่างอนุกรมมายังคอมพิวเตอร์ แสดงรายละเอียด ระบบย่อย Serial transmitter ดังรูปที่ 4.186 โดยผลการทดสอบระบบย่อย Serial transmitter แสดงดังรูปที่ 4.187



รูปที่ 4.186 รายละเอียดระบบย่อย Serial transmitter

📲 RealTerm: Serial Capture Program 2.0.0.5	8	-	- 0 X
	0000         11111100         00001101           0001         0010000         10100010           1111         00110110         11001011           0111         11111010         01100101           0111         11111010         01100101           0110         1011010         01000101           1111         01100111         10100000           1110         01100101         11000001           1110         01100101         1000001           1111         00001101         00000110           1111         01000101         1000001           0111         010100101         0101110           0011         10001011         01011111           0000         01000101         010100101           1110         01100110         010011001           0011         101100110         00001001           0101         10011101         01001100           0101         10011101         01100110           0101         10011101         01100110           0101         10011101         10011001           0101         10011001         010011001           0101         10011001         010011001 <td></td> <td></td>		
Display   Port   Capture   Pins Send   Ec 0xC0 0 ^C LF Repeats 1 Dump File to Port c:\temp\capture.txt	Port 12C 12C-2 12CMisc Mi     Send Number     Send ASCI     Literal Strip Spaces     Send Eile Stop D	isc <u>in Cle</u>	Ear         Freeze
	<u>H</u> epeats Char Count:436	1	7 19200 8N1 None

รูปที่ 4.187 ผลการทดสอบ timing diagram ของระบบย่อย Serial transmitter

จากรูปที่ 4.187 แสดงผลการทดสอบการส่งข้อมูลจากระบบย่อย Serial receiver มายัง คอมพิวเตอร์ และถูกแสดงผลบนโปรแกรม terminal บนคอมพิวเตอร์ เพื่อตรวจสอบว่าค่าที่รับเข้าไป ยังระบบย่อยมีความถูกต้อง ผลการทดสอบดังกล่าวอาจแสดงผลการทดสอบร่วมกันของระบบย่อย Serial receiver และ Serial transmitter

# 4.4 ผลการทดสอบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์4.4.1 ผลการทดสอบการส่งข้อมูลจาก Computer ไปยังอุปกรณ์ FPGA

การทดสอบการส่งข้อมูลจาก Computer ไปยังอุปกรณ์ FPGA จะต้องส่งชุดบิตส่วนหัวก่อน จากนั้นตามด้วยชุดบิตข้อูมล และส่งชุดบิตส่วนหัวและชุดบิตข้อมูลให้ครบจำนวนประเภทข้อมูลของ แต่ละโหมดหรือโมดูลของการใช้งาน ในตัวอย่างแสดงดังรูปที่ 4.188 ได้ส่งข้อมูลสำหรับโมดูล random number generator ที่ประกอบไปด้วยส่วนหัวสำหรับโมดูลนี้ 0xC0 และชุดบิตข้อมูลที่บ่ง บอกความยาวของบิตที่จะถูกสุ่มขึ้นมาเท่ากับ 0x03 0x56 ซึ่งเท่ากับความยาว 854 บิต ชุดบิตข้อมูล ทั้งหมดจะถูกส่งผ่าน serial port ผ่านโพรโทคอล UART ไปยังอุปกรณ์ FPGA เพื่อให้อุปกรณ์ FPGA อ่านค่าและทำงานตามโปรแกรมที่ใส่ไว้ในอุปกรณ์ หลังจากที่อุปกรณ์ FPGA ได้รับค่าจากคอมพิวเตอร์ จะทำการอ่านค่าดังกล่าวทีละ 8 บิต โดยที่ 8 บิตแรกจะถูกตรวจจับสำหรับชุดบิตส่วนหัว เมื่อเจอชุด บิตส่วนหัวที่ถูกต้องตามโปรแกรม ค่า 8 บิตถัดไปจะถูกเก็บไว้ตามประเภทของส่วนหัว โดยจะทำการ นับชุดบิตข้อมูลละ 8 บิต เป็นจำนวนชุดตามที่ตั้งค่าไว้ในโปรแกรม เมื่อเก็บค่าชุดบิตข้อมูลตามจำนวน ที่ถูกต้อง อุปกรณ์ FPGA จะทำการตรวจจับส่วนหัวประเภทอื่นต่อไป เมื่อชุดบิตข้อมูลทั้งหมดถูก จัดเก็บทั้งหมดครบตามจำนวนประเภทของแต่ละโหมดหรือโมดูลแล้ว บิตข้อมูลเหล่านี้จะถูกส่งต่อไป ยังส่วนประมวลผลถัดไปภายในอุปกรณ์ FPGA รูปที่ 4.188 ชุดบิตข้อมูลทั้งหมดได้ถูกส่งผ่าน serial port แบบ enhanced ซึ่งมีหน้าที่ในการสะท้อน (echo) ค่าที่ส่งกลับมายังคอมพิวเตอร์ และสามารถ ชุดบิตข้อมูลที่ถูกสะท้อนได้บนโปรแกรมคอมพิวเตอร์

RealTerm: Serial Capture Program 2.0.0.57	_		×
10011011 10011011 11110011 11111011			
Display   Port   Capture   Pins   Send   Echo Port   12C   12C-2   12CMisc   Misc	Clear	Freeze	
0xC0 0x03 0x56		Status Discor	nnect 2)
✓     Send Numbers     Send ASCII     +CR     After       0 ^C     LF     Repeats     1     Literal     Strip Spaces     +crc     SMBUS 8 ✓			3) 3) 1)
Dump File to Port	r		9 61   1
		L Duog I	.
c:\temp\capture.txt Send File X Stop Delays 0		BREA	5) 3) K

รูปที่ 4.188 ชุดข้อมูลที่ส่งไปยังคอมพิวเตอร์

#### 4.4.2 ผลการทดสอบการส่งข้อมูลจากอุปกรณ์ FPGA ไปยัง Computer

การทดสอบการส่งข้อมูลจากอุปกรณ์ FPGA ไปยัง Computer จะต้องส่งชุดบิตส่วนหัวก่อน จากนั้นตามด้วยจำนวนส่วน ความยาวของชุดบิตข้อมูล และสุดท้ายตามด้วยชุดบิตข้อูมล จำนวนส่วน สามารถบ่งบอกคอมพิวเตอร์ได้ว่าส่วนหัวดังกล่าว จะมีการส่งชุดบิตข้อมูลเป็นจำนวนกี่ครั้ง ประเภท ของชุดบิตข้อมูลจะขึ้นอยู่กับแต่ละโหมดหรือโมดูลของการใช้งาน ในตัวอย่างแสดงดังรูปที่ 4.189 คอมพิวเตอร์ที่รับข้อมูลจากอุปกรณ์ FPGA จากโมดูล random number generator ที่ประกอบด้วย ส่วนหัว จำนวนส่วน ความยาวชุดบิตข้อมูล และชุดบิตข้อมูล เมื่อชุดบิตข้อมูลทั้งหมดถุกส่งไปยัง คอมพิวเตอร์ คอมพิวเตอร์จะรับชุดบิตข้อมูลทั้งหมดและทำการหั่นชุดบิตออกเป็นส่วน เพื่อตรวจจับ ชุดบิตส่วนหัว จำนวนส่วน ความยาวชุดบิตข้อมูล และบิตข้อมูล

📲 RealTerm: Serial Capture Program 2	.0.0.57		_	
$\begin{array}{cccccccccccccccccccccccccccccccccccc$	00000000         00101011         0010111           0100110         1110110         00111010           01011110         01111010         01111010           01011110         01110101         1110000           0100000         10111011         1000010           01100000         1011101         1000000           01100000         1011101         10100100           01101011         0100000         10101010           10010111         01010100         1000000           1001101         01010101         11101010           0001001         10101101         00010101           10011001         10101101         00010101           0001001         10101101         00010101           1001101         10101101         00010101           11001001         10101000         000001101           00110101         00110001         00100101           11000101         11000100         000001100           11000101         11000100         000001100           11000101         110001001         000001100           11000100         110000001         000001100           11001100         100001001         00000100	00100011 11100 01100111 11001 01011000 11000 00000100 11001 1100001 1001 11100001 10101 11001110 0111 1000110 10101 00000100 11101 0101110 10001 0111111 01001 10011101 10001 1001101 10001 00000110 10000 00000110 10000	100 110 001 100 111 110 010 011 001 000 000 000 010 101 000	
Display Port Capture Pins Send	Echo Port I2C I2C-2 I2CMisc N	lisc <u>\n</u>	<u>Clear</u> F	reeze
0xC0 0x03 0x56	<ul> <li>✓ Send Numbers</li> <li>✓ Send Numbers</li> <li>✓ Send Numbers</li> <li>✓ Send Numbers</li> <li>✓ Send Strip Spaces</li> </ul>	+CR +LF +CR +LF +CR +LF +CR +LF SMBUS 8		Status Disconnect RXD (2) TXD (3) CTS (8) DCD (1)
Dump File to Port				DSR (6)
c:\temp\capture.txt	Send <u>File</u>	Delays  0		Ring (9)   BREAK   Error
	Char Count:4	36 CPS:0	Port: 4 1920	00 8N1 None

รูปที่ 4.189 ชุดข้อมูลที่รับมาจากอุปกรณ์ FPGA

#### 4.5 ผลการทดสอบการทำงานของการ์ดเร่งความเร็ว FEC

#### 4.5.1 ทดสอบการทำงานแบบ AAL\_PDSCH

ทำการทดสอบโดยใช้โปรแกรมภาษา Python ให้เรียกใช้ XDMA เพื่อรับส่งข้อมูลสำหรับ AAL\_PDSCH ผลการทดสอบเป็นดังรูปที่ 4.190 ซึ่งพบว่าค่าถูกต้องเมื่อเทียบกับโปรแกรม GUI



รูปที่ 4.190 ผลการทดสอบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC

#### 4.5.2 ทดสอบการทำงานแบบ AAL\_PUSCH

ทำการทดสอบโดยใช้โปรแกรมภาษา Python ให้เรียกใช้ Driver XDMA เพื่อรับส่งข้อมูล สำหรับ AAL\_PUSCH ผลการทดสอบเป็นดังรูปที่ 4.191 ซึ่งพบว่าค่าถูกต้องเมื่อเทียบกับโปรแกรม GUI

Command Prompt X	+	v	-		×
C:\Users\ThanatS\Nextcloud LLR input: 110001110001101 10000001101001001001001 000101100001001	+ 1\Map 00011 00010 00100 00100 00100 01101 01101 01101 01010 10101 01010	<pre></pre>	- 0000111 001000 011000 01111 001111 01011 11110 010111 01001 010010	D11011 000012 001011 000000 110102 000100 000100 000100 000100 110111 101111 101111 101111 101111 101111	× 01 10 01 11 10 01 10 10 10 11 11 10 00 11 11
C:\Users\ThanatS\Nextcloud	l\Map	\Project\Xilinx\5G\PCIe\test>			



#### 4.6 ผลการทดสอบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์

#### 4.6.1 การจัดเตรียมฮาร์ดแวร์

ทำการตั้งค่าอุปกรณ์ FPGA ตามคู่มือกำหนดสำหรับการใช้งาน PCIe แล้วจึงนำอุปกรณ์เสียบ ลงบนเครื่องคอมพิวเตอร์ดังรูปที่ 4.192 และทำการตรวจสอบว่าอุปกรณ์ยังสามารถเปิดใช้งาน ตามปกติ



รูปที่ 4.192 ผลการทดสอบฮาร์ดแวร์หลังการจัดเตรียม

#### 4.6.2 ทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilinx

ทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express โดยการทำตามตัวอย่างใน คู่มือของ Xilinx ได้ผลดังรูปที่ 4.193 ซึ่งหมายความว่าระบบปฏิบัติการได้ตรวจพบอุปกรณ์ FPGA ตัว นี้เป็นหนึ่งในอุปกรณ์ต่อพ่วง PCIe



รูปที่ 4.193 ผลการทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilinx

### 4.7 ผลการทดสอบเว็บไซต์เผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสาร มาตรฐาน 5G

โครงการนี้สร้างเว็บไซต์เพื่อเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสาร โดยสามารถเข้าถึงได้ที่ <u>https://www.channelcoding.com</u> ภายในเว็บไซต์ประกอบด้วย 6 แถบ หลัก ได้แก่ หน้าแรก รหัสช่องสัญญาณ การมอดูเลชัน ช่องสัญญาณรบกวน ชุดการเรียนรู้และทดสอบ และเกี่ยวกับเรา โดยแต่ละแถบมีรายละเอียดดังนี้

#### 4.7.1 แถบหน้าแรก

แถบหน้าแรก เป็นแถบที่ประกอบด้วยหน้าต่างหน้าแรกซึ่งแสดงข้อมูลแนะนำเว็บไซต์ และผู้สนับสนุน เพื่อใช้ผู้ใช้เห็นภาพรวมของเว็บไซต์ นอกจากนี้ยังสามารถเข้าถึงบทความที่อัพเดท ล่าสุดและบทความแนะนำจากแถบด้านขวาของหน้าต่าง ผลการทดสอบเว็บไซต์หน้าต่างหน้าแรก แสดงดังรูปที่ 4.194



รูปที่ 4.194 ผลการทดสอบเว็บไซต์หน้าต่างหน้าแรก

#### 4.7.2 แถบรหัสช่องสัญญาณ

แถบรหัสช่องสัญญาณ เป็นแถบที่ประกอบด้วยเนื้อหา 4 เรื่อง ดังแสดงในรูปที่ 4.195 โดยแต่ละเรื่องจะประกอบด้วยหน้าต่างแสดงรายละเอียดเนื้อหาของเรื่องย่อยดังตารางที่ 4.2 และ ตัวอย่างหน้าต่างเนื้อหาเรื่อง "ช่องสัญญาณคืออะไร" แสดงรูปที่ 4.196

ชื่อเรื่อง	รายการเรื่องย่อย
รหัสช่องสัญญาณคืออะไร	รหัสช่องสัญญาณคืออะไร
รหัสช่องสัญญาณที่ได้ความนิยม	รหัสแฮมมิ่ง
	รหัสเทอร์โบ
	รหัส LDPC
	รหัสโพลาร์
มาตรฐาน 5G (3GPP NR)	การสื่อสารไร้สายยุคที่ 5
	ประเภทของรหัสช่องสัญญาณในมาตรฐาน 5G
	ความเป็นมาของมาตรฐานการเข้ารหัส 5G
	การเข้ารหัสแอลดีพีมาตรฐาน 5G
	การเข้ารหัสโพลาร์มาตรฐาน 5G
มาตรฐาน Wi-Fi (IEEE 802.11)	ความเป็นมามาตรฐาน IEEE 802.11
	วิวัฒนาการของมาตรฐาน IEEE 802.11
	ลักษณะการเชื่อมต่อของอุปกรณ์ IEEE 802.11
	การเข้ารหัส LDPC IEEE 802.11

ตารางที่ 4.2 รายการเนื้อหาภายในแถบรหัสช่องสัญญาณ



## รูปที่ 4.195 ผลการทดสอบเว็บไซต์ตัวเลือกเนื้อหาในแถบรหัสช่องสัญญาณ



#### รหัสช่องสัญญาณคืออะไร

การสื่อสารติจิตอลโดยทั่วไปล่วนต้องการสื่อสารอย่างมีประสิทธิภาพหรือปราศจากข้อผิดพลาดเกิดขึ้นกับข้อมูลใน ฝั่งภาครับ แต่อย่างไรก็ตาม เนื่องจากในสภาพอากาศมีสิ่งรบกวนจำนวนมาก เช่น การรบกวนจากฝน สัญญาณ รบกวนแบบจางหาย รวมถึงความร้อนจากวงจรอิเล็กทรอนิกส์ ดังนั้นการที่จะทำให้การสื่อสารของเราปราศจากข้อ ผิดพลาดเลยจึงเป็นไปได้ยาก

รหัสช่องสัญญาณ (channel coding) หรือเรียกอีกชื่อหนนึ่งว่า รหัสแก้ไขความผิดพลาด เป็นองค์ประกอบ สำคัญในระบบสื่อสารดิจิทัลที่ขาดไม่ได้ เนื่องจากรหัสช่องสัญญาณทำให้การรับส่งข้อมูลดิจิทัลปราศจากบิดผิด รหัสช่องสัญญาณจะทำการเพิ่มบิดตรวจสอบ (parity bits) ไปกับข้อมูลผู้ใช้งาน โดยที่ภาครับจะนำบิดดังกล่าว นั้นมาตรวจสอบความผิดพลาดที่เกิดขึ้นจากความผิดปกดิของช่องสัญญาณแต่ละแบบได้ ๆ



#### อัพเดทล่าสุด

การม<mark>อดูเ</mark>อชั้น

ช่องสัญญาณ AWGN

ชุดการเรียนรู้และทดสอบ กรณีใช้งานบน คอมพิวเตอร์

ชุดการเรียนรู้และทดสอบ กรณีใช้งานบน คอมพิวเตอร์ร่วมกับอุปกรณ์ FPGA

รหัสคอ<mark>นโว</mark>ลูชัน

รูปที่ 4.196 ผลการทดสอบเว็บไซต์หน้าต่างช่องสัญญาณคืออะไร
## 4.7.3 แถบการมอดูเลชั่น

แถบการมอดูเลชัน เป็นแถบแสดงเนื้อหาเกี่ยวกับการมอดูเลชันมาตรฐาน 5G ซึ่งประกอบด้วย 7 รูปแบบ ได้แก่ π/2-BPSK, BPSK, QPSK, 16QAM, 64QAM, 256QAM และ 1024QAM โดยเนื้อหา แต่ละรูปแบบการมอดูเลชันจะแสดงแบบ Toggle ซึ่งผู้ใช้สามารถย่อหรือขยายเพื่อเลือกดูรูปแบบการ มอดูเลชันที่สนใจได้ ตัวอย่างผลการทดสอบเว็บไซต์หน้าต่างการมอดูเลชันแสดงดังรูปที่ 4.197

Channel Coding	
หม้าแรก รหัสช่องสัญญาณ <del>- การมอดูเลชั้น</del> ช่องสัญญาณรบกวน <del>-</del> ชุดการเรียบรู้และพดสอบ <del>-</del>	เกี่ยวกับเรา Q
การมอดูเลชัน	อัพเดทล่าสุด
การมอดูเลขัน (Modulation) เป็นการแมปสัญญาณข่าวสารที่เป็นบิด '0' หรือ '1' ให้อยู่ในรูปของสัญญาณ สัญญาณส่ง โดยในมาตรฐาน 5G กำหนดรูปแบบการมอดูเลขันใว้ 7 รูปแบบ ดังนี้	การมอดูเลขัน ช่องสัญญาณ AWGN ชุดการเรียนรู้และทดสอบ กรณีใช้งานบน คอมพิวเตอร์
^ การมอดูเลขันแบบ π/2-BPSK	ชุดการเรียนรู้และทดสอบ กรณีใช้งานบน คอมพิวเตอร์ร่วมกับอุปกรณ์ FPGA
กำหนดให้ $b(i)$ แทนบิดข้อมูลบิดที่ i ในสัญญาณข่าวสาร สัญลักษณ์เช็งซ้อน $d(i)$ ในสัญญาณส่งเมื่อมีการ มอดูเลขันแบบ π/2-BPSK สามารถหาได้จาก	รหัสคอนโวลูขัน
$d(i) = rac{\exp^{jrac{\pi}{2}(i  m mod 2)}}{\sqrt{2}} \left[ (1-2b(2i)) + j(1-2b(2i))  ight]$	
แผนภาพคอบสเตลเลขันของการมอดูเลขันแบบ π/2-BPSK แสดงดังรูป โดยหนึ่งจุดบนคอบสเตลเลขัน แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 1 บิด และ $n_m=rac{1}{\sqrt{2}}$ แทนด้วปรับมาดรฐาน (Normalization Factor) สำหรับการมอดูเลขันแบบ π/2-BPSK	
pi2bpsk Constellation (Even) antra beg -1 -1 -1 -1 -1 -1 -1 -1 -1 -1	

รูปที่ 4.197 ผลการทดสอบเว็บไซต์หน้าต่างการมอดูเลชัน

Inphase

. (n<sub>m</sub>)

Inphase

. (n<sub>m</sub>)

## 4.7.4 แถบช่องสัญญาณรบกวน

แถบช่องสัญญาณรบกวน เป็นแถบแสดงเนื้อหาเกี่ยวกับช่องสัญญาณ AWGN ซึ่งประกอบไป ด้วยนิยามของช่องสัญญาณ AWGN สมการที่สำคัญ และรูปภาพประกอบ ตัวอย่างผลการทดสอบ เว็บไซต์หน้าต่างช่องสัญญาณ AWGN แสดงดังรูปที่ 4.198

Channel Coding	
หม้าแรก รนัสช่องสัญญาณ <b>ฯ การบอดุเลขัน <mark>ช่องสัญญาณรบกวน ∗</mark> ชุดการเรียบรู้และหดสอบ </b> ∙	เกี่ยวกัมเรา Q
ช่องสัญญาณ AWGN	อัพเดทล่าสุด
ช่องสัญญาตเรบกวนเกาส์เซียนขาวแบบบวก (Additive White Gaussian Noise) หรือ AWGN คือรูปแบบช่อง สัญญาณพื้นฐานตามทฤษฎีข่าวสารเพื่ออธิบายถึงปรากฏการณ์ของกระบวนการสุ่มที่เกิดขึ้นในธรรมชาติ รวมถึงใน ระบบการสื่อสาร สัญญาตเรบกวนประเภทนี้มักใช้ในการอธิบายสัญญาตเพ็นหลัง โดยอาจเกิดขึ้นจากธรรมชาติหรือ อุณหภูมิของอุปกรณ์ในระบบ เรียกว่าสัญญาตเรบกวนเชิงความร้อนได้ และสัญญาตแรบกวนที่เกิดขึ้นในช่อง สัญญาณนี้คือสัญญาตเรบกวนเกาส์เซียน (Gaussian Noise) โดยต่าศัพท์ดังกล่าวประกอบไปด้วยค่า 3 ค่า ดังนี้ 1. บวก (Additive) เนื่องจากสัญญาตประเภทนี้ถูกเพิ่มหรือบวกเข้าไปยังระบบหรือช่องสัญญาตเ	การมอดูเลขัน ช่องสัญญาณ AWGN ชุดการเรียนรู้และทดสอบ กรณีไข้งานบน ดอมพิวเตอร์ ชุดการเรียนรู้และทดสอบ กรณีไข้งานบน ดอมพิวเตอร์รวมกับอุปกรณ์ FPGA รหัสคอนโวลูขัน
2. ขาว (White) อางถงดวามหนานหนกาลงของสเบกตรม (Power spectral Density) ทมลกษณะสมาเสมอ เน โดเมนดวามถึภายในระบบหรือช่องสัญญาณ ซึ่งลักษณะต่าง ๆ จะถูกแทนด้วยชื่อสีและสีขาวจะมีลักษณะ สม่าเสมอ	
3. เกาสเซอน (Gaussian) อางองความหนาแนน (Density) หมลกษณะการกระจายเกาส์เซียน (Gaussian Distribution) หรือการกระจายเกาส์เซียน (Gaussian Distribution) ในโดเมนเวลาภายในระบบหรือข่องสัญญาณ $\overline{x(t)}$	
รูปที่ 1 แบบจำลองข่องสัญญาณ AWGN	
รูปที่ 4.198 ผลการทดสอบเว็บไซต์หน้าต่างช่องส	ัญญาณ AWGN
4.7.5 แถบชุดการเรียนรู้และทดสอบ	

แถบชุดการเรียนรู้และทดสอบ เป็นประกอบด้วย 2 หน้าต่าง ได้แก่ หน้าต่างกรณีใช้งานบน คอมพิวเตอร์ และใช้งานบนคอมพิวเตอร์ร่วมกับอุปกรณ์ FPGA ดังแสดงในรูปที่ 4.199 - รูปที่ 4.200 โดยทั้งสองหน้าต่างจะแสดงตัวอย่างการเรียกใช้งาน Module พร้อมทั้งอธิบายองค์ประกอบของ ซอฟต์แวร์ GUI โดยผู้ใช้สามารถดาวน์โหลดซอฟต์แวร์ GUI เนื้อหาความรู้ และแบบฝึกหัด บริเวณ ส่วนท้ายของหน้าต่างเว็บไซต์ ดังแสดงในรูปที่ 4.201 นอกจากนี้บนต่างเว็บไซต์ยังมีวิดีโอแสดงตัวอย่าง การใช้งานซอฟต์แวร์ GUI ดังแสดงในรูปที่ 4.202



รูปที่ 4.199 ผลการทดสอบเว็บไซต์หน้าต่างชุดการเรียนรู้และทดสอบกรณีใช้งานบนคอมพิวเตอร์

เข้าแรก รหัสช่องสัญญาณ - การมออุเคชัน ช่องสัญญาณรบกวน - 2	ดการเรียนรู้และทดสอบ 🔹	เกี่ยวคับเรา
ดการเรียนรู้และทดสอบ กรณีใช้งานบน อมพิวเตอร์ร่วมกับอุปกรณ์ FPGA		<u>อัพเดหล่าสุด</u> การมอดเอชัน
องจากการทดสอบสมรรถนะของฟิลิศัลเลเยอร์มาตรฐาน 5G บนคอมพิวเตอร์จะไข้ระยะเ รียได้พัฒนาอุปกรณ์ FPGA เพื่อช่วยประมวลผลฟิลิศัลเลเยอร์ รับวิจัยได้ออกแบบ	วลาที่นาน ทำให้ พืม ให้อุปกรณ์ FPGA เชื่อม	ช่องสัญญาณ AWGN ชุดการเรียนรู้และทดสอบ กรณีใช้งานบร คอบชื่วเตอร์
มขอรัฟแวร์แสดงผล ซึ่งประกอบด้วย 4 แถบ โต้แก่ ชุดการเรียนรู้การมอดุเลชัมและดืมอ G Modulation) ชุดการเรียนรู้การเข้ารหัสและถอดรหัสมาตรฐาน 5G (5G Channel Coc เชบวนการทำงานฟิลิคัลเลเยอร์ชั้นสูง 5G (5G High Physical Layer) และชุดทดสอบสม	แลขันมาตรฐาน 5G ing) ชุดการเรียนรู้ รรถนะมาตรฐาน 5G	ชุดการเรียนรู้และทดสอบ กรณีใช้งานบ คอมพิวเตอร์ร่วมกับอุปกรณ์ FPGA
ดม Ingened	PSA band	
	ALCOLOGICAL STREET	
Standar     Standar     Standar     Standar	Britan	
	Input Generator	
	Figure denomator           Modulation	
	Nqui Generator Mochulator Nalia Generator	

รูปที่ 4.200 ผลการทดสอบเว็บไซต์หน้าต่างชุดการเรียนรู้และทดสอบ กรณีใช้งานบนคอมพิวเตอร์ร่วมกับอุปกรณ์ FPGA



พัฒนาด้วยภาษา Python เพื่อแสดงผลลัพธ์กระบวนการต่าง ๆ ในฟิสิคัลเลเยอร์มาตรฐาน 5G



รูปที่ 4.201 ส่วนสำหรับดาวน์โหลดซอฟต์แวร์ GUI และเอกสารประกอบ บนหน้าต่างชุดการเรียนรู้และทดสอบ

# ตัวอย่างการใช้งาน GUI



รูปที่ 4.202 แสดงวิดีโอสาธิตการใช้งานซอฟต์แวร์ GUI บนหน้าต่างชุดการเรียนรู้และทดสอบ

## 4.7.5 แถบเกี่ยวกับเรา

แถบเกี่ยวกับเรา เป็นแถบที่ประกอบด้วยหน้าต่างเกี่ยวกับเรา ซึ่งแสดงข้อมูลผู้สนับสนุน โครงการ ข้อมูลติดต่อและข้อมูลความเชี่ยวชาญของทีมผู้พัฒนาโครงการ ดังแสดงในรูปที่ 4.203



มส.ดร. เวธิต กาคย์พิสุทธิ์ หัวหน้าทีม

ผู้พัฒนาเว็บไซต์

นายศีรวิชญ์ กิตติวิชญกุล ww.channelcoding.com





น.ส.กฤติยากรณ์ เหมือดขุนทด ผ้พัฒนาหน้าต่างผู้ใช้และ





นายอนุสรณ์ วงค์สา นายธนัช ศรีสุดา ผู้ทัฒนาวงจร 5G Polar Codes บน ผู้ทัฒนาวงจร 5G LDPC Codes บน

# รูปที่ 4.203 ผลการทดสอบเว็บไซต์หน้าต่างเกี่ยวกับเรา

## 4.8 ผลการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสารมาตรฐาน 5G ใน มหาวิทยาลัย

## 4.8.1 ภาพรวมของการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะในมหาวิทยาลัย

การเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะในมหาวิทยาลัยเพื่อให้นักศึกษาได้เรียนรู้และ ทดสอบได้ถูกจัดขึ้นที่มหาวิทยาลัย 5 แห่ง ได้แก่

- สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตนครราชสีมา
- มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตขอนแก่น
- มหาวิทยาลัยขอนแก่น
- จุฬาลงกรณ์มหาวิทยาลัย

การเผยแพร่ชุดการเรียนรู้มี 2 ส่วนคือการให้ความรู้พื้นฐานที่เกี่ยวข้องกับระบบสื่อสารใน มาตรฐาน 5G และการทดสอบใช้งานซอฟต์แวร์ชุดการเรียนรู้ระบบสื่อสารมาตรฐาน 5G ในส่วนของ การให้ความรู้พื้นฐานได้มีการจัดทำเอกสารให้ความรู้ และมีแบบฝึกหัดให้นักศึกษาได้ทดสอบความ เข้าใจในความรู้พื้นฐานดังแสดงในหัวข้อถัดไป

การถ่ายทอดความรู้พื้นฐานบรรยายโดยวิทยากร 4 ท่านได้ แก่ รศ.ดร.เวธิต ภาคย์พิสุทธิ์ นางสาวกฤติยาภรณ์ เหมือดขุนทด นายจตุพร ด้วงทอง และนายอนุสรณ์ วงค์ษา ในการบรรยาใน ช่วงแรกโดย รศ.ดร.เวธิต ภาคย์พิสุทธิ์ ซึ่งมีเนื้อหาในการบรรยายที่เกี่ยวข้องกับภาพรวมของมาตรฐาน สื่อสาร 5G เพื่อปูให้นักศึกษาที่เข้าฟังการบรรยายได้เห็นภาพรวมของการสื่อสารมาตรฐาน 5G การ บรรยายในช่วงที่ 2 โดยนางสาวกฤติยาภรณ์ เหมือดขุนทด ซึ่งมีเนื้อหาในการบรรยายที่เกี่ยวข้องกับ ระบบสื่อสาร 5G ในส่วนของการมอดูเลชันมาตรฐาน 5G และช่องสัญญาณในระบบสื่อสารได้แก่ AWGN (Adaptive white Gaussian noise) และช่องสัญญาณการจางหาย การบรรยายในช่วงที่ 3 โดยนายจตุพร ด้วงทอง ซึ่งมีเนื้อหาในการบรรยายเกี่ยวข้องกับรหัสช่องสัญญาณ ได้แก่ รหัส LDPC (Low-density parity-check) ที่ถูกใช้งานในมาตรฐาน 5G เพื่อปกป้องข้อมูลผู้ใช้จากความผิดพลาด ที่เกิดจากสัญญาณรบกวน การบรรยายในช่วงสุดท้ายโดยนายอนุสรณ์ วงค์ษา ซึ่งมีเนื้อหาบรรยาย เกี่ยวกับรหัสช่องสัญญาณที่เป็นรหัสโพลาร์ (Polar) ซึ่งถูกใช้เพื่อป้องกันสัญญาณควบคุมจากสัญญาณ รบกวน หลังจากจบการบรรยายนักศึกษาได้ลองใช้ชุดชอฟต์แวร์การเรียนรู้โดยให้มีการปรับ ค่าพารามิเตอร์ต่างๆ เพื่อดูผลลัพธ์ซึ่งเป็นการนำความรู้ที่ได้จากการบรรยายมาใช้ ทำให้นักศึกษามี ความเข้าใจมากยิ่งขึ้นและทำให้มีความสนุกในการเรียนรู้

# 4.8.2 สรุปการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะในมหาวิทยาลัย

1) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิชา Telecommunications Laboratory วันที่จัดอบรม ครั้งที่ 1: 5 กุมภาพันธ์ 2567 ครั้งที่ 2: 12 กุมภาพันธ์ 2567 ครั้งที่ 3: 13 มีนาคม 2567 จำนวนนักศึกษาที่เข้าร่วม 96 คน ภาพบรรยากาศการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะแสดงดังรูปที่ **4.204** 



รูปที่ 4.204 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง 2) มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตนครราชสีมา

วิชา Industrial Data Communications

วันที่จัดอบรม 16 กุมภาพันธ์ 2567

จำนวนนักศึกษาที่เข้าร่วม 50 คน

ภาพบรรยากาศการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะแสดงดังรูปที่ 4.205





# รูปที่ 4.205 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตนครราชสีมา

3) มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตขอนแก่น

วิชา Data Communication วันที่จัดอบรม 19 กุมภาพันธ์ 2567 จำนวนนักศึกษาที่เข้าร่วม 15 คน ภาพบรรยากาศการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะแสดงดังรูปที่ 4.206





รูปที่ 4.206 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตขอนแก่น

## 4) มหาวิทยาลัยขอนแก่น

วิชา Forward Error Correcting Coding วันที่จัดอบรม 20 กุมภาพันธ์ 2567 จำนวนนักศึกษาที่เข้าร่วม 20 คน

ภาพบรรยากาศการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะแสดงดังรูปที่ 4.207





รูปที่ 4.207 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่มหาวิทยาลัยขอนแก่น

5) จุฬาลงกรณ์มหาวิทยาลัย

วิชา Digital Communications

วันที่จัดอบรม 18 มีนาคม 2567

จำนวนนักศึกษาที่เข้าร่วม 8 คน

ภาพบรรยากาศการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะแสดงดังรูปที่ 4.208



รูปที่ 4.208 บรรยากาศการเผยแพร่ชุดการเรียนรู้ที่จุฬาลงกรณ์มหาวิทยาลัย

## 4.9 ผลการเผยแพร่ข้อมูลการออกแบบการ์ดเร่งความเร็วในโครงข่าย O-RAN ใน บริษัทเอกชน

นอกจากการเผยแพร่ผลผลิตของโครงการวิจัยให้แก่อาจารย์ในมหาวิทยาลัยต่าง ๆ เพื่อ นำไปใช้เป็นสื่อสารการสอนแก่นักศึกษา โครงการวิจัยนี้ ยังได้ติดต่อบริษัทเอกชนที่มีการดำเนินธุรกิจ เกี่ยวข้องกับเทคโนโลยีหรือผลผลิตของโครงการวิจัย เพื่อทำให้ทราบถึงการพัฒนาอุปกรณ์ FPGA ที่ ได้รับการสนับสนุนจากหน่วยงาน กสทช. โดยทำการติดต่อบริษัทจำนวน 2 บริษัท ได้แก่

1. บริษัท พาซเวรี่ จำกัด ปัจจุบันดำเนินธุรกิจด้านการออกแบบระบบประมวลผลสัญญาณ ให้แก่บริษัทผู้ผลิตชิปที่ประเทศสหรัฐอเมริกา โดยระบบประมวลผลสัญญาณดังกล่าวจะถูกนำไปใช้ใน อุปกรณ์บันทึกข้อมูลดิจิทัล เช่น อุปกรณ์จำพวก hard disk drive และ solid-state drive นอกจาก ระบบประมวลผลสัญญาณแล้ว บริษัท พาซเวรี่ จำกัด ยังมีประสบการณ์ในการออกแบบรหัส ช่องสัญญาณเช่น LDPC codes ด้วยเช่นกัน อย่างไรก็ตาม ทางบริษัทมิได้ออกแบบรหัสช่องสัญญาณ หรือระบบประมวลผลสัญญาณของอุปกรณ์สื่อสารไร้สาย 5G ทั้งนี้ จากการหารือ ผู้วิจัยได้รับ คำแนะนำที่สามารถนำมาประยุกต์ใช้ในการออกแบบอุปกรณ์สื่อสารไร้สาย 5G ได้ รวมถึงได้รับการ สนับสนุนในเชิงเทคนิคเพื่อผลักดันงานวิจัยหรือการพัฒนาอุปกรณ์ FPGA ในอนาคต เพื่อให้สามารถ แข่งขันกับบริษัทเทคโนโลยีของต่างประเทศได้

2. บริษัท ดีไซน์ เกทเวย์ อินเตอร์เนชั่นแนล จำกัด ปัจจุบันดำเนินธุรกิจด้านการออกแบบ อุปกรณ์ FPGA ให้แก่บริษัทต่างประเทศ ทั้งนี้ บริษัทจะมุ่งเน้นการออกแบบกระบวนการอ่านและ เขียนหน่วยความจำเท่านั้น มิได้มีการออกแบบที่เกี่ยวข้องกับเทคโนโลยีสื่อสาร 5G อย่างไรก็ตาม จาก การที่ได้นำเสนอผลผลิตเบื้องต้นของโครงการ ทาง บริษัท ดีไซน์ เกทเวย์ อินเตอร์เนชั่นแนล มีความ สนใจที่สนับสนุนและส่งเสริมการพัฒนาอุปกรณ์ FPGA ในมหาวิทยาลัยเพื่อผลิตบุคลากรเข้าสู่ ตลาดแรงงานไทย ซึ่งปัจจุบันประเทศไทยมีบุคลากรที่เชี่ยวชาญ FPGA อย่างจำกัด แตกต่างจาก ประเทศที่มีเทคโนโลยีชั้นสูง นอกจากนี้ ทางบริษัทมีความยินดีที่จะช่วยสอบถามกับลูกค้าต่างประเทศ ของบริษัท เพื่อสอบถามความต้องการของผลผลิตที่โครงการนี้จัดทำขึ้น

# บทที่ 5 สรุปผลการวิจัย และข้อเสนอแนะ

โครงการวิจัยนี้มีเป้าหมาย 2 ด้านได้แก่ 1) มิติด้านการศึกษาวิศวกรรมโทรคมนาคม และ 2) มิติด้านการพัฒนาอุปกรณ์โทรคมนาคมต้นแบบ โดยสรุปผลการวิจัยและข้อเสนอแนะของแต่ละ เป้าหมายมีดังต่อไปนี้

1) มิติด้านการศึกษาวิศวกรรมโทรคมนาคม

ทีมวิจัยมีความประสงค์ที่จะพัฒนาอุปกรณ์การศึกษาที่สอดคล้องกับเทคโนโลยีสื่อสารใน ปัจจุบัน โดยทีมวิจัยได้ศึกษามาตรฐาน 3GPP TS 38.212 ซึ่งกำหนดกระบวนการเข้ารหัส ช่องสัญญาณและมาตรฐาน 3GPP TS 38.211 ซึ่งกำหนดการมอดูเลชันที่ใช้ในการสื่อสารไร้สายยุค 5G โดยทีมวิจัยได้พัฒนาซอฟต์แวร์ที่สอดคล้องกับมาตรฐานดังกล่าวด้วยภาษา python เพื่อให้ นักศึกษามีความรู้ความเข้าใจอย่างลึกซึ้ง นอกจากนี้ ทีมวิจัยได้พัฒนาซอฟต์แวร์ประเภท GUI เพื่อ อธิบายเทคนิคการมอดูเลชัน การเข้ารหัสช่องสัญญาณ และการส่งข้อมูลผ่านช่องสัญญาสื่อสารไร้สาย โดยนักศึกษาสามารถทำการเรียนรู้ขั้นตอนต่าง ๆ ของการสื่อสารมาตรฐาน 5G อีกทั้ง สามารถ กำหนดอินพุตและทดสอบหาเอาต์พุตของขั้นตอนต่าง ๆ ได้โดยง่าย ทีมวิจัยได้จัดทำเอกสารที่มีเนื้อหา ทฤษฎีและปฏิบัติ (รายละเอียดอยู่ในภาคผนวก ก และ ข) เพื่อใช้ในการจัดการเรียนการสอนใน มหาวิทยาลัย ปัจจุบัน ซอฟต์แวร์และเอกสารนี้ถูกใช้ในการจัดการเรียนการสอนของหลักสูตร วิศวกรรมโทรคมนาคม เช่น สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง มหาวิทยาลัย เทคโนโลยีราชมงคลอีสาน มหาวิทยาลัยขอนแก่น จุฬาลงกรณ์มหาวิทยาลัย เป็นต้น

ทีมวิจัยได้พัฒนาเว็บไซต์ <u>https://www.channelcoding.com</u> เพื่อเผยแพร่เนื้อหาความรู้ ด้านรหัสช่องสัญญาณและซอฟต์แวร์เข้ารหัสที่ทีมวิจัยได้พัฒนาขึ้น อีกทั้งเผยแพร่เอกสารต่าง ๆ ทีม วิจัยคาดหวังว่าซอฟต์แวร์ที่พัฒนาขึ้นจะสามารถทำให้นักศึกษาไทยที่ศึกษาในด้านวิศวกรรม โทรคมนาคมมีความรู้ความเข้าใจเทคโนโลยีที่ใช้อยู่ในปัจจุบัน และก่อให้เกิดแรกผลักดันที่ทำให้ นักศึกษาอยากที่จะพัฒนาเทคโนโลยีด้านวิศวกรรมโทรคมนาคมขึ้นมาใช้งานเอง

2) มิติของการพัฒนาอุปกรณ์โทรคมนาคมต้นแบบ

ทีมวิจัยมีความประสงค์ที่จะพัฒนาอุปกรณ์เข้ารหัสและถอดรหัสช่องสัญญาณ อุปกรณ์มอดูเล ขัน อุปกรณ์สร้างสัญญาณรบกวน ที่สามารถนำไปต่อเชิงพาณิชย์ได้ ทีมวิจัยได้ศึกษามาตรฐาน 3GPP TS 38.212 และ 3GPP TS 38.211 เพื่ออ้างอิงการออกแบบอุปกรณ์เช่นเดียวกับการออกแบบ ซอฟต์แวร์ ทีมวิจัยได้พัฒนาบนอุปกรณ์ประเภท FPGA โดยทีมวิจัยได้เลือกใช้ภาษา VHDL โดย อุปกรณ์ประเภท FPGA นี้สามารถเชื่อมต่อกับซอฟต์แวร์ประเภท GUI เพื่อแสดงผลลัพธ์การทำงาน ของอุปกรณ์ประเภท FPGA ได้ เพื่อให้บริษัทและนักเรียนได้เห็นว่าอุปกรณ์สามารถทำงานได้จริง นอกจากนี้ ทีมวิจัยได้เผยแพร่การพัฒนาอุปกรณ์ประเภท FPGA ให้บริษัทไทยจำนวน 2 ราย เพื่อ ได้รับทราบถึงโอกาสและแนวทางการพัฒนาอุปกรณ์โทรคมนาคมต้นแบบ ทีมวิจัยคาดหวังว่าต้นแบบ วงจรเข้ารหัสมาตรฐาน 3GPP TS 38.212 และ 3GPP TS 38.211 มาพัฒนาบนอุปกรณ์ประเภท FPGA นี้จะถูกนำไปพัฒนาต่อยอดและนำไปสู่การสร้างอุตสาหกรรมใหม่ของประเทศไทย

## บรรณานุกรม

- P. L'Ecuyer, "Maximally Equidistributed Combined Tausworthe Generators," *Mathematics of Computation*, vol. 65, no. 213, pp. 203-213, 1996.
- [2] ETSI, "LTE; evolved universal terrestrial radio access (E-UTRA);," European Telecommunications Standards Inst., 2014.
- [3] A. G. a. P. T. C. Berrou, "Near Shannon limit error-correcting coding and decoding : turbocodes," in *In International Conference on*, Geneva, 1993.
- [4] R. G. Gallager, Low-Density Parity-Check Codes, USA: MIT Press, 1963.
- [5] IEEE, "IEEE Standard for Information technology Telecommunications and information exchange between systems Local and metropolitan area networks Specific requirements Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amend," IEEE Std 802.11n-2009, 2009.
- [6] ETSI, "Digital Video Broadcasting (DVB), Second Generation Framing Structure, Channel Coding and Modulation Systems for Broadcasting, Interactive Services, News Gathering and Other Broadband Satellite Application," 2004.
- [7] E. Arıkan, "Channel polarization: A method for constructing capacity-achieving codes for symmetric binary-input memoryless channels," *IEEE Trans. Inf. Theory*, vol. 55, pp. 3051-3073, 2009.
- [8] R. M. Tanner, "A recursive approach to low complexity codes," *IEEE Trans on Inform Theory*, Vols. IT-27, no. 5, pp. 533-547, 1981.
- [9] D. D. a. R. W. T.-Y. Chen, "Protograph-based Raptor-like LDPC codes with low thresholds," in *Proc. IEEE ICC*, 2012.
- [10] 3rd Generation Partnership Project (3GPP), "Multiplexing and channel coding," 3GPP TS38.212 V.15.2.0, 2018.
- [11] AMD, "Soft-Decision QAM Demodulator Design on AI Engine (XAPP1388)," 20 04 2023.[Online]. Available: https://docs.amd.com/r/en-US/xapp1388-sd-qam-demod.

- [12] O.-R. Alliance, O-RAN Alliance, "O-RAN Acceleration Abstraction Layer General Aspects and Principles," O-RAN.WG6.AAL-GAnP.0-v04.00, 2022., 2022.
- [13] 3GPP, 3rd Generation Partnership Project (3GPP), "Physical layer procedures for data,"3GPP TS 38.214 V16.2.0, 2020, 2020.
- [14] S. a. P. S. a. J. B. a. P. I.-C. Lee, "Multi-Mode QC-LDPC Decoding Architecture With Novel Memory Access Scheduling for 5G New-Radio Standard," *IEEE Transactions on Circuits* and Systems I: Regular Papers, vol. 69, no. 5, pp. 2032-2048, 2022.
- [15] 3rd Generation Partnership Project (3GPP), "Physical channel and modulation," 3GPP TS38.211 V.17.4.0, 2022.
- P. L'Ecuyer, "Maximally Equidistributed Combined Tausworthe Generators," *Mathematics of Computation*, vol. 65, no. 213, pp. 203-213, 1996.
- [2] ETSI, "LTE; evolved universal terrestrial radio access (E-UTRA);," European Telecommunications Standards Inst., 2014.
- [3] A. G. a. P. T. C. Berrou, "Near Shannon limit error-correcting coding and decoding : turbocodes," in *In International Conference on*, Geneva, 1993.
- [4] R. G. Gallager, Low-Density Parity-Check Codes, USA: MIT Press, 1963.
- [5] IEEE, "IEEE Standard for Information technology Telecommunications and information exchange between systems Local and metropolitan area networks Specific requirements Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amend," IEEE Std 802.11n-2009, 2009.
- [6] ETSI, "Digital Video Broadcasting (DVB), Second Generation Framing Structure, Channel Coding and Modulation Systems for Broadcasting, Interactive Services, News Gathering and Other Broadband Satellite Application," 2004.

- [7] E. Arıkan, "Channel polarization: A method for constructing capacity-achieving codes for symmetric binary-input memoryless channels," *IEEE Trans. Inf. Theory*, vol. 55, pp. 3051-3073, 2009.
- [8] R. M. Tanner, "A recursive approach to low complexity codes," *IEEE Trans on Inform Theory*, Vols. IT-27, no. 5, pp. 533-547, 1981.
- [9] D. D. a. R. W. T.-Y. Chen, "Protograph-based Raptor-like LDPC codes with low thresholds," in *Proc. IEEE ICC*, 2012.
- [10] 3rd Generation Partnership Project (3GPP), "Multiplexing and channel coding," 3GPP TS38.212 V.15.2.0, 2018.
- [11] AMD, "Soft-Decision QAM Demodulator Design on AI Engine (XAPP1388)," 20 04 2023.[Online]. Available: https://docs.amd.com/r/en-US/xapp1388-sd-qam-demod.
- [12] O.-R. Alliance, O-RAN Alliance, "O-RAN Acceleration Abstraction Layer General Aspects and Principles," O-RAN.WG6.AAL-GAnP.0-v04.00, 2022., 2022.
- [13] 3GPP, 3rd Generation Partnership Project (3GPP), "Physical layer procedures for data,"3GPP TS 38.214 V16.2.0, 2020, 2020.
- [14] S. a. P. S. a. J. B. a. P. I.-C. Lee, "Multi-Mode QC-LDPC Decoding Architecture With Novel Memory Access Scheduling for 5G New-Radio Standard," *IEEE Transactions on Circuits* and Systems I: Regular Papers, vol. 69, no. 5, pp. 2032-2048, 2022.
- [15] 3rd Generation Partnership Project (3GPP), "Physical channel and modulation," 3GPP TS38.211 V.17.4.0, 2022.
- 3rd Generation Partnership Project (3GPP), "Multiplexing and channel coding," 3GPP 38.212 V.15.2.0, Jul 2018.
- [2] Saroch and Nontawat. "การใช้วิธี CRC (Cyclic Redundancy Checksum)" http://www.geoci ties.ws/boonsuwanno1995/page4.
- [3] Supakit. "เทคนิคการตรวจสอบความถูกต้องของข้อมูล" http://home.npru.ac.th/supakit/Slide\_71 22702/Error%20Detection.pdf.
- [4] 3GPP TS 38.214: "NR; Multiplexing and channel coding", Release 15.

- [5] รศ.ดร.ปิยะ โควินท์ทวีวัฒน์. "การสื่อสารดิจิทัล การเข้ารหัส ช่องสัญญาณ." http://home.npru.ac.th/ piya/DigitalComm/file/Lec1415.pdf.
- [6] กานต์ ศรีรัชตบูรณ์. "การออกแบบเมทริกซ์พาริตีเช็กของรหัสแอลดีพีซี" วิทยานิพนธ์ปริญญา วิศวกรรมศาสตร์มหาบัณฑิต, สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์, จุฬาลงกรณ์ มหาวิทยาลัย, 2557.
- [7] Getsthiew. "ปฏิวัติการสื่อสารไทยด้วยเทคโนโลยี HSPA" http://tooktiktt.blogspot.com/2008/08 /hspa-high-speed-packet-access\_12.html.
- [8] คณะเจ้าหน้าที่บริษัท อสมท จำกัด. "ระบบสื่อสารดิจิตอลสำหรับงาน Broadcasting" http://dtv.mcot .net/techno one.php?dateone=1241680100.
- [9] ผศ.ดร.เวธิต ภาคย์พิสุทธิ์, รศ.ดร.ลัญฉกร วุฒิสิทธิกุลกิจ, ดร.พิสิฐ วินิชชานันท์, ศ.ดร.ปิยะ โค วินท์ ทวีวัฒน์. รหัสช่องสัญญาณในระบบสื่อสารไร้สายยุค 5G.
- [10] J. H. Bae, A. Abotabl, H. P. Lin, K. B. song, and J. Lee. "An overview of channel coding for 5G NR cellular communications." Cambridge University, 2019.
- [11] V. Bioglio, C. Condo and I. Land, "Design of Polar Codes in 5G New Radio," in IEEE Communications Surveys & Tutorials, pp. 1-1, Jan 2020.

# ภาคผนวก

# ภาคผนวก ก เอกสารประกอบการเผยแพร่ในมหาวิทยาลัย ภาคทฤษฎี

เอกสารดังต่อไปนี้คือเอกสารที่ใช้ในการเผยแพร่ชุดการเรียนรู้และการถ่ายทอดความรู้พื้นฐาน ในส่วนการให้ความรู้พื้นฐานที่เกี่ยวข้องกับระบบสื่อสารในมาตรฐาน 5G

# **5G System Overview**



กฤติยาภรณ์ เหมือดขุนทด จตุพร ด้วงทอง ธนิช ศรีสุภา อนุสรณ์ วงค์ษา รศ.ดร.กฤษณะพงศ์ พันธ์ศรี และ รศ.ดร.เวธิต ภาคย์พิสุทธิ์

# IMT-2020

IMT-2020 คือวิสัยทัศน์และมาตรฐานการสื่อสาร ไร้สายในยุค ค.ศ.2020 กำหนดโดยสหภาพ โทรคมนาคมระหว่างประเทศ (international telecommunication union: ITU) ภายใต้ หน่วยงานที่ เกี่ยวกับการสื่อสารวิทยุ (ITU radiocommunication sector: ITU-R)

วิสัยทัศน์ของ ITU-R ที่มีต่อการใช้งานและขีด ความสามารถของการสื่อสารไร้สายได้ถูกเผย ออกมาในเอกสาร IMT Vision ช่วงปี ค.ศ. 2015 และมี การคัดเลือกเทคโนโลยีที่ใช้กำหนด รายละเอียดมาตรฐาน IMT-2020 ในเอกสาร IMT-2020 specifications ช่วงปี ค.ศ. 2020 วิสัยทัศน์ IMT-2020 ถูกคิดค้นเพื่อรองรับการใช้งาน เทคโนโลยีสือสารไร้สาย 3 ประเภท ดังรูปที่ 1



รูปที่ 1 รูปแบบการใช้งานจากกรณีการใช้งานทั้ง 3 ประเภท

#### 1) enhanced Mobile BroadBand (eMBB)

เน้นการใช้งานกับข้อมูลความเร็วสูง ข้อมูล ขนาดใหญ่ เช่น การสตรีมมิงวิดีโอ 4K หรือ VR/AR (https://youtu.be/v4VqgWSTH08) 2) massive Machine-Type Communications (mMTC)

เน้นการใช้งานกับอุปกรณ์จำนวนมาก เช่น อุปกรณ์ IoT ในบ้านหรือเมืองอัจฉริยะ (https://youtu.be/IBYEFd5J4Z4)+96

#### 3) Ultra-Reliable and Low Latency Communications (URLLC)

้เน้นการใช้งานกับงานที่ต้องการความน่าเชื่อถือสูง เช่น ทางการแพทย์ หรือระบบอัตโนมัติในโรงงาน อุตสาหกรรมหรือบนท้องถนน (https://youtu.be/-1JGktixWBo)



# 5G NR Standard (3GPP)

5G New Radio (NR) คือมาตรฐานการสื่อสารไร้สาย ทีได้รับคัดเลือกให้เป็นเทคโนโลยี IMT-2020 สำหรับ โทรศัพท์มือถือ 5G NR เป็นมาตรฐานเชิงเทคนิคที่ รวบรวมวิธีการทางวิศวกรรมต่าง ๆ เพื่อให้ได้การ สื่อสารไร้สายที่สอดคล้องกับความต้องการของ IMT-2020 โดย 5G NR ถูกกำหนดโดยองค์กร 3rd Generation Partnership Project (3GPP) ที่ รวบรวมบริษัทโทรคมนาคมและบริษัทเทคโนโลยีที่ เกี่ยวข้องจากทั่วโลก รวมทั้งหน่วยงานภาครัฐจาก ประเทศต่าง ๆ ความสามารถของการสื่อสารยุค 5G ที่แตกต่างจาก 4G คือการสื่อสารที่รวดเร็วขึ้น รองรับปริมาณที่มาก ขึ้น มีเสถียรภาพและความปลอดภัย เป้าหมายของ การสื่อสารยุค 5G จึงสอดคล้องกับการใช้งานทั้ง 3 รูปแบบทั้ง eMBB mMTC และ URLLC ตามวิสัยทัศน์ ของ IMT-2020

3

สำหรับองค์กร 3GPP การออกมาตรฐานเชิงเทคนิค ของมาตรฐานการสื่อสารไร้สาย จะแบ่งช่วงเป็น release โดยมาตรฐาน 5G NR ดังกล่าวจะถูกจัดอยู่ ใน release 15 ซึ่ง ณ ปัจจุบันมีแผนการออก release ใหม่ดังนี้





D66-1-(2)-001

# **5G NR and LTE Internetworking**

อุปกรณ์ในมาตรฐาน 5G นอกจากจะเชื่อมต่อกับ CN ของมาตรฐาน 5G แล้ว ยังต้องสามารถเชื่อมต่อกับ CN ของมาตรฐาน 4G ด้วย ซึ่งรู้จักในนามของ สถาปัตยกรรมร่วม

สถาปัตยกรรมร่วม (non-standalone: NSA) จะ เกิดขึ้นในระยะแรกของการเปลี่ยนผ่านจากเทคโนโลยี 4G ไปเป็น 5G โดยนำเอา RAN และ UE ของมาตรฐาน 5G ไปใช้ร่วมกับ CN และ RAN ของมาตรฐาน 4G

ขณะที่**สถาปัตยกรรมเดี่ยว (standalone: SA)** จะใช้ งาน CN RAN และ UE ตามมาตรฐาน 5G ล่าสุด ทั้งหมดเพื่อให้ได้ความสามารถตามขีดจำกัดของ วิสัยทัคน์ IMT-2020



5

ข) สถาปิตยกรรมเดี่ยว

รูปที่ 7 การเชื่อมต่อระหว่างอุปกรณ์ 5G NR และ LTE

# 5G Physical-layer Processing

กฤติยาภรณ์ เหมือดขุนทด จตุพร ด้วงทอง ธนัช ศรีสุภา อนุสรณ์ วงค์ษา รศ.ดร.กฤษณะพงศ์ พันธ์ศรี และ รศ.ดร.เวธิต ภาคย์พิสุทธิ์



# **5G NR Radio Protocol Stack**

ระบบการสื่อสารทุกระบบมักมีแบบจำลองการ สื่อสารที่บ่งบอกถึงกระบวนการทำงานของ ระบบ ดันแบบของแบบจำลองการสื่อสารอาจ ทราบกันในชื่อ open systems interconnection หรือ OSI model ซึ่งอธิบายถึง กระบวนการสื่อสารของระบบ OSI model ประกอบด้วย 7 ชั้นอย่างนามธรรม แต่ระบบการสื่อสารที่ถูกใช้งานจริง ไม่จำเป็นต้องจำแนก ชั้นตามระบบตาม OSI model เช่น ชุดโพรโทคอลอิน เทอร์เน็ตหรือ TCP/IP ที่นิยมใช้ในระบบคอมพิวเตอร์จะ ประกอบไปด้วย 5 ชั้น

อย่างไรก็ตามแบบจำลองทั้ง 2 มีความคล้ายคลึงกันและ อาจเชื่อมโยงโดยคร่าวได้ โดยแต่ละชั้นของแบบจำลอง การสื่อสารก็จะมีการไหลผ่านของข้อมูลตามมาตรฐาน ของระบบการสื่อสารนั้น ๆ เพื่อให้เกิดการสื่อสารอย่าง สมบูรณ์และน่าเชื่อถือ

7) application	สมบูรณ์และน่าเชื่อถือ
6) presentation	
5) session	5) application
4) transport	4) transport
3) network	3) network
2) data link	2) data link
1) physical	1) physical
OSI model	TCP/IP protocol stack

7 ้สำหรับมาตรฐาน 5G แบบจำลองการสื่อสารแต่ละชั้นของ UE และ RAN (gNB) จะถูกพูดถึงเพียงชั้นที่ 1 ถึง ้ชั้นที่ 3 และจำแนกรูปแบบข้อมูลการสื่อสาร 2 ประเภท 1) user plane สำหรับรับส่งข้อมูลของผู้ใช้งาน 2) control plane สำหรับรับส่งข้อมูลที่ใช้ในการ เช่น แชทข้อความ ไลฟ์วิดีโอ หรือไฟล์เอกสาร ของ ้ควบคุมและจำเป็นต่อการสื่อสาร ที่ไม่เกี่ยวข้องกับ ผู้ใช้งาน ผู้ใช้งาน เช่น สภาพช่องสัญญาณการสื่อสาร การ มอดูเลต อัตรารหัส เวลา และความถี่ในการสื่อสาร aNB AME NAS NAS Layer 3 RRC PDC PDCF RLC Layer 2 MAC MAC PHY Layer 1 User plane Control plane User plane Control plane รูปที่ 8 แบบจำลองการสื่อสารในมาตรฐาน 5G **1) non-access-stratum (NAS)** ดิดต่อสื่อสาร 4) packet data convergence protocol ระหว่าง UE และฟังก์ชัน AMF ใน core network (PDCP) ทำหน้าที่บีบอัด IP header ciphering และ integrity protection และยังทำหน้าที่ส่งช้ำ มีหน้าที่รวมทั้งการรับรองความถูกต้อง (retransmission) การจัดส่งตามลำดับ (in-(authentication) ความปลอดภัย (security) sequence delivery) และกำจัดการเชื่อมต่อซ้ำ การดำเนินการในโหมด idle รูปแบบต่าง ๆ และ ในกรณี handover ยังทำหน้าที่กำหนดหมายเลข IP ให้แก่ UE 5) radio-link control (RLC) ทำหน้าที่แบ่ง 2) radio resource control (RRC) รับส่งข้อมูลที่ ส่วนข้อมูล (segmentation) และจัดการการส่ง ใช้ในการควบคุม โดยข้อความ RRC จะถูกส่งให้ UE โดยใช้ signaling radio bearers ช้ำ (retransmission) 6) medium-access control (MAC) ทำหน้าที่ 3) service data application protocol (SDAP) มัลติเพล็กซ์ช่องสัญญาณลอจิก (logical รับผิดชอบการจัดการ QoS ไปยัง radio bearer channel) การส่งซ้ำ (retransmission) แบบ โพรโทคอลชั้นดังกล่าวไม่มีใน LTE HARO และจัดการฟังก์ชันการ schedule 7) physical layer (PHY) ทำหน้าที่เข้าและ ถอดรหัส มอดูเลต/ดีมอดูเลต การเชื่อมโยง สายอากาศหลายสาย และฟังก์ชันที่เกี่ยวข้องกับ ชั้นกายภาพ (physical layer) ทั่วไป



# Physical/Transport/Logical Channel

อุปกรณ์ RAN และ UE จะมีช่องสัญญาณ การสื่อสารมากมาย เงื่อนไขการแบ่งประเภท ช่องสัญญาณอาจเป็นได้ทั้ง**ทิศทางการ สื่อสาร**หรือ**ประเภทของข้อมูล** 

ทิศทางการสื่อสารสามารถแบ่งได้เป็น 3 ช่องสัญญาณ ดังรูปที่ 10 11 และ 12

## ช่องสัญญาณขาลง (downlink)

เป็นช่องสัญญาณการสื่อสารจาก RAN ไปยัง UE



รูปที่ 10 ช่องสัญญาณขาลง

นอกจากแบ่งช่องสัญญาณตามทิศทางการ สื่อสารแล้ว ยังสามารถแบ่งได้ตามลักษณะอื่น ได้ โดยช่องสัญญาณกายภาพ (physical channel) ดังต่อไปนี้

### ช่องสัญญาณกายภาพ

## ช่องสัญญาณขาขึ้น (uplink)

physical uplink shared channel (PUSCH) physical uplink control channel (PUCCH) physical random access channel (PRACH) <mark>ช่องสัญญาณขาขึ้น (uplink)</mark> เป็นช่องสัญญาณการสื่อสารจาก UE ไปยัง RAN



q

<mark>ช่องสัญญาณข้างเคียง (sidelink)</mark> เป็นช่องสัญญาณการสื่อสารระหว่าง UE และ UE



รูปที่ 12 ช่องสัญญาณข้างเคียง

### ช่องสัญญาณขาลง (downlink)

physical downlink shared channel (PDSCH) physical downlink control channel (PDCCH) physical broadcast channel (PBCH)

## ช่องสัญญาณข้างเคียง (sidelink)

physical sidelink shared channel (PSSCH) physical sidelink control channel (PSCCH) physical sidelink broadcast channel (PSBCH) physical sidelink feedback channel (PSFCH)



รูปที่ 13 ช่องสัญญาณกายภาพเชื่อมต่อกับช่องสัญญาณอื่น

รูปที่ 13 ได้แสดงถึงการโยง (mapping) ช่องสัญญาณระหว่างช่องสัญญาณกายภาพไปยังช่องสัญญาณท รานสปอร์ต (transport channel) รวมถึงช่องสัญญาณลอจิก (logical channel) ช่องสัญญาณเหล่านี้จะ อยู่ระหว่างชั้นแบบจำลองการสื่อสารของมาตรฐานการสื่อสารไร้สาย 5G



รูปที่ 14 กระบวนการทำงานโดยคร่าวภายในแบบจำลองชั้นกายภาพ (physical layer) ของมาตรฐาน 5G

รูปที่ 14 แสดงถึงกระบวนการทำงานโดยคร่าวภายในแบบจำลองชั้นกายภาพ ที่เชื่อมต่อกับสัญญาณ อนาล็อกสู่สายอากาศด้านล่างและแบบจำลองชั้น MAC ด้านบน โดยโดยจะพบกระบวนการ coding rate matching scrambling และ modulation ซึ่งอาจเรียกว่าชั้นกายภาพส่วนบน (high-PHY) ชั้นกายภาพ ส่วนบนมีรายละเอียดและกระบวนการทำงานของแต่ละช่องสัญญาณกายภาพ ได้แก่ PDSCH PDCCH PBCH PUSCH PUCCH และ PRACH ดังรูปต่อไปนี้



# **5G Channel Coding**

การสื่อสารดิจิตอลโดยทั่วไปล้วนต้องการสื่อสาร อย่างมีประสิทธิภาพหรือปราศจากข้อผิดพลาด แต่อย่างไรก็ตาม เนื่องจากในสภาพอากาศมี สิ่งรบกวนจำนวนมาก เช่น การรบกวนจากฝน สัญญาณรบกวนแบบจางหาย รวมถึงความร้อน จากวงจรอิเล็กทรอนิกส์ ดังนั้นการที่จะทำให้การ สื่อสารของเราปราศจากข้อผิดพลาดเลยจึงเป็นไป ได้ยาก

## รหัสช่องสัญญาณ (channel coding)

หรือรหัสแก้ไขความผิดพลาด เป็นองค์ประกอบ สำคัญในระบบสื่อสารดิจิทัลที่ขาดไม่ได้ เนื่องจาก รหัสช่องสัญญาณทำให้การรับส่งข้อมูลดิจิทัล ปราศจากบิตผิด รหัสช่องสัญญาณจะทำการเพิ่ม บิตตรวจสอบ (parity bits) ไปกับข้อมูลผู้ใช้งาน เพื่อช่วยแก้ไขความผิดพลาดของข้อมูล

## รหัสช่องสัญญาณในมาตรฐาน 5G

1) รหัสพาริตีเช็คความหนาแน่นต่ำ (low-density parity-check code: LDPC)

2) รหัสโพลาร์ (polar code)

ถูกใช้งานในประเภทของช่องสัญญาณตามลักษณะ ข่าวสารและทิศทางการสื่อสารดังนี้



รูปที่ 17 ตัวอย่างการใช้งานและไม่ใช้งานรหัสช่องสัญญาณ

รหัสแอลดีพีซี	รหัสโพลาร์
ช่องสัญญาณขาขึ้น (uplink)	
physical uplink shared channel (PUSCH)	
	physical uplink control channel (PUCCH)
ช่องสัญญาณขาลง (downlink)	
physical downlink shared channel (PDSCH)	
	physical downlink control channel (PDCCH)
	physical broadcast channel (PBCH)
ช่องสัญญาณข้างเคียง (sidelink)	
physical sidelink shared channel (PSSCH)	
	physical sidelink control channel (PSCCH)
	physical sidelink broadcast channel (PSBCH)
	physical sidelink feedback channel (PSFCH)



# 5G PDSCH/PUSCH/PSSCH Encoding

รหัสแอลดีพีซีเป็นรหัส่องสัญญาณที่ถูกใช้งานกับข้อมูลบน user plane กระบวนการเข้ารหัสแอลดีพีซีตาม มาตรฐาน 5G สำหรับช่องสัญญาณ PDSCH PUSCH และ PSSCH ประกอบด้วย 7 กระบวนการ ดังรูปที่ 19



รูปที่ 19 แผนภาพการเข้ารหัสแอลดีพีซีช่องสัญญาณ PDSCH PUSCH และ PSSCH มาตรฐาน 5G

## 1) การตรวจสอบด้วยส่วนซ้ำซ้อนแบบวน (cyclic redundancy check: CRC)

การเข้ารหัส CRC เป็นกระบวนการตรวจสอบความ ผิดพลาดของข้อมูล หลักการของ CRC จะใช้โพลีโน เมียล (polynomial) ใช้หารกับบิตข้อมูล เศษจากการ หารจะถูกนำไปต่อท้ายบิตข้อมูล

**การถอดรหัส CRC** บิตคำรหัสจะถูกนำมาหารกับโพลีโน เมียลอีกครั้ง หากได้เศษเป็นศูนย์ จะถือว่าไม่มีข้อมูล ผิดพลาด นอกจากนั้นถือว่าเกิดความผิดพลาด

ผดพลาด นอกจากนนถอวาเกดความผดพลาด สำหรับมาตารฐาน 5G ช่องสัญญาณ PDSCH PUSCH และ PSSCH จะใช้โพลีโนเมียลอยู่ 2 ดังนี้ Polynomial  $X^7 + X^5 + X^2 + X + 1$   $X^6$   $X^4 X^3$ 1 0 1 0 0 1 1 1 15

Divisor รูปที่ 20 การหาบิตจากโพลิโนเมียลสำหรับการหาร



รูปที่ 21 บิตข้อมูลหลังการเข้ารหัส CRC

 $g_{CRC24A}(X) = X^{24} + X^{23} + X^{18} + X^{17} + X^{14} + X^{11} + X^{10} + X^7 + X^6 + X^5 + X^4 + X^3 + X + 1$ (10)  $g_{CRC16}(X) = X^{16} + X^{12} + X^5 + 1$ (11)

โดยที่  $g_{
m CRC16}(X)$  ใช้กับข้อมูลที่มีความยาวน้อยกว่าหรือเท่ากับ 3824 บิต และ  $g_{
m CRC24A}(X)$  สำหรับอื่น ๆ

## 2) Code Block Segmentation

เป็นการแบ่งส่วนข้อมูลเป็นส่วนย่อย เมื่อข้อมูลมีขนาด มากเกินไป ดังรูปที่ 22 สำหรับรหัสแอลดีพีซีกราฟฐาน 1 การแบ่งส่วนเมื่อความยาวข้อมูลมากกว่า 8448 บิต สำหรับรหัสแอลดีพีซีกราฟฐาน 2 การแบ่งส่วนเมื่อ ความยาวข้อมูลมากกว่า 3840 บิต



### รูปที่ 22 โครงสร้างบล็อกอินพุตจากการแบ่งส่วนข้อมูล

## 3) Code Block CRC

การเข้ารหัส CRC ของบล็อกย่อย (Code Block CRC) เป็นกระบวนการเข้ารหัส CRC อีกครั้งหนึ่ง ด้วยโพลีโนเมียลดังสมการที่ 12 ให้กับแต่ละบล็อก หลังจากการแบ่งส่วนข้อมูลพร้อมเดิมบิตว่าง (Null) ให้แต่ละบล็อกมีขนาดที่สามารถนำไปเข้ารหัสได้

 $g_{\text{CRC24B}}(X) = X^{24} + X^{23} + X^6 + X^5 + X + 1 \quad (12)$ 

Inp	out	CRC(2)	Null
Inp	out	CRC(2)	Null
Inp	out	CRC(2)	Null
	1) 13 14	•	
Input	CRC(1)	CRC(2)	Null

รูปที่ 23 โครงสร้างแต่ละบล็อกของอินพุตจาก การแบ่งส่วนข้อมูลและเข้ารหัส CRC

## 4) LDPC Encoder

เมทริกซ์ตรวจสอบพาริดีของการเข้ารหัสแอลดีพีซี ตามมาตรฐาน 5G มีอยู่สองแบบคือกราฟฐาน 2 และ กราฟฐาน 1 ดังรูปที่ 24 และรูปที่ 25 ตามลำดับ



รูปที่ 24 กราฟฐาน 1



และใช้กราฟฐาน 1 ในกรณีอื่น โดย A คือความยาว ข้อมูลและ R คืออัตรารหัส



รูปที่ 25 กราฟฐาน 2

#### 5) Rate Matching

คือกระบวนการปรับขนาดคำรหัลให้ มีขนาดเท่ากับขนาดบล็อกการ ขนส่ง การปรับอัตรารหัสสำหรับ รหัส LDPC จะมีการกำหนดค่า redundancy version (rv) ซึ่งจะมี ความสอดคล้องกับดำแหน่ง คอลัมน์ของกราฟฐาน โดยกราฟ ฐานจะถูกแบ่งออกเป็น 4 ส่วนโดยไม่ รวมบิด puncture ใน 2 คอลัมน์ แรกดังรูปที่ 26



รูปที่ 26 การปรับอัตราสำหรับรหัส LDPC ตามมาตรฐาน 5G

16



คือการป้องกันความผิดพลาดของข้อมูลที่ส่งไปบน ช่องสัญญาณด้วยกระบวนการสลับบิตหรือไบต์ ข้อมูลที่ภาคส่งดังรูปที่ 27 หากมีสัญญาณรบกวน เกิดขึ้นบนช่องสัญญาณเป็นผลให้ข้อมูลที่ส่งนั้นมี ความผิดพลาดติดกัน เมื่อทำกระบวนการแทรกสลับ บิตกลับ (De-Interleaving) จะทำให้บิตผิดพลาดที่ ติดกันมีการกระจายตัวออก



## 7) Code Block Concatenation

รูปที่ 27 การแทรกสลับบิตสำหรับ LDPC ตามมาตรฐาน 5G

คือการต่อเรียงบล็อกรหัสเอาต์พุตที่ได้จากการแทรกสลับบิต






รหัสโพลาร์เป็นรหัสช่องสัญญาณประเภทบล็อก (block code) การ เข้ารหัสโพลาร์สามารถดำเนินการทางคณิตศาสตร์ดังสมการที่ 13



รูปที่ 29 แผนภาพบล็อกการเข้ารหัสโพลาร์

โดยที่ **x** คือคำรหัส **u** คือบิตแช่แข็งและบิตข้อมูลที่เรียงตามลำดับความน่าเชื่อถือ  $\mathbf{G}_n$  คือเมทริกซ์กำเนิด  $\begin{bmatrix} 1 & 0 & 0 \end{bmatrix}$ 

โดยที่ 
$$\mathbf{G}_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$$
 และ  $\mathbf{G}_4 = \begin{bmatrix} 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$  และเวกเตอร์  $\mathbf{x}$  และ  $\mathbf{u}$  มีความยาวได้เพียงสองยกกำลังใด ๆ

้เท่านั้น หรือ  $N=2^n~K~$ คือความยาวบิตข้อมูล ดังนั้น ความยาวบิตแช่แข็งจะเท่ากับ N-K การเข้ารหัสโพ ลาร์แสดงเป็น**โครงสร้างการทำเอ็กคลูชีฟออร์**และเทียบเป็น**การคูณทางคณิตศาสตร์**ดังต่อไปนี้



18

(13)

 $\mathbf{x} = \mathbf{u}\mathbf{G}_n$ 

19

การสร้างเมทริกซ์กำเนิดขนาดต่าง ๆ ทำได้ดังความสัมพันธ์ต่อไปนี้

$$\begin{bmatrix} \mathbf{G}_{N} \end{bmatrix} = \begin{bmatrix} \mathbf{G}_{N/2} & \mathbf{0} \\ \mathbf{G}_{N/2} & \mathbf{G}_{N/2} \end{bmatrix}$$
(17)

้ตัวอย่างการสร้างเมทริกซ์กำเนิดความยาว N=4 จะสามารถทำได้ดังต่อไปนี้

$$\begin{bmatrix} \mathbf{G}_{N} \end{bmatrix} = \begin{bmatrix} \mathbf{G}_{N/2} & \mathbf{0} \\ \mathbf{G}_{N/2} & \mathbf{G}_{N/2} \end{bmatrix}$$
$$\begin{bmatrix} \mathbf{G}_{4} \end{bmatrix} = \begin{bmatrix} \mathbf{G}_{4/2} & \mathbf{0} \\ \mathbf{G}_{4/2} & \mathbf{G}_{4/2} \end{bmatrix} = \begin{bmatrix} \mathbf{G}_{2} & \mathbf{0} \\ \mathbf{G}_{2} & \mathbf{G}_{2} \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$$

ตัวอย่างการเข้ารหัสความยาว N=8 กำหนดบิตข้อมูลคือ 1010₂ ความยาว K=4 ที่อัตรารหัส R=1/2 และให้บิตข้อมูลอยู่ที่ตำแหน่ง u<sub>3</sub>u<sub>5</sub>u<sub>6</sub>u<sub>7</sub> จะสามารถเข้ารหัสได้ดังสมการต่อไปนี้

$$\begin{bmatrix} x_0 x_1 x_2 x_3 x_4 x_5 x_6 x_7 \end{bmatrix} = \begin{bmatrix} u_0 u_1 u_2 u_3 u_4 u_5 u_6 u_7 \end{bmatrix} \begin{bmatrix} \mathbf{G}_8 \end{bmatrix}$$
$$= \begin{bmatrix} 00010010 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$$
$$= \begin{bmatrix} 01011010 \end{bmatrix}$$

โดยบิตแช่แข็งความยาว N-K=4 จะถูกแทนด้วยบิต 00002 ที่ตำแหน่ง  $u_0u_1u_2u_4$ 

รูปที่ 31 ตำแหน่งบิตแช่แข็ง (สีฟ้า) และบิตข้อมูล (สีแดง) ในเวกเตอร์ 🛚

รูปที่ 31 แสดงถึงตัวอย่างการเรียงบิตแช่แข็งและบิตข้อมูลในเวกเตอร์ **น** การเรียงดังกล่าวถือ**มี** ความสำคัญต่อสมรรถนะการแก้ไขความผิดพลาดของรหัสโพลาร์อย่างมาก รหัสโพลาร์จะเลือกวางบิต ข้อมูลความยาว *K* บิต ในตำแหน่งที่มีความน่าเชื่อถือมากที่สุดและตำแหน่งที่เหลือจะถูกวางด้วยบิตแช่แข็ง โดยที่บิตแช่แข็งเป็นบิตที่ทราบในทางส่งเข้ารหัสและถอดรหัส ปกติจะแทนด้วยบิต 0 ทั้งหมด

้ในทางปฏิบัติการเข้ารหัสโพลาร์สามารถดำเนินการได้โดยตัวดำเนินการเอ็กซ์คลูชีฟออร์ โครงสร้างการ เข้ารหัสสามารถขยายได้ในลักษณะเรียกซ้ำ (recursive) จำนวนสองเท่าได้เรื่อย ๆ ซึ่งเป็นสาเหตุที่ความยาว คำรหัสแม่ต้องมีขนาด  $N = 2^{\pi}$  ปิด

# 5G PUCCH/PDCCH/PBCH/ PSCCH/PSFCH/PSBCH Encoding

กระบวนการเข้ารหัสสำหรับช่องสัญญาณ PDCCH PUCCH และ PBCH ประกอบด้วย 11 กระบวนการ โดยแต่ละกระบวนการจะถูกใช้งานต่างกันตาม ช่องสัญญาณการสื่อสาร ช่องสัญญาณที่ใช้งาน รหัสโพลาร์จะจับกลุ่มเป็นช่องสัญญาณ 3 ประเภท uplink downlink และ broadcast โดยมี ความสัมพันธ์กับช่องสัญญาณทางกายภาพดังนี้

รหัส		รหัสโพลาร์	
แอลดีพีซี	uplink	downlink	broadcast
PUSCH	PUCCH	PDCCH	PBCH
PDSCH		PSCCH	PSBCH
PSSCH		PSFCH	
V.			

20



รูปที่ 32 กระบวนการเข้ารหัสสำหรับช่องสัญญาณ PDCCH PUCCH และ PBCH โดยขั้นตอนในกล่องเส้น ทึบจะถูกใช้งานในทุกช่องสัญญาณ กล่องเส้นประขีดจะถูกใช้งานเฉพาะช่องสัญญาณ uplink และกล่องเส้นประจุดใช้งานเฉพาะช่องสัญญาณ broadcast และ downlink



# 2) การเข้ารหัส CRC (CRC attachment) (ทุกช่องสัญญาณ)

การเข้ารหัส CRC จะทำการคำนวณบิต CRC จำนวน L บิต จากนั้นบิต CRC ที่คำนวณได้จะต่อท้ายกับ เวกเตอร์ **a** ความยาว A (หรือ **a'** ความยาว A'ในกรณีที่  $I_{seg} = 1$ ) โดยจะได้เวกเตอร์ **c** ที่มีความ ยาว K = A + L (หรือ **c'** ความยาว K = A' + L ใน กรณีที่  $I_{seg} = 1$ ) การคำนวณบิต CRC ในมาตรฐาน 5G จะใช้พหุนามกำเนิด (generator polynomial) 3 ดัว ประกอบด้วยพหุนามสำหรับรหัสโพลาร์ดังนี้ รหัสโพลาร์ที่มีรหัส CRC สามารถเพิ่มสมรรถนะของ รหัสโพลาร์ได้อย่างมีนัยสำคัญ โดยการถอดรหัสโพ ลาร์ จะทำงานร่วมกับรหัส CRC โดยจะช่วยเลือกบิต จากการถอดรหัส ช่วยลดความผิดพลาดของดัว ถอดรหัสได้อย่างมาก





# 3) การสแครมบลิง CRC (CRC scrambling) (เฉพาะช่องสัญญาณ PDCCH PSCCH PSFCH)

 $g_{CRC24C}(x) = x^{24} + x^{23} + x^{21} + x^{20} + x^{17} + x^{15} + x^{13} + x^{12} + x^8 + x^4 + x^2 + x + 1$ 

 $g_{CRC6}(x) = x^6 + x^5 + 1$ 

 $g_{CRC11}(x) = x^{11} + x^{10} + x^9 + x^5 + 1$ 

เวกเตอร์ c จากกระบวนการก่อนจะถูกสแครมบลิง โดยดำเนินการเอ็กซ์คลูซีฟออร์บิต RNTI กับบิต CRC 16 บิตสุดท้าย เพื่อให้มีคุณสมบัติ (blind detection หรือ blind decoding)



รูปที่ 34 การสแครมบลิง CRC

ในการส่งข้อมูลควบคุมผ่านช่องสัญญาณ downlink อุปกรณ์ฝั่ง RAN จะไม่มีการใส่ข้อมูลส่วนหัว (header) เพื่อระบุดัวตนของอุปกรณ์ผู้ใช้งาน แต่จะมีการสแครมบลิงด้วยรหัสเฉพาะดัว ซึ่งเป็นรหัสเฉพาะดัว ของอุปกรณ์ที่ต้องการสื่อสาร เมื่ออุปกรณ์ RAN จะส่งข้อมูลไปยังอุปกรณ์ผู้ใช้งาน อุปกรณ์ของผู้ใช้งานจะ ทำการถอดรหัสข้อมูลแบบ blind detection การสแครมบลิงจะทำให้ข้อมูลที่ไม่ตรงกับอุปกรณ์ที่ต้องการ สื่อสารมีโอกาสถอดรหัสผิดลูง

# 4) การแทรกสลับ CRC (CRC interleaving) (เฉพาะช่องสัญญาณ PDCCH PSCCH PSFCH PBCH PSBCH)

เวกเตอร์ c ที่ผ่านกระบวนก่อนหน้าจะถูกแทรกสลับ ตามลำดับ (3GPP, 2017, ดังตารางที่ 5.3.1.1-1) เพื่อลดระยะเวลาในการถอดรหัสด้วยเทคนิค early termination ซึ่งจะหยุดการถอดรหัสระหว่างทาง หากพบความผิดพลาดระหว่างการถอดรหัส



# 5) การลำดับช่องสัญญาณย่อย (Polar sequencing) (ทุกช่องสัญญาณ)

ระบบจะสร้างเวกเตอร์ **น** ความยาว N บิต โดยการ เลือกตำแหน่งของบิตแช่แข็งและบิตข้อมูล บิตข้อมูล หรือเวกเตอร์ c (หรือ c') จากกระบวนการก่อนจะ ถูกวางไว้ในตำแหน่งบิตข้อมูล ส่วนตำแหน่งบิตแช่ แข็งจะถูกกำหนดค่าเป็นบิต 0



รูปที่ 36 การลำดับช่องสัญญาณย่อย

การเลือกต่ำแหน่งของบิตแช่แข็งจะสอดคล้องกับเงื่อนการปรับอัตรารหัสและลำดับความน่าเชื่อถือ ช่องสัญญาณตามลำดับ (3GPP, 2017, ดังตารางที่ 5.3.1.2-1) โดยลำดับความน่าเชื่อถือของ ช่องสัญญาณจะเป็นลำดับคงที่ ข้อดีของลำดับความน่าเชื่อถือช่องสัญญาณที่เป็นลำดับคงที่จะช่วยลด ความชับซ้อนในการเข้ารหัลโพลาร์ได้เป็นอย่างมาก

## 6) การคำนวณบิตพาริตี (Parity-check calculation) (เฉพาะช่องสัญญาณ PUCCH)

เลือกตำแหน่งของบิดพาริดีจำนวน 3 บิดใน กระบวนการลำดับช่องสัญญาณย่อย การคำนวณ บิดพาริดีสามารถทำได้โดยใช้ชิปรีจิสเตอร์วนซ้ำ ขนาด 5 บิด โดยตั้งค่าบิดเริ่มต้นเป็นบิด 0 โดยบิด พาริดีจะคำนวณโดยการเอ็กซ์คลูชีฟออร์กับบิด ลำดับหน้าเว้นครั้งละ 5 บิด โดยทำกระบวนการ เอ็กซ์คลูชีฟออร์เฉพาะบิดข้อมูลซึ่งไม่รวมบิดพาริดี ลำดับก่อนและไม่รวมบิดแช่แข็ง

# 7) การเข้ารหัสโพลาร์ (Polar encoding) (ทุกช่องสัญญาณ)

การเข้ารหัสโพลาร์สามารถดำเนินการทาง คณิตศาสตร์โดยสมการ

 $\mathbf{d} = \mathbf{u}\mathbf{G}_N$  (18)



โดยที่เมทริกซ์กำเนิด (generator matrix) แทนด้วย  $\mathbf{G}_N = \mathbf{G}_2^{\otimes n}$  เป็นผลคูณโครเน็กเกอร์ (Kronecker product) และ  $\mathbf{G}_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$  มีอินพุตคือ **น** ความยาว N บิต เมื่อดำเนินการเข้ารหัสจะได้ผลลัพธ์เป็นคำ รหัสแม่ **d** ความยาว N



1) การพังก์เจอร์ (puncturing) จะทำเมื่อ E < N และ  $K/E \le 7/16$  โดยจะไม่ส่งบิต U = N - E แรก 2) การช็อตเทน (shortening) จะทำเมื่อ E < N และ K/E > 7/16 โดยจะไม่ส่งบิต U = N - E สุดท้าย 3) การส่งช้ำ (repetition) จะทำเมื่อ E > N โดยจะส่งบิด U = N - E แรกช้ำ

## 10) การแทรกสลับบิตรหัส (Coded bit interleaving) (เฉพาะช่องสัญญาณ PUCCH)

(ทุกช่องสัญญาณ)

บล็อกย่อยตามลำดับ

(ทุกช่องสัญญาณ)

รายละเอียดดังนี้

การแทรกสลับแบบสามเหลี่ยมขั้นบันไดสามารถลด อัตราบล็อกผิดพลาดในการมอดูเลชันลำดับสูง เวกเตอร์ e แต่ละบิดจะถูกเขียนลงในโครงสร้าง สามเหลี่ยมสามเหลี่ยมคว่ำ จากซ้ายไปขวาและมี ทิศทางจากบนลงล่าง จากนั้นจะสร้างคำรหัสที่ผ่าน การแทรกสลับบิตรหัส f โดยการอ่านค่าจาก โครงสร้างสามเหลี่ยมจากทิศทางบนลงล่างและมี ทิศทางจากช้ายไปขวา ส่วนที่เว้าของโครงสร้าง สามเหลี่ยมสามารถแทนค่าด้วย null โดยที่เวกเตอร์ e และ f มีขนาดเท่ากัน







24

11) การต่อบล็อกรหัส (Code block concatenation)

เงื่อนไข  $(A \ge 360 \wedge E \ge 1088) \lor A \ge 1013$  และ I<sub>seg</sub> =1 เวกเตอร์ f จำนวนสองเวกเตอร์จะถูกต่อ กันตามลำดับเดิมและส่งไปยังการสื่อสารชั้นถัดไป

# **5G Modulation**

การมอดูเลต (Modulation) เป็นการแปลงสัญญาณข่าวสาร ที่เป็นบิต '0' หรือ '1' ให้อยู่ในรูปของสัญญาณส่ง โดยใน มาตรฐาน 5G ได้กำหนดรูปแบบการมอดูเลดไว้ 7 แบบ

จำนวนบิตต่อสัญลักษณ์ (Qm) การมอดูเลต BPSK 1  $\pi/2 - BPSK$ 1 2 QPSK 16QAM 4 64QAM 6 256QAM 8 10 1024QAM

นอกจากนี้ รูปแบบการมอดูเลชันที่สามารถใช้งานได้จะ แตกต่างกันตามช่องสัญญาณกายภาพ

ช่องสัญญาณ			ູຮູປແບ	บบการมอดูเล	n		
กายภาพ	BPSK	$\pi/2-BPSK$	QPSK	16QAM	64QAM	256QAM	1024QAM
PDSCH			$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$
PDCCH			$\checkmark$				
PUSCH		$\checkmark$	~	$\checkmark$	$\checkmark$		
PUCCH	$\checkmark$	$\checkmark$	~				
PBCH			~				
					· ·	ан — — — — — — — — — — — — — — — — — — —	

#### 1) การมอดูเลตแบบ BPSK

กำหนดให้ *b*; แทนบิตข้อมูลบิตที่ / ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *s*; ในสัญญาณส่งเมื่อมีการมอดูเลตแบบ BPSK สามารถหาได้จากสมการ

แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ BPSK แสดงดัง รูปที่ 43 โดยหนึ่งจุดบนคอนสเตลเลชัน แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 1 บิต และ n<sub>m</sub> =  $rac{1}{\sqrt{2}}$  แทน

ด้วปรับมาตรฐาน (Normalization Factor) สำหรับการมอดู เลดแบบ BPSK





รูปที่ 43 แผนภาพคอนสเตลเลชันของการมอดูเลต แบบ BPSK กรณีไม่มีตัวปรับมาตรฐาน

#### 2) การมอดูเลตแบบ $\pi/2$ – BPSK

กำหนดให้ *b<sub>i</sub>* แทนบิตข้อมูลบิตที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *s<sub>i</sub>* ในสัญญาณส่งเมื่อมีการมอดูเลต  $s_i = \frac{e^{j\frac{\pi}{2}(imod2)}}{\sqrt{2}} \Big[ (1-2b_i) + j(1-2b_i) \Big] ^{((20)}$ แบบ π/2 - BPSK สามารถหาได้จากสมการ

แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ π/2 - BPSK แสดงดังรูปที่ 44 โดยหนึ่งจุดบนคอนสเตลเลชัน แทนหนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 1 บิต และ n<sub>m</sub> =  $\frac{1}{\sqrt{2}}$  แทนดัวปรับมาตรฐานสำหรับ การมอดูเลตแบบ π/2 - BPSK





#### 3) การมอดูเลตแบบ QPSK

กำหนดให้ *b*, แทนบิดข้อมูลบิดที่ / ในสัญญาณข่าวสาร สัญลักษณ์เชิงช้อน *s*, ในสัญญาณส่งเมื่อมีการมอดูเลด แบบ QPSK สามารถหาได้จากสมการ

แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ QPSK แสดงดังรูปที่ 45 โดยหนึ่งจุดบนคอนสเตลเลชัน แทนหนึ่ง สัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 2 บิต และ n<sub>m</sub> =  $\frac{1}{\sqrt{2}}$  แทนตัวปรับมาตรฐานสำหรับการมอดูเลตแบบ QPSK  $s_i = \frac{1}{\sqrt{2}} \left[ (1 - 2b_{2i}) + j(1 - 2b_{2i+1}) \right]$ (21)



รูปที่ 45 แผนภาพคอนสเตลเลชันของการมอดูเลต แบบ QPSK กรณีไม่มีตัวปรับมาตรฐาน

#### 4) การมอดูเลตแบบ 16QAM

ี่ กำหนดให้ *b*/แทนบิดข้อมูลบิดที่ *i* ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *s*/ในสัญญาณส่งเมื่อมีการมอดู เลดแบบ 16QAM สามารถหาได้จากสมการ

$$s_{i} = \frac{1}{\sqrt{10}} \left\{ (1 - 2b_{4i}) \left[ 2 - (1 - 2b_{4i+2}) \right] + j(1 - 2b_{4i+1}) \left[ 2 - (1 - 2b_{4i+3}) \right] \right\}$$
(22)

แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ 16QAM แสดงดังรูปที่ 46 โดยหนึ่งจุดบนคอนสเตลเลชันแทน หนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 4 บิต และ  $n_m = rac{1}{\sqrt{10}}$  แทนตัวปรับมาตรฐานสำหรับการ มอดูเลตแบบ 16QAM



รูปที่ 46 แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ 16QAM กรณีไม่มีตัวปรับมาตรฐาน

#### 5) การมอดูเลตแบบ 64QAM

กำหนดให้ *b*,แทนบิตข้อมูลบิตที่ /ในสัญญาณข่าวสาร สัญลักษณ์เชิงซ้อน *s*,ในสัญญาณส่งเมื่อมีการมอดู เลตแบบ 64QAM สามารถหาได้จากสมการ

$$s_{i} = \frac{1}{\sqrt{42}} \left\{ (1 - 2b_{6i}) \left[ 4 - (1 - 2b_{6i+2}) \left[ 2 - (1 - 2b_{6i+4}) \right] \right] + j(1 - 2b_{6i+1}) \left[ 4 - (1 - 2b_{6i+3}) \left[ 2 - (1 - 2b_{6i+5}) \right] \right] \right\}$$
(23)

แผนภาพคอนสเตลเลชันของการมอดูเลตแบบ 64QAM แสดงดังรูปที่ 47 โดยหนึ่งจุดบนคอนสเตลเลชันแทน หนึ่งสัญลักษณ์ ซึ่งในแต่ละสัญลักษณ์แทนบิตข้อมูล 6 บิต และ  $n_m = rac{1}{\sqrt{42}}$  แทนตัวปรับมาตรฐานสำหรับการ มอดูเลตแบบ 64QAM







# **Noisy Channel**



กฤติยาภรณ์ เหมือดขุนทด จตุพร ด้วงทอง ธนิช ศรีสุภา อนุสรณ์ วงค์ษา รศ.ดร.กฤษณะพงศ์ พันธ์ศรี และ รศ.ดร.เวธิต ภาคย์พิสุทธิ์

# **AWGN Channel**

### 1) ช่องสัญญาณรบกวนเกาส์เซียนขาวบวก

ช่องสัญญาณรบกวนเกาส์เซียนขาวบวก (Additive White Gaussian Noise: AWGN) คือรูปแบบ ช่องสัญญาณพี้นฐาน เพื่ออธิบายถึง ปรากฏการณ์ของกระบวนการบวกของสัญญาณ ลุ่มที่เกิดขึ้นในธรรมชาติ รวมถึงในระบบการ สื่อสาร สัญญาณรบกวนประเภทนี้มักใช้ในการ อธิบายสัญญาณที่อาจเกิดขึ้นจากธรรมชาติหรือ อุณหภูมิของอุปกรณ์ เรียกว่าสัญญาณรบกวน เชิงความร้อน

สำหรับช่องสัญญาณรบกวนดังกล่าวแสดง แบบจำลองดังรูปที่ 50 โดยกำหนดให้ y(t) เป็น เอาต์พุตช่องสัญญาณ ซึ่งเกิดจากสัญญาณที่ส่ง x(t) บวกกับสัญญาณรบกวนเกาส์เซียน n(t) เขียนความสัมพันธ์ของสัญญาณต่าง ๆ ได้ดังนี้ และสามารถแทนสัญญาณรบกวนเกาส์เซียนได้ ดังนี้

โดยที่สัญญาณรบกวนเกาส์เซียน n(t) มีค่าเฉลี่ย เท่ากับ 0 และมีความแปรปรวนเท่ากับ  $\sigma^2$   บวก (Additive) เนื่องจากสัญญาณประเภทนี้ ถูกเพิ่มหรือบวกเข้าไปยังระบบหรือช่องสัญญาณ

2) ขาว (White) อ้างถึงความหนาแน่นกำลังเชิง สเปกตรัม (Power Spectral Density) ที่มีลักษณะ สม่ำเสมอในโดเมนความถี่ภายในระบบหรือ ช่องสัญญาณ ซึ่งลักษณะต่าง ๆ จะถูกแทนด้วย ชื่อสีและสีขาวจะมีลักษณะสม่ำเสมอ

3) เกาส์เซียน (Gaussian) อ้างอิงความหนาแน่น (Density) ที่มีลักษณะการกระจายปกติ (Normal Distribution) หรือการกระจายเกาส์เซียน (Gaussian Distribution) ในโดเมนเวลาภายใน ระบบหรือช่องสัญญาณ

$$y(t) = x(t) + n(t) \quad (26)$$
$$n(t) \sim \mathcal{N}(0, \sigma^2) \quad (27)$$

$$(t) \qquad y(t) \\ n(t) \qquad (t)$$

T

รูปที่ 50 แบบจำลองช่องสัญญาณ รบกวนเกาส์เซียนขาวแบบบวก หากกำหนดให้สัญญาณที่ส่งมีสัญญาณความถี่เดียวหรือมีฟังก์ชันความหนาแน่นสเปกตรัมแบบอิมพัลส์ (Impulse) เมื่อสัญญาณดังกล่าวผ่านช่องสัญญาณรบกวนนี้ สัญญาณที่ส่งจะถูกบวกกับสัญญาณรบกวน เกาส์เซียนที่ช่วงเวลาต่าง ๆ ทำให้ได้เอาต์พุตช่องสัญญาณที่มีการกระจายของฟังก์ชันความหนาแน่น สเปกตรัมแบบเกาส์เซียนเช่นเดียวกับสัญญาณรบกวนเกาส์เซียน แสดงดังรูปที่ 51 และเขียนสมการฟังก์ชัน ความหนาแน่นแบบเกาส์เซียนได้ดังนี้

$$f(y) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{(y-\mu)^2}{2\sigma^2}}$$
(28)

โดย  $\mu$  คือค่าเฉลี่ยของการกระจาย (Distribution)  $\sigma^2$  คือความแปรปรวน (Variance) และ y คือตัวแปร สุ่ม ซึ่งสามารถแทนด้วยสัญญาณต่าง ๆ เช่น เอาต์พุตช่องสัญญาณ y(t) สัญญาณรบกวนเกาส์เซียน ณ เวลาต่าง ๆ ซึ่งมีคุณสมบัติการกระจายที่อิสระและเหมือนกัน (Independent and Identically Distributed)



รูปที่ 51 ฟังก์ชันความหนาแน่นสเปกตรัมแบบเกาส์เซียน

14

# **Fading Channel**

#### 2) ช่องสัญญาณการเฟด

ช่องสัญญาณการเฟด (Fading Channel) คือรูปแบบช่องสัญญาณพื้นฐานที่อธิบายเหตุการณ์การเฟด (Fading) ของสัญญาณ โดยการเฟดคือการขยาย-หดของขนาดสัญญาณ เช่น สัญญาณถูกส่งจากสถานี ฐานไปยังอุปกรณ์เคลื่อนที่ในพื้นที่หนึ่งจะถูกเฟดทั้งขนาด (Amplitude) และเฟส (Phase) ซึ่งอาจเกิดขึ้นจาก การกระเจิงของสัญญาณจากสิ่งต่าง ๆ เช่น ต้นไม้ เสา หรือกำแพง แบบจำลองช่องสัญญาณการเฟดทั่วไป แสดงดังรูปที่ 51 ช่องสัญญาณการเฟดมีแบบจำลองช่องสัญญาณอยู่หลากหลายรูปแบบจากตัวแปรที่ ส่งผลต่อการเฟด หนึ่งในพื้นฐานแบบจำลองช่องสัญญาณการเฟด คือ ช่องสัญญาณการเฟดแบบเรย์ลีห์ (Rayleigh Fading Channel)



รูปที่ 51 แบบจำลองช่องสัญญาณการเฟดทั่วไป

ช่องสัญญาณการเฟดแบบเรย์ลีห์ คือแบบจำลองช่องสัญญาณที่สัญญาณส่งเกิดการขยาย-หดทางขนาด และการเฟด ตามการกระจายแบบเรย์ลีห์ ช่องสัญญาณดังกล่าวเหมาะสำหรับการจำลองช่องสัญญาณ ภายใต้สภาพแวดล้อมของชั้นบรรยากาศโทรโพสเพียร์ ไอโอโนสเพียร์ รวมถึงสภาพชุมชนเมือง นอกจากนี้ยัง เหมาะกับแบบจำลองที่ไม่มีการแพร่กระจายสัญญาณทางตรง กล่าวคือสัญญาณที่ได้รับอาจมาจากการ สะท้อนหรือถูกลดทอนทั้งหมด แบบจำลองของช่องสัญญาณการเฟดแบบเรย์ลีห์แสดงดังรูปที่ 51 โดย กำหนดให้ y(t) เป็นเอาต์พุตช่องสัญญาณ ซึ่งเกิดจากสัญญาณที่ส่ง x(t) ผ่านช่องสัญญาณการเฟดที่ มีคุณสมบัติช่องสัญญาณแทนด้วย h(t) ซึ่งจะถูกคูณเข้าไปกับสัญญาณที่ส่ง และรวมกับสัญญาณรบกวน เกาส์เซียน n(t) ซึ่งสามารถเขียนความสัมพันธ์ของสัญญาณต่าง ๆ ได้ดังนี้

$$y(t) = h(t)x(t) + n(t)$$
(30)

โดยที่ h(t) คือค่าสัมประสิทธิ์ช่องสัญญาณเชิงซ้อน (Complex Channel Coefficient) ซึ่งประกอบไปด้วย สัญญาณรบกวนเกาส์เซียนที่เป็นอิสระกัน 2 ชุด ที่มีค่าจำนวนจริงและค่าจำนวนเชิงซ้อนแทนด้วย  $h_i$  และ  $h_{\varrho}$  ที่ทั้งคู่มีค่าเฉลี่ยเท่ากับ 0 และความแปรปรวนเท่ากับ  $\sigma_h^2$  ตามลำดับ และหากแทนขนาดสัญญาณที่มีการ กระจายเกาส์เซียนทั้ง 2 ด้วย  $T_I$  และ  $T_{\varrho}$  ตามลำดับ ขนาดของ  $h = h_I + jh_{\varrho}$  จะได้เป็น  $|h| = \sqrt{h_I^2 + h_{\varrho}^2}$ ซึ่งสามารถแสดงฟังก์ชันความหนาแน่นแบบเรย์ลีห์ของ |h| ดังรูปที่ 52 และเขียนสมการได้โดย



# ภาคผนวก ข เอกสารประกอบการเผยแพร่ในมหาวิทยาลัย ภาคปฏิบัติ

เอกสารดังต่อไปนี้คือเอกสารที่ใช้ในการเผยแพร่ชุดการเรียนรู้และการถ่ายทอดความรู้พื้นฐาน ในส่วนการทดสอบใช้งานซอฟต์แวร์ชุดการเรียนรู้ระบบสื่อสารมาตรฐาน 5G









### การทดลองและบันทึกผล

ให้นักศึกษาทดลองมอดูเลตสัญญาณของบิตข้อมูลอินพุตขนาด 16 บิต โดยกำหนดรูปแบบการมอดู เลตแบบ π/2 - BPSK และวาดแผนภาพคอนสเตลเลชันของการมอดูเลต

.....

สัญลักษณ์ที่ได้จากการมอดูเลต



่วนที่ 3 ช่องสัณณา	าณรบกวน					
วิธีการทดลส	טס					
1) เลือกรูปเ	เบบช่องสัญญา	าณรบกวน โ	ດຍ Select Chann	el 🗸		
	SG Stendard SG Modulation SG Channel Codin	ng 36 Simulation About				
		nmulat. This proje	เรียนรู้การมอดูเลขันและดีมอดูเล ional kit: Modulation and demod ตนุมมาก กอดุบริโอมชา้มมากิจการกระบ ect was supported by The National Bro	งชันในมาตรฐาน 56 ulotion in 56 standard เรื่อะกิจารโครโคร์ เอะกิจารโครแบรแบ adcasting and Telecommunication Co	เสือว่าเริ่มขนักขางอะ (ถ้าน้ำงาน กลาง) ommission (NBTC).	
	Input	Modulation Inside	Noisy Channel	Demodulation  Inside	Output Inside	
	Input -	Modulation -	<b>→</b>	Demodulation	Output	
	1011010001100110	(-0.7071-0.7071j) (0				
	Configuration Random	Configuration BPSK ~	Configuration Select Channel(1)	Configuration BPSK ~	Configuration	
	Input Length			Max-Log v		
	Software OFPGA RUN CLEAR	Software OFPGA	© Software ① FPGA RUN CLEAR	Software CFPGA RUN CLEAR	CLEAR	
	Software OFPGA     RUN CLEAR     Signal Plot	Constellation Plot	Software OFPGA     RUN CLEAR     Constellation Plot	Software FPGA     RUN CLEAR     Signal Plot	CLEAR Signal Plot	
_	O Software O FPGA RUN CLEAR Signal Pict	Software OFPGA     RUN CLEAR     Constellation Plot	Controllation Plot	© Software © FFGA RUN CLEAR Signal Plot	CLEAR Signal Pist	
2) กำหนดค่	osanare FRGA RUN CLEAR Signal Flat	© Software OFPGA RUN CLEAR Constellation Plot	Software OFPGA     RUN CLEAR     Constribution Plot	Software     IFPGA     RUN     CLEAR     Signal Plot	CLEAR Signal Pot	
2) กำหนดค่ 3) กดปุ่ม R	<sup>o Ghaver OPGA</sup> <u>พศ CLAR</u> SparPlat	Settware         OFBA           RUN         CLEAR           Constellation Plot	Contribution Pice	Sgual Pick	<sub>รรณสรม</sub> รรณสรม	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	•รถงาน <u>รถ</u> น รถ บท SNR ที่ต้องก UN เพื่อดำเรินก นมอดูเลด ๔^รรณะ	Constitution Poet	Constitution Pot	SputPix	ระทบของสัถ	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	ອັດຄາແມ່ ເປັນ ເກັດ SNR ที່ຕ້ອນກາ UN ເพື່ອດຳເຮັບກາ ເມຍອດເລດ ເປັນເປັນເຫຼັງ ເປັນເປັນເຫຼັງ ເປັນເປັນເຫຼັງ ເປັນເປັນເຫຼັງ ເປັນ ເປ	entere Officia Rec CLEA Constitution Per DISS DISS STUDIES About Solutions About Solu			<sub>รรณ</sub> ระ กายของสัญ	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	ราคา ราคา เก SNR ที่ต้องก UN เพื่อดำเรินก นมอดูเลต เป็นไปเกลีย เรียงแต่ (เริ่มเต	• Enhane:         ۲۴۲۵           • Roi         CEA           • Roi         CEA           • Ins         • Ins           • Ins         • Ins           • 9 Streaden Aber         • Winn           • 20 Streaden Aber         • Winn           • 20 Streaden Aber         • Winn           • 20 Streaden Aber         • Winn		Kining Class     K	ดผล ระกมของสัต ประกมของสัต ประโยร์สาระส (หัวกร.งาย) ประวัติสาระส เป็นชื่อเรื่องราย (หัวกร.งาย) เป็นชื่อเรื่องราย (หรือเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่องราย (หรือเรื่องราย) เป็นชื่องราย (หรือเรื่องราย) เป็นชื่อเรื่องราย (หรือเรื่องราย) เป็นชื่องราย (หรือเรื่องราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องราย (หรืองราย) เป็นชื่องรายา (หรืองราย) เป็นชื่องราย (หร้องรายา) เป็นชี้งราย (หร้องราย) เป็น (หร้องรายา) เป็นชื่องราย (หร้องราย) เป็นชี้งราย (หร้องราย) เป็น	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	ຍຣຄາແມ່ດ ເກ SNR ที่ต้องก UN ເพื่อดำเรินก นมอดูเลต ເນີຍແຫຼງເລດ ໂປເຫຼີງເລດແປ ເບຼີງເລດແປ	enteure Return Officia Return Caldat Constitution Part Inns Inns assnut assnut Subsections Inne Subsections Inne		Konne Cran Konne Cran Signal Pra	GLA SpulPa ScrIU2006A0 dolelador was (Mores week) mentical (MR).	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ		Constanting Former     Constanting     Constanting     Constanting		Manue Trade     Renorm Catala     Signal Prot	GEAR SpuriPis Scentruziona (Mora ana) Mortilación was (Mora ana) Mortilación (ME).	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	ຍ ຣຄາແມ້ ເປັນ ແມ່ງ ເປັນ		Constitution of finance Constitution Part Constitution Part UQQTALSUNCLUM Heres/formance	Mini Class Rini Class Signa Pict HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIa:SSDJWAAN HIIIA:SSDJ	CEAR Signal Field Science (Allows week) Advidence on a field Intelligible Coopert	บูญาณรบทวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	in SNR ที่ต้องก UN เพื่อดำเรินก นมอดูเลด เพิ่มจะเป็นเชื่อไปเลย (ส เพิ่มจะเป็นเชื่อไปเลย (ส เพิ่มจะเป็นเชื่อไปเลย (ส เพิ่มจะเป็นเชื่อไปเลย (ส เพิ่มจะเป็นเชิง)		Constitution and dend     more an ageord by the former	Williamman 40 while modulation actions of the community	CEAR SpuriPia Scentru 2000 AGO Advictaciónes (Marc.)	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ		energian Row CEA Row CEA Constances For Constances For Some	Control of the second se	Control of the c	GLA SpulFit SpulFit Scenutions (More well metalocities of the second metalocities of the second metalocities of the second secon	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	in SNR ที่ต้องก UN เพื่อดำเรินก ขมอดูเลด เป็นช่วงเร็น เป็น เป็น เป็นช่วงเร็น เป็นช่วงเร็น เป็น เป็น เป็น เป็น เป็น เป็น เป็น เป	Configuration		Cettguestion     Cettguestion	CLAR SpuriPis Scinu V Do Notions And Advidencionnas (Mons And Monte (MS).	บูญาณรบกวนเข้าก่
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	ຍິຣຄາແບ້ ເຫດ ເກ SNR ที่ต้องก UN เพื่อดำเรินก นมอดูเลด เพื่อตำเรินก เหลือ เราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะ เราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะ เราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะ เราะระเราะ เราะระ ระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเราะระเร	Centralized     Control Contro Control Control Control Control Control Control Control Control Co		Certiguestion Exercise Certiguestion Exercise E	CEAR Spuri Pis Scr. DU UO OVATOR Market Conference (Marcus offer) Market Output Configuration	ม <sub>ู</sub> ญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	Configuration Configuration Charles Called	Configuration     Configuration     Configuration     Configuration     Configuration     Configuration     Configuration     Configuration	Contribution	Configuration	CEAR Signal Fits Signal Fits S	บูญาณรบกวนเข้าก้
2) กำหนดค่ 3) กดปุ่ม R สัญญาถ	in SNR ที่ต้องก UN เพื่อดำเรินก ขมอดูเลด เพิ่งจะเล่ง เป็นช่อเต้าเรินก เป็นช่อเต้าเริงกา เป็นช่อเต้าเป็น เป็น เป็น เป็น เป็น เป็นช่อเต้าเป็น เป็น เป็น เป	• Cherker         • Fifch           Roher         • CEBA           Roher         • Fifch           ESCHER         • Fifch           ESCHER         • Fifch           ESCHER         • Fifch		Configuration     Configu	CLEAR Spuri Pis Scen U U D D D G More Landon were developed were of Marca were mension (MSC).	มูญาณรบกวนเข้าก่





ให้นักศึกษาทดลองผลกระทบของช่องสัญญาณแบบ Fading ที่มีบิตข้อมูลอินพุตขนาด 16 บิต และมี รูปแบบการมอดูเลตแบบ π/2 - BPSK โดยกำหนดค่า SNR = -5 dB และ SNR = 5 dB พร้อมทั้งวาดแผนภาพ คอนสเตลเลชันของสัญญาณที่ผ่านช่องสัญญาณรบกวนทั้ง 2 กรณี

สัญญาณที่ผ่านช่องสัญญาณรบกวน (กรณี SNR = -5 dB)

แผนภาพคอนสเตลเลชัน (กรณี SNR = -5 dB)

.....



สัญญาณที่ผ่านช่องสัญญาณรบกวน (กรณี SNR = 5 dB)





### การทดลองและบันทึกผล

ให้นักศึกษาทดลองการดีมอดูเลตสัญญาณ ที่มีบิตข้อมูลอินพุตขนาด 16 บิต และมีรูปแบบการมอดูเลต แบบ π/2 - BPSK โดยส่งผ่านช่องสัญญาณแบบ Fading ที่มีค่า SNR = 5dB และกำหนดให้ใช้อัลกอริทึมการดี มอดูเลตแบบ Mag-Log พร้อมทั้งวาดกราฟของค่า LLR ที่จากการดีมอดูเลต

.....

ค่า LLR ที่ได้จากการดีมอดูเลต

.....



<u>เทิ 1</u> การสรางบิดขอมูลอินง วิธีการทดลอง	ία				
<ol> <li>ສຮ້ານນ້ອມູສອົບພຸດແບ</li> <li>ສະການຄ້ອງ ແລະ ຄຳແລະ</li> </ol>	บสุ่ม โดยคลิก 🛛	ielect input 🗸 🔤	ละเลือก Rar	ndom	
Number         Source         Management	Second Carling in KC mention polytopharmony and the second second second private ty the factor of the second second second second secon	<ul> <li>Hereiter von die information (MC)</li> <li>Being Channell</li> </ul>	Construction +	Brading Brite	Evand Inche
Carligandian Carli	- Line Wedne -	Configuration Solid Dervet	Configuration Meet to a set of the set of th	Configuration Solid Operationation	Configuration
Oldness         OPEA           RAN         CAM           Spatha         Spatha	Software Office     Role     Construction Part	Software 0.495A     Rule 0.495A     Software 0.495A     Software 0.495A     Software 0.495A	Software C-1995A     Rate C-2048     Specifies	Bohare OPEA BAN CLAM Syncified	Cable Signal Prot
2) ป้อนความยาวบิตอิน	พุตที่ต้องการ				
<ol> <li>กดปุ่ม RUN เพื่อดำเนื้</li></ol>	มินการสร้างอินพ กระ 				
International In	Appendity the followed broad acting and the Minister Building	Reing Connel	Securities	• Decoding Inside	+ Cope India
Unerstation					
Configuration Forders - TypeTampB	Configuration View Modulation	Configuration Select Dannel	Configuration Select Second 4 - Her-Leg = v	Configuration Setup (haved booke	Configuration
LFØ					







#### การทดลองและบันทึกผล

ให้นักศึกษาทดลองเข้ารหัสบิดข้อมูลอินพุตขนาด 16 บิต โดยกำหนดรูปแบบช่องสัญญาณแบบ PUSCH และใช้ Base graph 1 ให้วาดสัญญาณที่ถูกเข้ารหัสแล้ว

บิตข้อมูลก่อนเข้ารหัสและบิตข้อมูลหลังเข้ารหัส





D66-1-(2)-001


#### การทดลองและบันทึกผล

้ให้นักศึกษาทดลองการถอดรหัสบิตข้อมูลอินพุตขนาด 16 บิต และมีรูปแบบช่องสัญญาณ PDSCH ใช้ การมอดูเลตแบบ π/2 - BPSK โดยส่งผ่านช่องสัญญาณแบบ Fading ที่มีค่า SNR = 5dB และกำหนดให้ใช้ อัลกอริทึมการดีมอดูเลตแบบ Mag-Log และถอดรหัสด้วยอัลกอริทึม Min-sum จำนวน 20 รอบ พร้อมทั้งวาด กราฟของบิตข้อมูลที่ได้จากการถอดรหัส

บิตข้อมูลที่ได้จากการถอดรหัส



## แบบฝึกหัด

1) จงเข้ารหัส CRC ของชุดข้อมูลข่าวสาร น ที่เป็นเลขฐานสองจำนวน 10 บิตซึ่งถูกแปลงจากเลขฐานสิบของ รหัสนักศึกษา 3 ดัวท้ายของนักศึกษา ด้วอย่างเช่น 62010222<sub>10</sub> = 0011011110, และใช้โพลิโนเมียลที่ถูกต้องตาม มาตรฐานการเข้ารหัส LDPC ของมาตรฐาน 5G

2) เลขฐาน 2 จำนวน 10 บิตที่ได้จากข้อ 1. นำมาตรวจสอบคำตอบในโปรแกรมเข้ารหัสแอลดีพีซีตามมาตรฐาน
 5G โดยกำหนดพารามิเตอร์ดังนี้ R = 0.5

2.1 เปรียบเทียบความถูกต้องของคำตอบที่ได้จากข้อ 1. และคำตอบที่ได้จากโปรแกรมการเข้ารหัส CRC

2.2 เปรียบเทียบข้อมูลก่อนเข้ารหัสและหลังเข้ารหัส CRC ว่ามีการเติมบิต Redundancy กี่บิตที่ต่ำแหน่ง ใดบ้าง

2.3 จากโปรแกรมพิจารณาว่าข้อมูลถูกเข้ารหัส CRC ครั้งที่ 2 หรือไม่เพราะเหตุใด

2.4 จากโปรแกรมพิจารณาว่าข้อมูลก่อนเข้ารหัสแอลดีพีซีมีความยาวกี่บิต มีการเติมบิต 0 เข้าไปใน บล็อกข้อมูลหรือไม่ (ด้ามีจำนวนกี่บิต) การเข้ารหัสรหัสใช้กราฟฐานใด

2.5 คำรหัสที่ได้จากการเข้ารหัสมีจำนวนกี่บิด พิจารณาว่าตำแหน่งของบิตข้อมูลอยู่ตำแหน่งใด และบิด พาริดีอยู่ในตำแหน่งใด

3) เข้ารหัสโพลาร์ความยาวคำรหัส N=16 บิด ที่อัดรารหัส R=1 โดยนำรหัสนักศึกษา 4 หลักท้ายของดนเอง (มองเป็นเลขฐานสิบหก) แปลงเป็นบิดข้อมูล (เลขฐานสอง) เช่น รหัส 62011374<sub>16</sub>ได้เป็น 0001001101111000<sub>2</sub>

4) ช่วยเช็คคำตอบโปรแกรมเข้ารหัสโพลาร์มาตรฐาน 5G หน่อย โดยลองนำบิตก่อนหน้าบล็อกการเข้ารหัสโพ ลาร์ไปทำการเข้ารหัส โดยให้เลือกการตั้งค่าดังนี้

- Physical Downlink Control Channel (PDCCH)
- บิตข้อมูลบล็อก ความยาว 16 บิต จากรหัสนักศึกษา 4 หลักท้าย เหมือนกับแบบฝึกหัดก่อนหน้า
- ความยาวคำรหัส 40 บิต
- บิต RNTI คือ 10101010101010102

โดยผลลัพธ์ควรได้คำรหัสแม่ของรหัสโพลาร์ความยาว *N* = 64 บิต หากโปรแกรมถูกต้อง โดยนำผลลัพธ์บิต ความยาว *N* = 64 บิตนั้นเป็นคำตอบ 5) การมอดูเลตแบบ pi/2-BPSK ต่างจาก BPSK อย่างไร

6) การมอดูเลตแบบ QPSK ต่างจาก 16-QAM อย่างไร

.....

7) กรอกข้อมูลในตารางให้สมบูรณ์ (ตารางการมอดูเลตในมาตรฐาน 5G)

.....

การมอดูเลต	จำนวนบิตต่อสัญลักษณ์ (bits per symbol)
pi/2-BPSK	
QPSK	
16QAM	
64QAM	
256QAM	
1024QAM	

.....

.....

.....

8) อธิบายความแตกต่างระหว่างช่องสัญญาณเกาส์เซียนและช่องสัญญาณเฟดดิง

9) เพราะเหตุใดเราจึงใช้ช่องสัญญาณเฟดดิงแทนช่องสัญญาณการสื่อสารไร้สาย

## ภาคผนวก ค เอกสารประกอบการเผยแพร่ในบริษัทเอกชน

เอกสารดังต่อไปนี้คือเอกสารที่ใช้ในการเผยแพร่แก่บริษัทเอกชนทั้ง 2 ดังที่กล่าวในหัวข้อที่ 4.9 โดยเนื้อหาที่เผยแพร่กล่าวถึงการใช้งานทรัพยากรของอุปกรณ์ FPGA ในแต่ละโมดูล

# FPGA model

Board : AMD Kintex UltraScale+ FPGA KCU116 Evaluation Kit

Chipset : xcku5p-ffvb676-2-e

Strategy : Vivado synthesis/implementation default

# **Simulator utillization**

Herarchy		Name	^ 1	CLB LUTs (216960)	CLB Registers (433920)	CARRVE (27120)	F7 Muxes (108480)	F8 Muxes (54240)	CLB (27120)	LUT as Logic (216960)	LUT as Memory (99840)	Block RAM Tile (480)	DSPs (1824)
- CLB Logic	~ N top_entity	sim		26026	34033	1011	3672	1655	6255	25998	28	31	307
F8 Muxes (2%)	> II memory	interface_component (	memory_interface)	384	0	0	64	0	111	384	0	31	0
CARRYB (4%)	() ny buffe	r_component (rs_buffer)		350	8669	16	0	0	1499	349	2	0	)
F7 Maxes (2%)	🔳 rx_seria	[component (Roderial)		158	41	2	0	0	30	158	0	0	
~ CLB LUTs (12%)	v 🔳 simulati	or_component (simulato	t)	24746	24541	806	3608	1655	5906	24720	26	0	301
LUT as Logic (1.2%)	() chan	nel_decoder_componen	36	73	4	0	0	30	36	ct T. IT.	à le l		
~ LUT as Memory (<1%)	> 🔃 chan	122	160	20	0	0	43	122	องเมเ	LIUS	101		
LUT as Shift Register	> ()) digtal_demodulation_component (digital_demodu				2514	140	187	52	637	2174	16	0	203
CLB Registers (0%)	i digital_modulation_component (digital_modulation			1502	1191	14	5	0	334	1502	0	0	
Register as Flip Flop (19%)	> 1 gaussian_random_input_generator_component ((			15765	8064	609	2934	1398	2741	15755	10	0	10
Register as Latch (<1%)	sim_controller_component (sim_controller)			5031	12337	16	482	205	2291	5031	0	0	
CLB Logic Distribution	) III uniform_random_input_generator_component (uniform_random_input_generator_component (uniform_random_input_generator_component))			77	185	3	0	0	33	77	0	0	
<ul> <li>LUT as Memory (&lt;1%)</li> </ul>	It_buffer_component (tx_buffer)			371	421	52	0	0	156	371	0	0	
using 06 output only<	I byserial_component (TrSerial)			33	34	2	0	0	12	33	0	0	
	Resource	Utilization	Available	Utilization 1	6								
	LUT	26026	216960		12.00								
	LUTRAM	28	99840		0.03								
	FF	34033	433920		7.84								
	BRAM	31	490		6.46								
	DSP	307	1824		16.83								
	10	6	280		2.14								
	BUEG	17	256		6.64								



Pseudorando	m number generator
Synthesis results	Ports
Resource element CLB LUT : 86 CLB Register : 192 Frequency Setting constraint : Clk period : 8 ns Setup WNS : 6.289 ns Hold WNS : -0.070 ns	<pre>entity withorwinds_thout_generator is port(</pre>
5G LI	DPC encoder
Synthesis results Resource element	Ports entity encoder is generate( SITS : integer := 364; STAGES : integer := 30; port < ik : integer := 30;

data\_1 data\_2 data\_3 data\_4 data\_5 data\_6 data\_7 data\_1 data\_1 data\_1 data\_1 data\_1 data\_1

CLB LUT : 149,288 CLB Register : 60,884

Frequency Setting constraint : Clk period : 10 ns Setup WNS : 0.044 ns Hold WNS : -0.068 ns

#### D66-1-(2)-001





# LDPC decoder utillization and timing

ž O	Q # 0 %	Hierarchy									
mary	î		Name		^	1 (216960)	CLB Registers (433920)	CARRY8 (27120)	F7 Muxes 8 (109490)	Bock RAM Tile (480)	Bonded (290
8 Logic	N belief_propag	ation_layered				213229	222220	97	21.4	25	78
CARRYS (1%)	> (i) memory_co	ntroller_component (men	ory_controller)			213169	185259	77	21.4	25	
F7 Muxes (<1%)	> 11 node_proce	essing_unit_component_g	enerate[0].node_proce	ssing_unit_component	(node_processing_unit)	0	12	4	0	0	
CLB LUTs (98%)	> 🚺 node_proce	essing_unit_component_g	enerate[1].node_proce	ssing_unit_component	(node_processing_unit_0)	0	12	4	0	0	
	-										
	Resource	Utilization	Available	Utilization %							
	LUT	213229	216960	98.28							
	FF	222220	433920	51.21							
	BRAM	25	480	5.21							
	10	78355	280	27983.93							
	BUFG	5	256	1.95							
Tcl Console Mer	sages Log Rep	orts Design Runs	Utilization Timin	g ×							
QIEC		• Design Timing Si	mmary								
General Informi Timer Settings	ition	Setup		Hold			Pulse Width				
Design Timing 5	lummary	Worst Negativ	e Slack (WNS): 5.40	6 ms Worst Hold	I Slack (WHS): -0.07	9 ns	Worst Pulse V	Width Slack	(WPWS):	3,458 n	6
Clock Summary	(1)	Total Negativ	Slack (TNS): 0.00	0 ns Total Hold	Slack (THS): -1011	0.603 ns	Total Pulse W	idth Negat	tive Slack (TPWS	): 0.000 n	5
Methodology Su	immary	Number of Fa	iing Endpoints: 0	Number of	Failing Endpoints: 2188	58	Number of Fa	iling Endpo	pints	0	
> Check Timing (1	(UBP / B)	Total Number	of Endpoints: 2548	10 Total Numb	per of Endpoints: 2548	10	Total Number	of Endpoi	nts:	298211	
> intra-clock Patr	15	Timing constant	tem ten not met								



# ภาคผนวก ง ผลการดำเนินงานฉบับย่อสำหรับตีพิมพ์ในวารสารสำนักงาน กสทช.

#### 1. บทนำ

ปัจจุบัน ประเทศไทยมีอุตสาหกรรมด้านการพัฒนาอุปกรณ์โทรคมนาคมอย่างจำกัด เนื่องจากเทคโนโลยีที่มีความซับซ้อนและต้องการบุคลากรที่มีความสามารถสูง ซึ่งทำให้บริษัท โทรคมนาคมในประเทศต้องพึ่งพาอุปกรณ์จากต่างประเทศ อย่างไรก็ตาม สถานการณ์ปัจจุบันที่ บริษัทผู้ผลิตอุปกรณ์จากต่างประเทศเริ่มเข้ามาให้บริการเอง ทำให้การพัฒนาอุปกรณ์ในประเทศมี ความสำคัญมากขึ้น จากปัญหาดังกล่าว โครงการ "พัฒนาอุปกรณ์เข้ารหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการต่อยอดเชิงพาณิชย์" จึงถูกจัดตั้งขึ้น โดยเน้นการพัฒนาซอฟต์แวร์และ ฮาร์ดแวร์การถอดรหัสช่องสัญญาณมาตรฐาน 5G และการพัฒนาชุดการเรียนรู้การถอดรหัส ช่องสัญญาณในมาตรฐาน 5G รวมถึงการ์ดเร่งความเร็ว FEC สำหรับโครงข่าย O-RAN

โครงการนี้มีวัตถุประสงค์ที่จะพัฒนาซอฟต์แวร์และฮาร์ดแวร์การถอดรหัสซ่องสัญญาณ มาตรฐาน 5G พัฒนาชุดการเรียนรู้การถอดรหัสซ่องสัญญาณในมาตรฐาน 5G พัฒนาชุดทดสอบ สมรรถนะการเข้ารหัสและถอดรหัสซ่องสัญญาณในระบบสื่อสารไร้สาย และพัฒนาการ์ดเร่งความเร็ว FEC สำหรับรหัสซ่องสัญญาณในโครงข่าย O-RAN

โครงการนี้ประกอบด้วย 5 ส่วน คือ การพัฒนาการมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G, ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G, ชุดทดสอบสมรรถนะการมอดูเลชันและดี มอดูเลชันมาตรฐาน 5G, การพัฒนาการ์ดเร่งความเร็ว FEC และการเผยแพร่ชุดการเรียนรู้และการ์ด เร่งความเร็ว FEC ให้แก่มหาวิทยาลัยและบริษัทเอกชน ประโยชน์ที่คาดว่าจะได้รับจากโครงการนี้คือ มหาวิทยาลัยที่จัดการเรียนการสอนด้านวิศวกรรมโทรคมนาคมจะได้รับชุดการเรียนรู้ที่ทันสมัยและ ตรงตามมาตรฐาน 5G ผู้ประกอบการด้านอุปกรณ์การสอนจะได้เห็นแนวทางการพัฒนาอุปกรณ์การ สอนที่สอดคล้องกับความต้องการของมหาวิทยาลัย และผู้ประกอบการด้านอุปกรณ์โทรคมนาคมจะได้ เห็นแนวทางการพัฒนาการ์ดเร่งความเร็วที่ใช้งานในโครงข่าย O-RAN

#### 2. ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

#### 2.1 พื้นฐานสัญญาณสุ่มและช่องสัญญาณสื่อสาร

การแจกแจงแบบสม่ำเสมอ (Uniform Distribution) คือการแจกแจงที่ทุกค่าภายในช่วงที่ กำหนดมีความน่าจะเป็นเท่ากัน การแจกแจงแบบสม่ำเสมอมีการใช้งานในหลายด้าน เช่น การสร้าง เลขสุ่มและการจำลองเหตุการณ์สุ่มในงานวิจัยและคอมพิวเตอร์การแจกแจงแบบไม่สม่ำเสมอ (Nonuniform Distribution) คือการแจกแจงที่ค่าความน่าจะเป็นของผลลัพธ์ต่าง ๆ ภายในช่วงที่ กำหนดไม่เท่ากัน โดยแต่ละค่าอาจมีความน่าจะเป็นที่แตกต่างกันไปตามลักษณะของการแจกแจง เช่น การแจกแจงแบบปกติ (Normal Distribution) ที่ค่ากลางมีความน่าจะเป็นสูงกว่าค่าที่อยู่ห่างจากค่า กลาง

## 2.2 พื้นฐานรหัสช่องสัญญาณ

รหัส LDPC (Low-Density Parity-Check) คือรหัสแก้ไขความผิดพลาดประเภทรหัสบล็อก เชิงเส้นที่เมทริกซ์พาริตีเช็กมีจำนวน '1' น้อยมาก ๆ และความสามารถในการแก้ไขข้อผิดพลาดที่มี ประสิทธิภาพสูง สามารถเข้าใกล้ความจุของช่องสัญญาณได้อย่างมาก LDPC ใช้อัลกอริธึมการ ถอดรหัสแบบผ่านข้อความ (Message Passing) ซึ่งทำให้สามารถลดจำนวนข้อผิดพลาดได้ดี จึงถูก นำไปใช้ในเทคโนโลยีสื่อสารและการจัดเก็บข้อมูลหลากหลายประเภท เช่น Wi-Fi, DVB-S2 และ 5G

รหัส Polar เป็นรหัสแก้ไขข้อผิดพลาดที่มีสมรรถนะเข้าใกล้ขีดจำกัดของช่องสัญญาณ (Channel Capacity) ตามทฤษฎีของ Shannon โดยใช้กระบวนการ Polarization เพื่อแยก ช่องสัญญาณออกเป็นช่องสัญญาณที่มีความน่าเชื่อถือสูงและต่ำ ข้อมูลจะถูกส่งผ่านช่องสัญญาณที่มี ความน่าเชื่อถือสูงเท่านั้น ทำให้มีประสิทธิภาพสูง รหัส Polar ได้รับการใช้งานในมาตรฐานการสื่อสาร ไร้สาย 5G เนื่องจากมีโครงสร้างที่ง่ายและมีประสิทธิภาพในการถอดรหัสสูง

#### 2.3 การมอดูเลชันมาตรฐาน 5G

ในมาตรฐาน 5G การมอดูเลชัน (Modulation) ถูกใช้เพื่อแปลงข้อมูลดิจิทัลเป็นสัญญาณที่ สามารถส่งผ่านช่องสัญญาณไร้สายได้ เทคนิคการมอดูเลชันที่ใช้ใน 5G ได้แก่ BPSK (Binary Phase Shift Keying), π/2-BPSK, QPSK (Quadrature Phase Shift Keying), 16-QAM (Quadrature Amplitude Modulation), 64-QAM, 256-QAM และ 1024-QAM ซึ่งช่วยเพิ่มอัตราการส่งข้อมูล โดยการเพิ่มจำนวนบิตที่สามารถส่งผ่านได้ต่อสัญลักษณ์ โดยแต่ละเทคนิคมีการเทรดออฟระหว่าง ความซับซ้อนในการส่ง และความทนทานต่อสัญญาณรบกวนเพื่อให้เหมาะสมกับสภาพแวดล้อมและ ความต้องการในการสื่อสาร

#### 2.4 กระบวนทำงานฟิสิคัลเลเยอร์ลำดับสูง

กระบวนการทำงานทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PDSCH/PUSCH/PSSCH ประกอบด้วยโมดูลที่สำคัญทั้งหมด 7 ส่วน ได้แก่ 1) การเข้ารหัส CRC, 2) การแบ่งย่อยบล็อกข้อมูล, 3) การเข้ารหัส CRC ของบล็อกรหัส, 4) การเข้ารหัส LDPC, 5) การปรับอัตรารหัส, 6) การแทรกสลับ บิต และ 7) การต่อเรียงบล็อกรหัส

กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง กรณี PUCCH/PDCH/PBCH/PSCCH/PSFCH/ PSBCH บนอุปกรณ์ FPGA จะถูกแบ่งเป็นโมดูลหลัก 5 โมดูล ซึ่งจะประกอบไปด้วยโมดูลย่อยทั้งหมด 10 โมดูล ได้แก่ 1) การแบ่งย่อยบล็อกรหัส, 2) การเข้ารหัส การสแครมบลิง และการแทรกสลับ CRC, 3) การลำดับช่องสัญญาณย่อยและการคำนวณบิตพาริตี, 4) การเข้ารหัสโพลาร์ การแทรกสลับ บล็อกย่อย และการปรับอัตรารหัส และ 5) การแทรกสลับบิตรหัสและการต่อบล็อกรหัส

#### 3. ระเบียนวิธีวิจัย

#### 3.1 การออกแบบชุดการเรียนรู้

โครงการนี้ออกแบบซอฟต์แวร์ GUI ชุดการเรียนรู้การมอดูเลชันและการดีมอดูเลชัน มาตรฐาน 5G โดยใช้ภาษา Python เพื่อให้ผู้ใช้งานสามารถเรียนรู้กระบวนการมอดูเลชันและ ดีมอ ดูเลชันได้โดยง่าย ซึ่งผู้ใช้งานจะสามารถเห็นกระบวนการทำงานตั้งแต่การสร้างข้อมูลแบบสุ่มหรือ นำเข้าข้อมูลอินพุต การมอดูเลชัน การส่งผ่านช่องสัญญาณรบกวน และการดีมอดูเลชัน นอกจากนี้ ผู้ใช้งานสามารถดูผลลัพธ์ ณ จุดต่าง ๆ รวมถึงสามารถเรียกดูกราฟผลลัพธ์ของสัญญาณและแผนภาพ คอนสเตลเลชันของการมอดูเลชันได้

#### 3.2 การออกแบบชุดทดสอบสมรรถนะ

โครงการนี้ออกแบบชุดทดสอบสมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สาย โดยผู้ใช้งานสามารถเลือกช่องสัญญาณสื่อสารแบบ AWGN Channel หรือ Fading Channel เพื่อ ทดลองหาสมรรถนะอัตราบิตผิดพลาด ณ จุดต่าง ๆ ของระบบได้ ซึ่งการออกแบบชุดทดสอบ สมรรถนะการมอดูเลชันและดีมอดูเลชันในระบบสื่อสารไร้สายประกอบด้วย 3 ส่วน ได้แก่ ส่วนแสดง พารามิเตอร์ของการมอดูเลชันและดีมอดูเลชัน ส่วนกำหนดค่าการทดสอบสมรรถนะ และส่วนแสดงผล สมรรถนะ

#### 3.3 การออกแบบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์

ชุดการเรียนรู้และชุดทดสอบสมรรถนะได้รับการออกแบบให้ประมวลผลระบบสื่อสาร มาตรฐาน 5G ทั้งบนคอมพิวเตอร์และอุปกรณ์ FPGA โดยการส่งข้อมูลจากคอมพิวเตอร์ไปยัง FPGA ผ่านช่องทางข้อมูลอนุกรม (serial port) ตามโพรโทคอล UART ข้อมูลจะถูกส่งในชุดละ 8 บิต พร้อม บิตเริ่มต้น (start bit) และบิตหยุด (stop bit) ตามรูปที่ 1



#### 3.4 การออกแบบการ์ดเร่งความเร็ว FEC

มาตรฐาน O-RAN กำหนดการใช้งานการ์ดเร่งความเร็ว FEC แบบ PDSCH\_FEC สำหรับ Downlink โดยทำกระบวนการดังนี้:

- 1) TB CRV attachment
- 2) CB segmentation + CB CRV attachment
- 3) LDPC encoding
- 4) Rate matching
- 5) CB concatenation

สำหรับ Uplink มาตรฐาน O-RAN กำหนดการใช้งานการ์ดเร่งความเร็ว FEC แบบ PUSCH FEC โดยทำกระบวนการดังนี้:

- 1) TB CRC check
- 2) CB CRC + CB desegmentation
- 3) LDPC decoding

- 4) Rate dematching
- 5) CB deconcatenation

#### 3.5 การออกแบบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์

การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC ด้วย FPGA ใช้ภาษา VHDL พัฒนาบนอุปกรณ์ AMD Virtex UltraScale+ FPGA VCU118 Evaluation Kit ซึ่งมีส่วนต่อประสาน PCIe การออกแบบเชื่อมกับ IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilinx เพื่อ จัดการเฟรมข้อมูลผ่าน PCIe โปรแกรมภาษา Python ใช้เรียก Driver ของ AMD ที่เขียนด้วยภาษา C ทำให้สามารถทดสอบการรับส่งข้อมูลระหว่าง FPGA และคอมพิวเตอร์ผ่าน PCIe

การออกแบบการ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC ด้วย FPGA ทำในลักษณะ เดียวกับการ์ด AAL\_PDSCH\_FEC ที่กล่าวก่อนหน้า โดยปรับกระบวนการภายในให้ตรงตามมาตรฐาน เมื่อการ์ด AAL\_PUSCH\_FEC ได้รับข้อมูลจากระบบปฏิบัติการ จะดำเนินการตามขั้นตอนที่กำหนด

#### 3.6 รายละเอียดการสร้างข้อมูลอินพุตแบบสุ่ม

สำหรับการออกแบบวงจรสุ่มข้อมูลอินพุตบนอุปกรณ์ FPGA ได้เลือกใช้วงจร CTG 3 ส่วนประกอบ ความยาว 32 บิต มีขนาดคาบเท่ากับ 2<sup>88</sup> ข้อมูลสุ่มขนาด 32 บิตนี้จะถูกนำไปใช้กับ ระบบการสุ่มข้อมูลอินพุต อีกทั้งยังถูกนำไปใช้กับระบบการออกแบบสัญญาณรบกวนแบบเกาสเซียน เช่นเดียวกัน โดยสำหรับระบบการสุ่มข้อมูลข้อมูลอินพุตข้อมูลที่สุ่มได้จะถูกใช้งานเป็นข้อมูลอินพุต โดยตรง ขณะที่ระบบการออกแบบสัญญาณรบกวนแบบเกาส์เซียนจะถูกนำไปใช้เป็นอินพุตค่าทศนิยม ขนาด [0,1)

#### 3.7 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ AWGN

การสุ่มสัญญาณรบกวนเกาส์เซียนด้วยการแปลงบ็อกซ์-มูลเลอร์ (Box-Muller transform) จะให้ผลลัพธ์เป็นคู่เลขสุ่มที่มีการกระจายเกาส์เซียน มีค่าเฉลี่ย 0 และความแปรปรวน 1 ในช่วง [-1, 1] โดยใช้คู่อินพุตที่มีการกระจายแบบสม่ำเสมอในช่วง [0, 1)

การออกแบบวงจรสร้างสัญญาณรบกวนเกาส์เซียนขาวบน FPGA ใช้การแปลงบ็อกซ์-มูลเลอร์ มีขั้นตอนดังนี้:

- 1) การสุ่มเลขทศนิยม [0, 1) ที่มีการกระจายแบบสม่ำเสมอ
- 2) การคำนวณฟังก์ชันลอการิทึมธรรมชาติด้วยการประมาณค่าด้วยพหุนามดีกรี 4
- 3) การคำนวณค่ารากที่สองด้วยอัลกอริทึม CORDIC ในโหมดเวกเตอร์ไฮเปอร์โบลิก
- การคำนวณฟังก์ชันโคซายน์และซายน์โดยใช้ตารางค้นหา (lookup table) ที่คำนวณ ล่วงหน้าด้วย MATLAB
- 5) ผลลัพธ์ที่ได้คือสัญญาณรบกวนเกาส์เซียนขาวที่มีค่าเฉลี่ย 0 และค่าความแปรปรวน 1

#### 3.8 รายละเอียดการสร้างช่องสัญญาณสื่อสารแบบ Fading

การออกแบบสัญญาณการเฟดบนอุปกรณ์ FPGA ค่าสัมประสิทธิ์ช่องสัญญาณเป็นค่าสัมบูรณ์ คำนวณจากค่าสัมประสิทธิ์เชิงซ้อนแกนจริงและแกนจินตภาพ มี 2 ขั้นตอนหลัก:

การยกกำลังสอง: ทำได้โดยการคูณค่าที่ต้องการยกกำลังด้วยตัวมันเอง ผลลัพธ์จะมีความ ยาวเท่ากับความยาวของตัวคูณสองพจน์รวมกัน

**การคำนวณรากที่สอง:** ใช้วงจร CORDIC ในโหมดเวกเตอร์ไฮเปอร์โบลิก (Hyperbolic vectoring) โดยใช้อินพุตและเอาต์พุตเป็นค่า fixed point ความละเอียด fi(16, 11)

#### 3.9 รายละเอียดการสร้างการมอดูเลขันมาตรฐาน 5G

ระบบการพัฒนาการมอดูเลตมาตรฐาน 5G บนอุปกรณ์ FPGA เป็นการสร้างวงจรการ ประมวลผลสัญญาณดิจิทัล (Digital signal processing: DSP) เป็นหลัก ทำให้การมอดูเลตสัญญาณ ตามมาตรฐาน 5G สามารถทำได้โดยการบวก ลบ และ คูณ ทั้งนี้ไม่นิยมการหารเนื่องจากวงจรจะมี ความซับซ้อนสูง จึงมักใช้วิธีการอื่น เช่น การคำนวณค่าผลหารและบันทึกผลลัพธ์ไว้ใน ROM หรือ RAM ของอุปกรณ์ FPGA

การมอดูเลชันแบบ BPSK (Binary phase shift keying) การมอดูเลชันแบบ  $\pi/2$ -BPSK การมอดูเลชันแบบ QPSK (Quadrature phase shift keying) การมอดูเลชันแบบ 16QAM (Quadrature amplitude modulation) การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM มีลักษณะคล้ายกัน โดยสามารถพิจารณาเป็นการมอดูเลชันแบบ PAM (Pulse amplitude modulation) ที่มีค่าบนแกนจริง (In-phase) และแกนจินตภาพ (Quadrature-phase) แตกต่างกันที่จำนวนระดับของ PAM และค่านอมัลไลซ์ ดังนั้น การสร้างวงจร มอดูเลตมาตรฐาน 5G จะเป็นเพียงการสร้าง look-up table หรือ LUT เพื่อเก็บค่าการคูณและการ หารของค่าในแกนจริงและแกนจินตภาพไว้ เนื่องจากค่าในแกนจริงและแกนจินตภาพเป็นค่าเดียวกัน ดังนั้นจริงสามารถลดตารางให้เหลือเพียงตารางของค่าในแกนจริงเท่านั้น

#### 3.10 รายละเอียดการสร้างการดีมอดูเลชันมาตรฐาน 5G

การออกแบบการดีมอดูเลตมาตรฐาน 5G บนอุปกรณ์ FPGA สามารถคำนวณได้จาก

$$L_{b_i}(y) = \frac{1}{2\sigma^2} \Big( 2y(\mu_1 - \mu_0) + (\mu_0)^2 - (\mu_1)^2 \Big)$$

เมื่อ  $\mu_1$  และ  $\mu_0$  คือค่าในตารางของบิต '0' และบิต '1'

#### 3.11 รายละเอียดการสร้างการเข้ารหัสช่องสัญญาณมาตรฐาน 5G

การออกแบบการเข้ารหัส LDPC บนอุปกรณ์ FPGA ใช้การคูณและการบวกเป็นหลัก โดยการ บวกใช้ลอจิก XOR แทนการบวกแบบมอดูโล 2 ซึ่งประหยัดทรัพยากร ส่วนการคูณเมทริกซ์ถูกแทนที่ ด้วยการเลื่อนค่าตามคุณสมบัติของ QC-LDPC ในมาตรฐาน 5G การเลื่อนค่าใช้วงจรเลื่อนค่าที่มีอยู่ มากกว่าวงจรคูณบน FPGA จึงประหยัดทรัพยากรมากกว่า การเข้ารหัสโพลาร์อาศัยการดำเนินการแบบต่อเนื่อง (recursive) โดยใช้การดำเนินการแบบ พื้นฐาน (Basic operations) เช่น การ XOR และการคำนวณค่าใหม่ตามขั้นตอนการเข้ารหัสและใช้ เครือข่ายการแปลงสัญญาณ (Butterfly network) เพื่อดำเนินการคำนวณที่ซับซ้อนให้เป็นการ ดำเนินการที่ง่ายและรวดเร็ว ค่าฟังก์ซัน F และ G เป็นฟังก์ชันพื้นฐานในการเข้ารหัสโพลาร์ โดย ฟังก์ชันเหล่านี้ถูกคำนวณในรูปแบบที่เหมาะสมกับการประมวลผลแบบขนานบน FPGA และใช้ ความสามารถในการประมวลผลแบบขนานของ FPGA เพื่อเพิ่มประสิทธิภาพในการคำนวณ โดย สามารถแบ่งงานออกเป็นหลายส่วนและดำเนินการพร้อมกัน

#### 3.12 รายละเอียดการสร้างการถอดรหัสช่องสัญญาณมาตรฐาน 5G

การออกแบบการถอดรหัส LDPC บนซิป FPGA ใช้วิธีการถอดรหัสแบบเลเยอร์ (Layered Belief Propagation) โดยรวมโครงสร้างเป็นไปตามรูปแบบของตัวถอดรหัส LDPC ที่มีอยู่ใน วรรณกรรมที่เกี่ยวข้อง โดยมีส่วนประกอบหลัก ได้แก่:

ส่วนหน่วยความจำ: ประกอบด้วยหน่วยความจำที่ใช้เก็บค่าเมทริกซ์ตรวจสอบพาริตี, ค่า LLR ที่เอาต์พุตช่องสัญญาณ, และค่า LLR ที่เอาต์พุตโหนดตรวจสอบ เพื่อการถอดรหัสแบบเลเยอร์ ส่วนนี้ใช้ทรัพยากรแรมในชิป FPGA โดยอย่างคุ้มค่า

**ส่วนโครงสร้างการแทรกสลับ:** เป็นโครงสร้างที่ตั้งอยู่ระหว่างหน่วยความจำและหน่วย ประมวลผล ใช้ในการจัดเรียงข้อมูลจากหน่วยความจำไปยังหน่วยประมวลผล ด้วยวงจรย่อย QSN และวงจรแทรกสลับ เพื่อให้การทำงานเป็นไปอย่างมีประสิทธิภาพ

ส่วนหน่วยประมวลผล: ประกอบด้วยโหนดตรวจสอบและโหนดตัวแปร โดยใช้อัลกอริทึม Min-sum ในการถอดรหัส โดยคำนวณค่า LLR ที่เอาต์พุตโหนดตรวจสอบใหม่ และค่า LLR ที่เอาต์พุต โหนดตัวแปร เพื่อให้ได้ค่า LLR ที่เอาต์พุตช่องสัญญาณใหม่

การถอดรหัส LDPC บน FPGA ต้องออกแบบอย่างรอบคอบเพื่อให้การทำงานเป็นไปอย่างมี ประสิทธิภาพและใช้ทรัพยากรในชิปอย่างคุ้มค่า

## 4. ผลการวิจัยและการวิจารณ์ผล

## 4.1 ผลการทดสอบการทำงานของซอฟต์แวร์ GUI

เมื่อผู้ใช้เปิดซอฟต์แวร์ GUI ที่หน้าต่างชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันใน มาตรฐาน 5G หรือหน้าต่างชุดการเรียนรู้การเข้ารหัสและถอดรหัสมาตรฐาน 5G หรือหน้าต่างชุดการ เรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูง คอลัมน์ที่ 1 จะแสดงส่วนสำหรับสร้างข้อมูลอินพุต ผู้ใช้สามารถเลือกสร้างข้อมูลอินพุตแบบสุ่ม อัปโหลดรูปภาพ หรือป้อนข้อมูลอินพุตด้วยตนเอง ผลลัพธ์จะปรากฏในรูปบิตข้อมูลไบนารีและสามารถแสดงกราฟของสัญญาณอินพุตตามตัวอย่างในรูป ที่ 2



รูปที่ 2 กราฟของสัญญาณข้อมูลอินพุตแบบสุ่มที่สร้างโดยใช้ซอฟต์แวร์

## 4.2 ผลการทดสอบการทำงานของซอฟต์แวร์ Module

โครงการนี้สร้างซอฟต์แวร์ Module ภาษา Python สำหรับชุดการเรียนรู้การมอดูเลชันและ ดีมอดูเลชันมาตรฐาน 5G ชุดการเรียนรู้การเข้ารหัสและถอดรหัสช่องสัญญาณมาตรฐาน 5G และชุด การเรียนรู้กระบวนการทำงานฟิสิคัลเลเยอร์ลำดับสูงมาตรฐาน 5G รวมทั้งสิ้น 9 Module ดังตารางที่ 1 ซึ่งซอฟต์แวร์ Module เหล่านี้จะทำงานร่วมกับซอฟต์แวร์ GUI

## ตารางที่ 1 ซอฟต์แวร์ Module สำหรับซอฟต์แวร์ GUI

ซอฟต์แวร์ Module	ซอฟต์แวร์ Module ย่อย	อินพุต	เอาต์พุต
randomInput.py	-	1. จำนวนบิตอินพุต	1. บิตข้อมูลแบบไบนารี
PolarEncoderModule.py	CodeBlockSegmentation	1. ชนิดของช่องสัญญาณ	1. คำรหัสแบบไบนารี
	CRCInterleaver	กายภาพ	
	CRCAttachment	2. ความยาวรหัส	
	CRCScrambling	3. บิตข้อมูลแบบไบนารี	
	PolarSequencing		
	ParityCheckEncoding		
	PolarEncoding		
	SubBlockInterleaver		
	RateMatching		
	CodedBitInterleaver		
	CodeBlockConcatenation		
LDPCEncoderModule.py	CRCEncoder1	1. ชนิดของช่องสัญญาณ	1. คำรหัสแบบไบนารี
	Segmentation	กายภาพ	
	CRCEncoder2	2. พารามิเตอร์การเข้ารหัส	
	LDPCEncoder	3. บิตข้อมูลแบบไบนารี	
	RateMatching		

ซอฟต์แวร์ Module	ซอฟต์แวร์ Module ย่อย	อินพุต	เอาต์พุต
	BitInterleaving		
	CodeBlockConcatenation		
nrPDSCHPRBS.py	Scrambling	1. คำรหัสแบบไบนารี	1. สัญญาณที่ถูกสแครม
	Descrambling	หรือค่า LLR	หรือดีสแครม
modulation.py	pi2BPSK	1. รูปแบบการมอดูเลชั่น	1. สัญญาณมอดูเลชั่น
	BPSK	2. บิตข้อมูลแบบไบนารี	
	QPSK	หรือคำรหัสแบบบารี หรือ	
	16QAM	สัญญาณที่ถูกสแครม	
	64QAM		
	256QAM		
	1024QAM		
Channel.py	AWGN	1. รูปแบบช่องสัญญาณ	1. สัญญาณที่ผ่านช่อง
	Fading	2. สัญญาณมอดูเลชั่น	2. สัญญาณสื่อสาร
		3. ค่า SNR	
demodulation.py	pi2BPSK	1. อัลกอริทึมการดีมอดูเลชัน	1. ค่า LLR
demodulation_LUT.py	BPSK	2. รูปแบบการดีมอดูเลชัน	
	QPSK	3. สัญญาณที่ผ่านช่อง	
	16QAM	สัญญาณสื่อสาร	
	64QAM		
	256QAM		
	1024QAM		
PolarDecoderModule.py	TraverseIndexesCalculation	1. ชนิดของช่องสัญญาณ	1. บิตข้อมูลเอาต์พุต
	CodedBitDeInterleaver	กายภาพ	แบบไบนารี
	PrePolarDecoder	2. ค่า LLR หรือสัญญาณ	
	SCBased5GDecoder	ที่ได้จากการดีสแครม	
	PolarBPDecoder	3. อัลกอริทึมการถอดรหัส	
		4. พารามิเตอร์การถอดรหัส	
LDPCDecoderModule.pv	DeCodeBlockConcatenation	1. ชนิดของช่องสัญญาณ	1. บิตข้อมลเอาต์พต
	DeBitInterleaving	กายภาพ	แบบไบนารี
	DeRateMatching	2. ค่า LLR หรือสัญญาณ	
	LDPCDecoding	ที่ได้จากการดีสแครม	
	CRCDecoder2	3. อัลกอริทึมการถอดรหัส	
	DeSegmentation	4. พารามิเตอร์การถอดรหัส	
	CRCDecoder1		

## 4.3 ผลการทดสอบการทำงานของอุปกรณ์ FPGA

โครงการนี้ได้เขียนซอฟต์แวร์สำหรับการสร้างวงจรบนชิปเอฟพีจีเอ ภายใต้ภาษา VHDL ที่ใช้ งานร่วมกับซอฟต์แวร์ GUI ชุดการเรียนรู้การมอดูเลชันและดีมอดูเลชันมาตรฐาน 5G รวมทั้งสิ้น 9 ระบบย่อย โดยแสดง ซึ่งซอฟต์แวร์เหล่านี้จะถูกสังเคราะห์ เชื่อมโยง และโปรแกรมไปยังชิปเอฟพีจีเอ และชิปเอฟพีจีเอจะถูกเชื่อมเข้ากับคอมพิวเตอร์ผ่านการสื่อสารแบบ serial เพื่อทำงานร่วมกับ ซอฟต์แวร์ GUI ชุดการเรียนรู้

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
top_entity_sim.vhdl	simulator package.vhdl	ชุดการเรียนรู้ส่วนประ
	RxSerial.vhdl	มวลผลบนอุปกรณ์ FPGA
	rx buffer.vhdl	1
	_ simulator.vhdl	
	tx_buffer.vhdl	
	TxSerial.vhd	
	memory_interface.vhdl	
RxSerial.vhd	-	Serial receiver
rx_buffer.vhdl	-	Receiver buffer
simulator.vhdl	sim_controller.vhdl	-
	uniform_random_input_generat	
	or.vhdl	
	channel_encoder.vhdl	
	digital_modulation.vhdl	
	gaussian_random_input_generat	
	or.vhdl	
	digital_demodulation.vhdl	
	channel_decoder.vhdl	
sim_controller.vhdl	-	Simulator controller
uniform_random_input_generat	combined_Tausworthe_88.v	Random input
or.vhdl	hdl	generator
channel_encoder.vhdl	ldpc_encoder.vhdl	channel encoder
	polar_encoder.vhdl	(ประกอบด้วยรหัส LDPC
		และ Polar)
digital_modulation.vhdl	-	Modulator
gaussian_random_input_generat	noisegen_top.vhdl	Noise generator
or.vhdl		

ตารางที่ 2 ซอฟต์แวร์ชุดคำสั่งของระบบย่อย

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
	combined_Tausworthe_88.v	
	hdl	
	LUTsincos.vhdl	
	LUTcosonefour.vhdl	
	logCal_top.vhdl	
	CofROM.vhdl	
	xinPropare.vhdl	
	polyCal.vhdl	
	sqrtCal.vhdl	
	cordic_calculation.vhdl	
	cordic_equation.vhdl	
	cordic_stage_0.vhdl	
	cordic_stage_1.vhdl	
	cordic_stage_2.vhdl	
	cordic_stage_3.vhdl	
	cordic_stage_4.vhdl	
	cordic_stage_5.vhdl	
	cordic_stage_6.vhdl	
	cordic_stage_7.vhdl	
	cordic_stage_8.vhdl	
	cordic_stage_9.vhdl	
	cordic_stage_10.vhdl	
	cordic_stage_11.vhdl	
	cordic_stage_12.vhdl	
	Div_VHDL_control.vhdl	
	Div_lut.vhdl	
digital_demodulation.vhdl	LLR_BPSK.vhdl	Demodulator
	LLR_p2BPSK.vhdl	
	LLR_QPSK.vhdl	
	LLR_16QAM.vhdl	
	LUT16QAM_cal.vhdl	
	LUT_16QAM.vhdl	
	LLR_64QAM.vhdl	
	LUT64QAM_cal.vhdl	

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
	LUT_64QAM.vhdl	
	LLR_256QAM.vhdl	
	LUT256QAM_cal.vhdl	
	LUT_256QAM.vhdl	
	LLR_1024QAM.vhdl	
	LUT1024QAM_cal.vhdl	
	LUT_1024QAM.vhdl	
channel_decoder.vhdl	belief_propagation_layered.	channel decoder
	vhdl	
	belief_propagation_package	
	d.vhdl	
	memory_controller.vhdl	
	parity_check_matrix_memor	
	y_generator_hdl.vhdl	
	app_memory_generator_hdl	
	.vhdl	
	check_to_var_memory_gen	
	erator_hdl.vhdl	
	data_arrangement.vhdl	
	barrel_shifter_QSN_bypass.v	
	hdl	
	barrel_shifter_QSN.vhdl	
	barrel_shifter_QSN_reverse.v	
	hdl	
	node_processing_unit.vhdl	
	c2v_subtraction.vhdl	
	c2v_addition.vhdl	
	sign_comparison.vhdl	
	minima_structure.vhdl	
	minima_structure_64.vhdl	
	minima_structure_32.vhdl	
	minima_structure_16.vhdl	
	minima_structure_8.vhdl	
	minima_structure_4.vhdl	

ซอฟต์แวร์ชุดคำสั่งหลัก	ซอฟต์แวร์ชุดคำสั่งประกอบ	ระบบย่อย
	comparator_1_multiplexer_ 1.vhdl	
	comparator_1_multiplexer_ 2.vhdl	
ty buffer ybdl	approximate_min_sum.vnut	Transmittar buffar
	-	
TxSerial.vhd	-	Serial transmitter

## 4.4 ผลการทดสอบการเชื่อมต่อระหว่างอุปกรณ์ FPGA กับคอมพิวเตอร์

การทดสอบการส่งข้อมูลจาก Computer ไปยังอุปกรณ์ FPGA จะต้องส่งชุดบิตส่วนหัวก่อน จากนั้นตามด้วยชุดบิตข้อูมล และส่งชุดบิตส่วนหัวและชุดบิตข้อมูลให้ครบจำนวนประเภทข้อมูลของ แต่ละโหมดหรือโมดูลของการใช้งาน นอกจากนั้น การทดสอบการส่งข้อมูลจากอุปกรณ์ FPGA ไปยัง Computer จะต้องส่งชุดบิตส่วนหัวก่อน จากนั้นตามด้วยจำนวนส่วน ความยาวของชุดบิตข้อมูล และ สุดท้ายตามด้วยชุดบิตข้อูมล จำนวนส่วนสามารถบ่งบอกคอมพิวเตอร์ได้ว่าส่วนหัวดังกล่าว จะมีการ ส่งชุดบิตข้อมูลเป็นจำนวนกี่ครั้ง ประเภทของชุดบิตข้อมูลจะขึ้นอยู่กับแต่ละโหมดหรือโมดูลของการ ใช้งาน ผลลัพธ์การสื่อสารแสดงดังรูปต่อไปนี้

RealTerm: Serial Capture Program 2.0.0.57		_						
00000000         00000001         00000000         00000000         00101011         0010111           01111000         10101101         01011000         01001101         1110110         011110           10011111         0111111         11110100         0101110         11100101         1110010           10011011         0000101         01101001         1111001         01001001         1111000           01001001         00000101         01100000         01011011         1000000         10110101         00000101           01001101         00000101         01100100         0100000         101100101         0000000         10100000         10100000         0100000         1000000         1000000         10000000         1000000         1000000         1000000         1000000         1000000         1000000         10000000         10000000         10000000         10000000         10000000         10000000         100000000         100000000         100000000         100000000         100000000         1000000000         1000000000000         1000000000000000000000000000000000000	1 00100011 0 01100111 0 01011000 0 00000100 0 00000111 1 11100001 1 0111101 0 11001100 1 10100101 0 0111111 0 11001001 0 11001001 0 11001001 0 11001001 0 00000110 0 00000110 0 00000110	11100100 11001110 11001100 10001111 10001100 0111111	Freeze					
Contraction of the individual of the inditeres of the individual of the individual of the individual of the								
Char Count	436 CPS:0	Port: 4 1	9200 8N1 None					

รูปที่ 3 ชุดข้อมูลที่รับมาจากอุปกรณ์ FPGA

## 4.5 ผลการทดสอบการทำงานของการ์ดเร่งความเร็ว FEC

**การจัดเตรียมฮาร์ดแวร์:** ทำการตั้งค่าอุปกรณ์ FPGA ตามคู่มือกำหนดสำหรับการใช้งาน PCIe แล้วจึงนำอุปกรณ์เสียบลงบนเครื่องคอมพิวเตอร์



รูปที่ 4 ผลการทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express ของ Xilinx

ทดสอบ IP-Core DMA/Bridge Subsystem for PCI Express ตามคู่มือของ Xilinx ผลการ ทดสอบแสดงในรูปที่ 4 แสดงว่าระบบปฏิบัติการตรวจพบอุปกรณ์ FPGA เป็นหนึ่งในอุปกรณ์ต่อพ่วง PCIe

4.6 ผลการทดสอบการเชื่อมต่อระหว่างการ์ดเร่งความเร็ว FEC กับคอมพิวเตอร์

Command Prompt	×	+	~								-	٥	×
C:\Users\ThanatS\Next Binary input: 1000000 Output: 010001111110 11011101 No error	cloud 11111 00110	\Map\ 1101  11000	Project\Xili	nx\5G\PCIe	\test>pyt	hon PDSCH	H_test.py	1011010110	3001110011	100100011	00001	10001	10
C:\Users\ThanatS\Next	cloud	\Map\	Project\Xili	nx\5G\PCIe	\test>								

รูปที่ 5 ผลการทดสอบการ์ดเร่งความเร็ว FEC แบบ AAL\_PDSCH\_FEC

ทดสอบโดยใช้โปรแกรม Python เรียกใช้ XDMA เพื่อรับส่งข้อมูลสำหรับ AAL\_PDSCH ผล การทดสอบแสดงในรูปที่ 5 พบว่าค่าถูกต้องเมื่อเทียบกับโปรแกรม GUI

🖻 Command Prompt 🛛 🗙			
C:\Users\ThanatS\Nextcloud LLR input: 11000110001101 100000011010010010101010	<pre>Map\Project\Xilinx\5G\PCIe\test&gt;python PUSCH_test.py e0100010001111110000110100000000011000110001100010000</pre>	0011011 0100000 1000011 1011000 0111110000 11110000 1100000110 00001101 00001101 1011111 1010010	0101 0110 0001 1011 0100 1011 1010 1011 1111 1110 0100 00011 0011
C:\Users\ThanatS\Nextcloud	Map\Project\Xilinx\5G\PCIe\test>		

รูปที่ 6 ผลการทดสอบการ์ดเร่งความเร็ว FEC แบบ AAL\_PUSCH\_FEC

ทดสอบโดยใช้โปรแกรม Python เรียกใช้ Driver XDMA เพื่อรับส่งข้อมูลสำหรับ AAL\_PUSCH ผลการทดสอบแสดงในรูปที่ 6 พบว่าค่าถูกต้องเมื่อเทียบกับโปรแกรม GUI

## 4.7 ผลการทดสอบเว็บไซต์เผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสาร มาตรฐาน 5G

โครงการนี้สร้างเว็บไซต์เพื่อเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสาร โดยสามารถเข้าถึงได้ที่ <u>https://www.channelcoding.com</u> ภายในเว็บไซต์ประกอบด้วย 6 แถบ หลัก ได้แก่ หน้าแรก รหัสช่องสัญญาณ การมอดูเลชัน ช่องสัญญาณรบกวน ชุดการเรียนรู้และทดสอบ และเกี่ยวกับเรา โดยแต่ละแถบมีรายละเอียดดังนี้

**แถบหน้าแรก** เป็นแถบที่ประกอบด้วยหน้าต่างหน้าแรกซึ่งแสดงข้อมูลแนะนำเว็บไซต์ และ ผู้สนับสนุน เพื่อใช้ผู้ใช้เห็นภาพรวมของเว็บไซต์ นอกจากนี้ยังสามารถเข้าถึงบทความที่อัพเดทล่าสุด และบทความแนะนำจากแถบด้านขวาของหน้าต่าง ผลการทดสอบเว็บไซต์หน้าต่างหน้าแรกแสดงดัง รูปที่ 7



#### ยินดีด้อนรับเข้าสู่ www.channelcoding.com



เว็บไซต์นี้นำเสนอการใช้งาน "รหัสช่องสัญญาณ" ในมาตรฐานการสื่อสารต่าง ๆ ไม่ว่าจะเป็น มาตรฐาน 5G (3GPP NR) และ Wi-Fi (IEEE 802.11) นอกจากนี้ เว็บไซต์ยังแสดงการพัฒนาชุดอุปกรณ์เข้ารหัส ข่องสัญญาณมาตรฐาน 5G บนบอร์ด FPGA และชุดชอฟต์แวร์การเรียนรู้การเข้ารหัสช่องสัญญาณด้วย ภาษา MATLAB และ Python หากมิยุไข้งานมีข้อสงลัยในเรื่องต่างๆ สามารถตั้งกระทู้ดำถามในกระดาน สนทนา โดยจะมีผู้เชื่ยวชาญเข้ามาตอบคำถามโดยเร็วที่สุด

#### สนับสนุนโดย







ข่าวสาร ความรู้ เกี่ยวกับเทคโนโลยีแห่ง อนาคต การสื่อสารไร้สายชุค 5G ที่จะเข้ามา มิส่วนร่วมในชีวิตประจำวันในรอบ ๆ ด้าน ไม่ เพียงแต่โทรศัพท์มือถือ แต่เป็นทุกสิ่งที่อยู่ รอบตัว ซึ่งสามารถติดตามความเคลื่อนไหว ของเทคโนโลยี 5G ในประเทศไทยได้ที่ 5G-Thailand.org

หมายเหต

"เกี่ยวกับเรา"

บทความล่าสุด

เว็บไซด์นี้อยู่ระหว่างการพัฒนา เนื้อหาบาง ส่วนอาจอังไม่ได้ถูกเดิมลงไป อย่างไรก็ดาม ผู้เยี่ยมขมสามารถดัดต่อทีมพัฒนาได้ในเมน

 ช่องสัญญาณ AWGN
 ชุดการเร็บนรู้และทดสอบ กรณิใช้ งานบนคอมพิวเตอร์
 ชุดการเร็บนรู้และทดสอบ กรณิใช้ งานบนคอมพิวเตอร์ร่วมกับ อุปกรณ์ FPGA
 รทัสกอนโวอูชัน
 รทัสแชมม์ง
 รทัสเหตมร์

รหัสแออดีพีซี

• บุดทดสอบ (2)

มาตรฐาน 5G (6)

ทฤษฎีรหัสข่องสัญญาณ (6)

บทความแนะนำ

รูปที่ 7 ผลการทดสอบเว็บไซต์หน้าต่างหน้าแรก

**แถบรหัสช่องสัญญาณ** เป็นแถบที่ประกอบด้วยเนื้อหา 4 เรื่อง โดยแต่ละเรื่องจะ ประกอบด้วยหน้าต่างแสดงรายละเอียดเนื้อหาของเรื่องย่อยดังตารางที่ 2

ชื่อเรื่อง	รายการเรื่องย่อย
รหัสช่องสัญญาณคืออะไร	รหัสช่องสัญญาณคืออะไร
รหัสช่องสัญญาณที่ได้ความนิยม	รหัสแฮมมิ่ง
	รหัสเทอร์โบ
	รหัส LDPC
	รหัสโพลาร์
มาตรฐาน 5G (3GPP NR)	การสื่อสารไร้สายยุคที่ 5
	ประเภทของรหัสช่องสัญญาณในมาตรฐาน 5G
	ความเป็นมาของมาตรฐานการเข้ารหัส 5G
	การเข้ารหัสแอลดีพีมาตรฐาน 5G
	การเข้ารหัสโพลาร์มาตรฐาน 5G
มาตรฐาน Wi-Fi (IEEE 802.11)	ความเป็นมามาตรฐาน IEEE 802.11
	วิวัฒนาการของมาตรฐาน IEEE 802.11
	ลักษณะการเชื่อมต่อของอุปกรณ์ IEEE 802.11
	การเข้ารหัส LDPC IEEE 802.11

ตารางที่ 2 รายการเนื้อหาภายในแถบรหัสช่องสัญญาณ

## 4.8 ผลการเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะระบบสื่อสารมาตรฐาน 5G ใน มหาวิทยาลัย

การเผยแพร่ชุดการเรียนรู้และทดสอบสมรรถนะในมหาวิทยาลัย 5 แห่ง ได้แก่ สถาบัน เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, มหาวิทยาลัยราชมงคลอีสาน วิทยาเขต นครราชสีมา, มหาวิทยาลัยราชมงคลอีสาน วิทยาเขตขอนแก่น, มหาวิทยาลัยขอนแก่น, และ จุฬาลงกรณ์มหาวิทยาลัย โดยมีวัตถุประสงค์เพื่อให้นักศึกษาได้เรียนรู้และทดสอบการใช้งาน ซอฟต์แวร์ชุดการเรียนรู้ระบบสื่อสารมาตรฐาน 5G

การเผยแพร่แบ่งเป็น 2 ส่วนคือ1) การให้ความรู้พื้นฐานเกี่ยวกับระบบสื่อสารในมาตรฐาน 5G โดยมีเอกสารและแบบฝึกหัดให้นักศึกษาทดสอบความเข้าใจและ 2) การทดสอบใช้งานซอฟต์แวร์ ชุดการเรียนรู้ระบบสื่อสารมาตรฐาน 5G

การบรรยายแบ่งออกเป็น 4 ช่วงคือ การบรรยายภาพรวมของมาตรฐานสื่อสาร 5G, การ บรรยายเรื่องการมอดูเลชันมาตรฐาน 5G และช่องสัญญาณ AWGN และช่องสัญญาณการจางหาย, การบรรยายเกี่ยวกับรหัสช่องสัญญาณ LDPC ในมาตรฐาน 5G และบรรยายเรื่องรหัสช่องสัญญาณโพ ลาร์ที่ใช้ป้องกันสัญญาณควบคุม หลังการบรรยาย นักศึกษาได้ทดสอบการใช้งานซอฟต์แวร์และปรับ ค่าพารามิเตอร์ต่าง ๆ เพื่อเสริมสร้างความเข้าใจและเพิ่มความสนุกในการเรียนรู้

#### 5. บทสรุป

โครงการวิจัยนี้มุ่งเน้นใน 2 ด้านหลักคือการศึกษาในวิศวกรรมโทรคมนาคมและการพัฒนา อุปกรณ์โทรคมนาคมต้นแบบ สำหรับด้านการศึกษาวิศวกรรมโทรคมนาคม ทีมวิจัยพัฒนาซอฟต์แวร์ ซึ่งเข้ากันได้กับมาตรฐานการสื่อสาร 5G ทำให้นักศึกษาได้เรียนรู้การทำงานของมอดูเลชันและการ เข้ารหัสช่องสัญญาณอย่างละเอียด ซอฟต์แวร์นี้ถูกนำไปใช้ในการจัดการเรียนการสอนที่หลากหลาย มหาวิทยาลัยทั่วประเทศไทยผ่านเว็บไซต์ <u>https://www.channelcoding.com</u> และสำหรับด้านการ พัฒนาอุปกรณ์โทรคมนาคมต้นแบบ ทีมวิจัยพัฒนาอุปกรณ์เข้ารหัสและถอดรหัสช่องสัญญาณบน FPGA โดยใช้ VHDL เพื่อแสดงให้บริษัทเห็นภาพรวมของการทำงานได้จริง โครงการนี้เป็นแรงผลักดัน สู่การพัฒนาอุตสาหกรรมโทรคมนาคมในประเทศไทย

ผลลัพธ์จากโครงการนี้คาดว่าจะช่วยสร้างนักศึกษาที่มีความรู้และความเข้าใจในเทคโนโลยี ปัจจุบันและสร้างแรงผลักดันให้นักศึกษาและบริษัทท้องถิ่นสนใจที่จะพัฒนาเทคโนโลยีโทรคมนาคม ต่อไป



กองทุนวิจัยและพัฒนากิจการกระจายเสียง กิจการโทรทัศน์ และกิจการโทรคมนาคม เพื่อประโยชน์สาธารณะ (สำนักงาน กสทช.)